

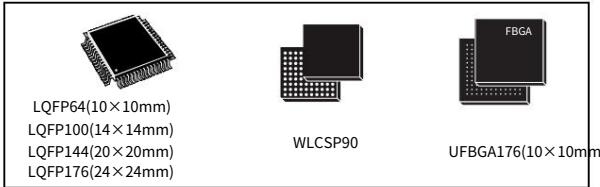


STM32F405xx

STM32F407xx

## ARM Cortex-M4 32b MCU+FPU, 210DMIPS, 최대 1MB 플래시/192+4KB RAM, USB OTG HS/FS, 이더넷, TIM 17개, ADC 3개, 통신 15개 인터페이스 및 카메라

데이터시트 - 생산 데이터



### 특징

- 코어: FPU가 포함된 ARM 32비트 Cortex™-M4 CPU, 플래시 메모리에서 0-대기 상태 실행을 허용하는 적응형 실시간 가속기(ART Accelerator™), 최대 주파수 168MHz, 메모리 보호 장치, 210 DMIPS/
- 1.25 DMIPS/MHz(Dhrystone 2.1) 및 DSP 지침

#### • 추억

- 최대 1MB의 플래시 메모리
- 64-를 포함하여 최대 192+4KB의 SRAM CCM(코어 결합 메모리) 데이터의 킬로바이트 램
- 유연한 정적 메모리 컨트롤러 컴팩트 플래시, SRAM 지원, PSRAM, NOR 및 NAND 메모리

#### • LCD 병렬 인터페이스, 8080/6800 모드

- 시계, 재설정 및 공급 관리
  - 1.8V ~ 3.6V 애플리케이션 공급 및 I/O
  - POR, PDR, PVD 및 BOR
  - 4~26MHz 수정 발진기
  - 내부 16MHz 공장 조정 RC(정확도 1%)
  - 교정 기능이 있는 RTC용 32kHz 발진기
  - 교정 기능이 있는 내부 32kHz RC

#### • 저전력

- 절전, 정지 및 대기 모드
- RTC용 VBAT 공급, 20×32비트 백업 레지스터 + 옵션 4KB 백업 SRAM
- 3×12비트, 2.4MSPS A/D 변환기: 삼중 인터리브 모드에서 최대 24개 채널 및 7.2MSPS
- 2×12비트 D/A 컨버터
- 범용 DMA: FIFO 및 버스트 지원 기능을 갖춘 16-스트림 DMA 컨트롤러
- 최대 17개 타이머: 16비트 최대 12개 및 32비트 2개 최대 168MHz의 비트 타이머(각각 최대 4개)

I2C/OC/PWM 또는 펄스 카운터 및 직교(증분) 인코더 입력

#### • 디버그 모드

- SWD(직렬 와이어 디버그) 및 JTAG 인터페이스
- Cortex-M4 임베디드 Trace Macrocell™

#### • 인터럽트 기능이 있는 최대 140개의 I/O 포트

- 최대 84MHz의 빠른 I/O 최대 136개
- 최대 138개의 5V 허용 I/O

#### • 최대 15개의 통신 인터페이스

- 최대 3개의 I2C 인터페이스(SMBus/PMBus)
- 최대 4개의 USART/2 UART(10.5Mbit/s, ISO 7816 인터페이스, LIN, IrDA, 모뎀 제어)
- 최대 3개의 SPI(42Mbits/s), 내부 오디오 PLL 또는 외부 클록을 통해 오디오 클래스 정확도를 달성하기 위한 다중화 전이중 I2S 포함 2개

- 2 × CAN 인터페이스(2.0B 활성)

- SDIO 인터페이스

#### • 고급 연결성

- 온칩 PHY를 갖춘 USB 2.0 전속 장치/호스트/OTG 컨트롤러
- 전용 DMA, 온칩 전속 PHY 및 ULPI를 갖춘 USB 2.0 고속/전속 장치/호스트/OTG 컨트롤러

- 전용 DMA가 있는 10/100 이더넷 MAC: IEEE 1588v2 하드웨어, MII/RMII 지원

#### • 최대 8~14비트 병렬 카메라 인터페이스 54MB/초

- 진정한 난수 생성기
- CRC 계산 유닛
- 96비트 고유 ID
- RTC: 1초 미만의 정확도, 하드웨어 캘린더

표 1. 장치 요약

참조	부품 번호
STM32F405xx	STM32F405RG, STM32F405VG, STM32F405ZG, STM32F405OG, STM32F405OE
STM32F407xx	STM32F407VG, STM32F407IG, STM32F407ZG, STM32F407VE, STM32F407ZE, STM32F407IE

## 내용물

1	소개 .....	11
2	설명 .....	12
2.1	가족 전체에 걸쳐 완벽한 호환성.	15
2.2	장치 개요.	18
2.2.1	2.2.1 플래시 및 SRAM이 내장된 ARM® Cortex™-M4F 코어..	19
2.2.2	2.2.2 적응형 실시간 메모리 가속기(ART Accelerator™) ..	19
2.2.3	2.2.3 메모리 보호 장치.	19
2.2.4	2.2.4 내장형 플래시 메모리.	19
2.2.5	2.2.5 CRC(순환 중복 검사) 계산 단위 ..	20
2.2.6	2.2.6 임베디드 SRAM.	20
2.2.7	2.2.7 다중 AHB 버스 매트릭스.	20
2.2.8	2.2.8 DMA 컨트롤러(DMA)..	21
2.2.9	2.2.9 유연한 정적 메모리 컨트롤러(FSMC) .	22
2.2.10	2.2.10 종첩된 벡터 인터럽트 컨트롤러(NVIC) ..	22
2.2.11	2.2.11 외부 인터럽트/이벤트 컨트롤러(EXTI) .	22
2.2.12	2.2.12 시계 및 시작.	22
2.2.13	2.2.13 부팅 모드.	23
2.2.14	2.2.14 전원 공급 방식.	23
2.2.15	2.2.15 전원 공급 장치 감시 ..	23
2.2.16	2.2.16 전압 조정기..	25
2.2.17	2.2.17 레귤레이터 ON/OFF 및 내부 리셋 ON/OFF 가능성.	28
2.2.18	2.2.18 실시간 클록(RTC), 백업 SRAM 및 백업 레지스터..	28
2.2.19	2.2.19 저전력 모드.	29
2.2.20	2.2.20 VBAT 연산..	30
2.2.21	2.2.21 타이머 및 감시 ..	30
2.2.22	2.2.22 접속회로간 인터페이스(I <sup>2</sup> C) .	33
2.2.23	2.2.23 범용 동기/비동기 수신기 송신기(USART) . 33	
2.2.24	2.2.24 직렬 주변 장치 인터페이스(SPI) .	34
2.2.25	2.2.25 상호 통합 사운드(I2S) ..	34
2.2.26	2.2.26 오디오 PLL(PLLI2S) ..	34
2.2.27	2.2.27 보안 디지털 입/출력 인터페이스(SDIO) .	35
2.2.28	2.2.28 전용 DMA 및 IEEE 1588을 지원하는 이더넷 MAC 인터페이스. 35	
2.2.29	2.2.29 컨트롤러 영역 네트워크(bxCAN) .	36

2.2.30 이동 중 최고 속도의 범용 직렬 버스(OTG_FS) ..	36
2.2.31 이동 중 고속 범용 직렬 버스(OTG_HS) ..	36
2.2.32 디지털 카메라 인터페이스(DCMI) ..	37
2.2.33 난수 생성기(RNG) ..	37
2.2.34 범용 입력/출력(GPIO) ..	37
2.2.35 아날로그-디지털 변환기(ADC) ..	37
2.2.36 온도 센서 ..	37
2.2.37 디지털-아날로그 변환기(DAC) ..	38
2.2.38 직렬 배선 JTAG 디버그 포트(SWJ-DP) ..	38
2.2.39 임베디드 추적 Macrocell™ ..	38
 삼 핀아웃 및 핀 설명 .....	39
 4 메모리 매팅 .....	69
 5 전기적 특성 .....	74
5.1    매개변수 조건. ....	74
5.1.1    최소값과 최대값..	74
5.1.2    일반적인 값.	74
5.1.3    전형적인 곡선.	74
5.1.4    로딩 커패시터.	74
5.1.5    핀 입력 전압.	74
5.1.6    전원 공급 방식..	75
5.1.7    전류 소비 측정..	76
5.2    절대 최대 정격.	76
5.3    작동 조건. ....	77
5.3.1    일반 작동 조건..	77
5.3.2    VCAP_1/VCAP_2 외부 커패시터..	79
5.3.3    전원 켜기/끄기(레귤레이터 ON) 시 작동 조건..	80
5.3.4    전원 켜기/끄기(레귤레이터 OFF) 시 작동 조건.	80
5.3.5    내장된 리셋 및 전원 제어 블록 특성..	80
5.3.6    공급 전류 특성 .	82
5.3.7    저전력 모드에서 깨어나는 시간..	95
5.3.8    외부 클럭 소스 특성..	96
5.3.9    내부 클럭 소스 특성.	99
5.3.10    PLL 특성..	100
5.3.11    PLL SSCG(확산 스펙트럼 클럭 생성) 특성 ..	102

5.3.12 메모리 특성 . . . . .	104
5.3.13 EMC 특성 . . . . .	106
5.3.14 절대 최대 정격(전기 감도) . . . . .	108
5.3.15 I/O 전류 주입 특성 . . . . .	109
5.3.16 I/O 포트 특성 . . . . .	109
5.3.17 NRST 핀 특성 . . . . .	113
5.3.18 TIM 타이머 특성 . . . . .	114
5.3.19 통신 인터페이스 . . . . .	116
5.3.20 12비트 ADC 특성 . . . . .	129
5.3.21 온도 센서 특성 . . . . .	134
5.3.22 VBAT 모니터링 특성 . . . . .	134
5.3.23 내장 기준 전압 . . . . .	135
5.3.24 DAC 전기적 특성 . . . . .	135
5.3.25 FSMC 특성 . . . . .	137
5.3.26 카메라 인터페이스(DCMI) 타이밍 사양 . . . . .	155
5.3.27 SD/SDIO MMC 카드 호스트 인터페이스(SDIO) 특성 . . . . .	156
5.3.28 RTC 특성 . . . . .	157
<b>6 패키지 특성 . . . . .</b>	<b>158</b>
6.1 패키지 기계 데이터 . . . . .	158
6.2 열적 특성 . . . . .	169
<b>7 부품 번호 매기기 . . . . .</b>	<b>170</b>
<b>부록 A 애플리케이션 블록 다이어그램 . . . . .</b>	<b>171</b>
A.1 USB OTG 전속(FS) 인터페이스 솔루션 . . . . .	171
A.2 USB OTG 고속(HS) 인터페이스 솔루션 . . . . .	173
A.3 이더넷 인터페이스 솔루션 . . . . .	174
<b>8 개정 내역 . . . . .</b>	<b>176</b>

## 테이블 목록

1 번 테이블. 장치 요약.	1
표 2. STM32F405xx 및 STM32F407xx: 기능 및 주변 장치 수.	13
표 3. 레귤레이터 ON/OFF 및 내부 리셋 ON/OFF 가능...	28
표 4. 타이머 기능 비교...	30
표 5. USART 기능 비교.	34
표 6. 핀아웃 테이블에 사용되는 범례/약어..	44
표 7. STM32F40x 핀 및 볼 정의.	45
표 8. FSMC 핀 정의..	57
표 9. 대체 기능 매핑..	60
표 10. STM32F40x 레지스터 경계 주소.	70
표 11. 전압 특성	76
표 12. 전류 특성..	77
표 13. 열 특성...	77
표 14. 일반 작동 조건..	77
표 15. 작동 전원 공급 범위에 따른 제한 사항	79
표 16. VCAP_1/VCAP_2 작동 조건.	80
표 17. 전원 켜기/끄기(레귤레이터 ON) 시 작동 조건.	80
표 18. 전원 켜기/끄기(레귤레이터 OFF) 시 작동 조건 .	80
표 19. 내장된 재설정 및 전원 제어 블록 특성 .	81
표 20. 실행 모드의 일반 및 최대 전류 소비, 데이터 처리가 포함된 코드 플래시 메모리(ART 가속기 활성화) 또는 RAM에서 실행됩니다.	83
표 21. 실행 모드의 일반 및 최대 전류 소비, 데이터 처리가 포함된 코드 플래시 메모리에서 실행(ART 가속기 비활성화)..84	84
표 22. 절전 모드의 일반 및 최대 전류 소비...87	87
표 23. 정지 모드의 일반 및 최대 전류 소비...88	88
표 24. 대기 모드에서의 일반 및 최대 전류 소비..88	88
표 25. VBAT 모드 의 일반 및 최대 전류 소비 ...89	89
표 26. 스위칭 출력 I/O 전류 소비..92	92
표 27. 주변기기 소비 전류..93	93
표 28. 저전력 모드 웨이크업 타이밍...95	95
표 29. 고속 외부 사용자 클럭 특성 ...96	96
표 30. 저속 외부 사용자 클럭 특성 .96	96
표 31. HSE 4~26MHz 발진기 특성 ..98	98
표 32. LSE 발진기 특성 (fLSE = 32.768kHz) ..99	99
표 33. HSI 오실레이터 특성 .99	99
표 34. LSI 오실레이터 특성 ...100	100
표 35. 주요 PLL 특성 ...101	101
표 36. PLLI2S(오디오 PLL) 특성 ...101	101
표 37. SSCG 매개변수 제약조건...102	102
표 38. 플래시 메모리 특성...104	104
표 39. 플래시 메모리 프로그래밍...104	104
<b>표 40. VPP를 사용한 플래시 메모리 프로그래밍 ..</b>	<b>106</b>
표 41. 플래시 메모리 내구성 및 데이터 보존....106	106
표 42. EMS 특성....107	107
표 43. EMI 특성...108	108
표 44. ESD 절대 최대 정격...108	108
표 45. 전기적 민감도...109	109
표 46. I/O 전류 주입 민감도 ...109	109

표 47. I/O 정적 특성..	110
표 48. 출력 전압 특성.	111
표 49. I/O AC 특성.	112
표 50. NRST 핀 특성.	114
표 51. APB1 도메인에 연결된 TIMx의 특성.	115
표 52. APB2 도메인에 연결된 TIMx의 특성	116
표 53. I2C 특성..	116
표 54. SCL 주파수 (fPCLK1= 42MHz.,VDD = 3.3V) .	118
표 55. SPI 동적 특성.	118
표 56. I2S 동적 특성.	122
표 57. USB OTG FS 시작 시간..	124
표 58. USB OTG FS DC 전기적 특성 ..	124
표 59. USB OTG FS 전기적 특성 .	125
표 60. USB HS DC 전기적 특성.	125
표 61. USB HS 클록 타이밍 매개변수	125
표 62. ULPI 타이밍.	126
표 63. 이더넷 DC 전기적 특성 ..	127
표 64. 동적 특성: SMI용 이더넷 MAC 신호...	127
표 65. 동적 특성: RMII용 이더넷 MAC 신호..	128
표 66. 동적 특성: MII용 이더넷 MAC 신호..	128
표 67. ADC 특성..	129
표 68. fADC = 30MHz에서의 ADC 정확도..	131
표 69. 온도 센서 특성.	134
표 70. 온도 센서 교정 값..	134
표 71. VBAT 모니터링 특성..	134
표 72. 내장된 내부 기준 전압..	135
표 73. 내부 기준 전압 교정 값..	135
표 74. DAC 특성..	135
표 75. 비동기 비다중화 SRAM/PSRAM/NOR 읽기 타이밍	138
표 76. 비동기 비다중화 SRAM/PSRAM/NOR 쓰기 타이밍	139
표 77. 비동기 다중화된 PSRAM/NOR 읽기 타이밍 .	140
표 78. 비동기 다중화된 PSRAM/NOR 쓰기 타이밍	141
표 79. 동기식 다중화 NOR/PSRAM 읽기 타이밍	143
표 80. 동기식 다중화 PSRAM 쓰기 타이밍 .	144
표 81. 동기식 비다중화 NOR/PSRAM 읽기 타이밍	145
표 82. 동기식 비다중화 PSRAM 쓰기 타이밍	147
표 83. PC 카드/CF 읽기 및 쓰기 주기의 스위칭 특성 속성/공용 공간에 있습니다..	151
표 84. PC 카드/CF 읽기 및 쓰기 주기의 전환 특성 I/O 공간에서..	152
표 85. NAND 플래시 읽기 주기의 스위칭 특성 .	154
표 86. NAND 플래시 쓰기 주기의 스위칭 특성 ..	155
표 87. DCMI 특성...	155
표 88. 동적 특성: SD/MMC 특성	157
표 89. RTC 특성..	157
표 90. WLCSP90 - 0.400mm 피치 웨이퍼 레벨 칩 크기 패키지 기계 데이터	159
표 91. LQFP64 - 10 x 10mm 64핀 로우 프로파일 쿼드 플랫 패키지 기계 데이터.	160
표 92. LQPF100 - 14 x 14mm 100핀 로우 프로파일 쿼드 플랫 패키지 기계 데이터..	162
표 93. LQFP144, 20 x 20mm, 144핀 로우 프로파일 쿼드 플랫 패키지 기계 데이터 .	164
표 94. UFBGA176+25 - 초박형 미세 피치 볼 그리드 어레이 10 × 10 × 0.6mm 기계적 데이터 .	166
표 95. LQFP176, 24 x 24mm, 176핀 로우 프로파일 쿼드 플랫 패키지 기계 데이터 .	167

표 96. 패키지 열 특성...	169
표 97. 주문 정보 체계...	170
표 98. 문서 개정 내역.	176

## 그림 목록

그림 1. LQFP64용 STM32F10xx/STM32F4xx 간의 호환 가능 보드 설계 ..	15
그림 2. 호환 보드 디자인 STM32F10xx/STM32F2xx/STM32F4xx	
LQFP100 패키지용..	16
그림 3. STM32F10xx/STM32F2xx/STM32F4xx 간 호환 보드 설계	
LQFP144 패키지용..	16
그림 4. STM32F2xx와 STM32F4xx 간의 호환 가능 보드 설계	
LQFP176 및 BGA176 패키지용..	17
그림 5. STM32F40x 블록 다이어그램..	18
그림 6. 다중 AHB 매트릭스...	21
그림 7. 내부 재설정이 꺼진 상태에서 전원 공급 장치 감시기 상호 연결..	24
그림 8. 내부 리셋이 OFF인 PDR_ON 및 NRST 제어.	25
그림 9. 레귤레이터 꺼짐..	26
그림 10. 레귤레이터 OFF 모드에서의 스타트업: 느린 VDD 기울기	
- VCAP_1/VCAP_2 안정화 후 전원 차단 재설정이 상승했습니다..	27
그림 11. 레귤레이터 OFF 모드에서의 스타트업: 빠른 VDD 기울기 - VCAP_1/VCAP_2 안정화	
전에 상승한 파워 다운 리셋 ..	28
그림 12. STM32F40x LQFP64 핀아웃 ..	39
그림 13. STM32F40x LQFP100 핀아웃 ..	40
그림 14. STM32F40x LQFP144 핀아웃 ..	41
그림 15. STM32F40x LQFP176 핀아웃 ..	42
그림 16. STM32F40x UFBGA176 볼아웃..	43
그림 17. STM32F40x WLCSP90 볼아웃...	44
그림 18. STM32F40x 메모리 맵	69
그림 19. 핀 로딩 조건...	74
그림 20. 핀 입력 전압.	74
그림 21. 전원 공급 장치 구성표..	75
그림 22. 전류 소비 측정 방식..	76
그림 23. 외부 커뮤니케이션 채널	80
그림 24. 온도 대비 일반적인 전류 소비, 실행 모드, 데이터가 포함된 코드	
플래시(ART 가속기 ON) 또는 RAM 및 주변 장치 OFF에서 실행되는 처리입니다..	85
그림 25. 온도 대비 일반적인 전류 소비, 실행 모드, 데이터가 포함된 코드	
플래시(ART 가속기 ON) 또는 RAM 및 주변 장치 ON에서 실행되는 처리입니다.	85
그림 26. 온도 대비 일반적인 전류 소비, 실행 모드, 데이터가 포함된 코드	
플래시(ART 가속기 꺼짐) 또는 RAM 및 주변 장치 꺼짐에서 실행되는 처리입니다... 86	
그림 27. 온도 대비 일반적인 전류 소비, 실행 모드, 데이터가 포함된 코드	
플래시(ART 가속기 꺼짐) 또는 RAM 및 주변 장치 꺼짐에서 실행되는 처리입니다..	86
그림 28. 일반적인 VBAT 전류 소비(LSE 및 RTC ON/백업 RAM OFF)	89
그림 29. 일반적인 VBAT 전류 소비(LSE 및 RTC ON/백업 RAM ON).	90
그림 30. 고속 외부 클록 소스 AC 타이밍 다이어그램..	97
그림 31. 저속 외부 클록 소스 AC 타이밍 다이어그램 ..	97
그림 32. 8MHz 크리스털을 사용한 일반적인 애플리케이션..	98
그림 33. 32.768kHz 크리스털을 사용한 일반적인 애플리케이션 ..	99
그림 34. ACCLSI 와 온도 비교.	100
그림 35. 중앙 확산 모드의 PLL 출력 클록 파형.	103
그림 36. 다운 확산 모드의 PLL 출력 클록 파형.	104
그림 37. I/O AC 특성 정의.	113
그림 38. 권장되는 NRST 핀 보호.	114
그림 39. I2C 버스 AC 파형 및 측정 회로.	117

그림 40. SPI 타이밍 다이어그램 - 슬레이브 모드 및 CPHA = 0	120
그림 41. SPI 타이밍 다이어그램 - 슬레이브 모드 및 CPHA = 1	120
그림 42. SPI 타이밍 다이어그램 - 마스터 모드	121
그림 43. I2S 슬레이브 타이밍 다이어그램(Philips 프로토콜)	123
그림 44. I2S 마스터 타이밍 다이어그램(Philips 프로토콜)(1)	123
그림 45. USB OTG FS 타이밍: 데이터 신호 상승 및 하강 시간 정의.	124
그림 46. ULPI 타이밍 다이어그램..	126
그림 47. 이더넷 SMI 타이밍 다이어그램..	127
그림 48. 이더넷 RMII 타이밍 다이어그램..	127
그림 49. 이더넷 MII 타이밍 다이어그램.	128
그림 50. ADC 정확도 특성.	131
그림 51. ADC를 사용한 일반적인 연결 다이어그램..	132
그림 52. 전원 공급 장치 및 기준 디커플링 (VDDA에 연결되지 않은 VREF+) ..	133
그림 53. 전원 공급 장치 및 기준 디커플링 (VDDA에 연결된 VREF+ ).	133
그림 54. 12비트 버퍼링/비버퍼링 DAC	137
그림 55. 비동기식 비다중화 SRAM/PSRAM/NOR 읽기 파형..	138
그림 56. 비동기식 비다중화 SRAM/PSRAM/NOR 쓰기 파형..	139
그림 57. 비동기 다중화된 PSRAM/NOR 읽기 파형...	140
그림 58. 비동기 다중화된 PSRAM/NOR 쓰기 파형..	141
그림 59. 동기식 다중화 NOR/PSRAM 읽기 타이밍.	143
그림 60. 동기식 다중화 PSRAM 쓰기 타이밍.	144
그림 61. 동기식 비다중화 NOR/PSRAM 읽기 타이밍	145
그림 62. 동기식 비다중화 PSRAM 쓰기 타이밍	146
그림 63. 공통 메모리 읽기 액세스를 위한 PC 카드/CompactFlash 컨트롤러 파형.	148
그림 64. 공통 메모리 쓰기 액세스를 위한 PC 카드/CompactFlash 컨트롤러 파형...	148
그림 65. 속성 메모리 읽기기에 대한 PC 카드/CompactFlash 컨트롤러 파형 입장...	149
그림 66. 속성 메모리 쓰기기에 대한 PC 카드/CompactFlash 컨트롤러 파형 입장...	150
그림 67. I/O 공간 읽기 액세스를 위한 PC 카드/CompactFlash 컨트롤러 파형..	150
그림 68. I/O 공간 쓰기 액세스를 위한 PC 카드/CompactFlash 컨트롤러 파형.	151
그림 69. 읽기 액세스를 위한 NAND 컨트롤러 파형..	153
그림 70. 쓰기 액세스를 위한 NAND 컨트롤러 파형..	153
그림 71. 공통 메모리 읽기 액세스를 위한 NAND 컨트롤러 파형.	154
그림 72. 공통 메모리 쓰기 액세스를 위한 NAND 컨트롤러 파형..	154
그림 73. DCMI 타이밍 다이어그램..	155
그림 74. SDIO 고속 모드.	156
그림 75. SD 기본 모드.	157
그림 76. WLCSP90 - 0.400mm 피치 웨이퍼 레벨 칩 크기 패키지 개요	159
그림 77. LQFP64 - 10 x 10mm 64핀 로우 프로파일 퀄드 플랫 패키지 개요	160
그림 78. LQFP64 권장 설치 공간.	161
그림 79. LQFP100, 14 x 14mm 100핀 로우 프로파일 퀄드 플랫 패키지 개요	162
그림 80. LQFP100 권장 설치 공간..	163
그림 81. LQFP144, 20 x 20mm, 144핀 로우 프로파일 퀄드 플랫 패키지 개요	164
그림 82. LQFP144 권장 설치 공간..	165
그림 83. UFBGA176+25 - 초박형 미세 피치 볼 그리드 아래이 10 × 10 × 0.6mm, 패키지 개요..	166
그림 84. LQFP176 24 x 24mm, 176핀 로우 프로파일 퀄드 플랫 패키지 개요	167
그림 85. LQFP176 권장 설치 공간..	168
그림 86. 주변기기 전용으로 구성되고 최고 속도 모드에서 사용되는 USB 컨트롤러.	171
그림 87. 호스트 전용으로 구성되고 최고 속도 모드에서 사용되는 USB 컨트롤러...	171

## 그림 목록

STM32F405xx, STM32F407xx

그림 88. 듀얼 모드로 구성되고 최고 속도 모드에서 사용되는 USB 컨트롤러.	172
그림 89. 주변기기, 호스트 또는 듀얼 모드로 구성된 USB 컨트롤러 고속 모드에서 사용됩니다..	173
그림 90. 25MHz 크리스털을 사용하는 MII 모드.	174
그림 91. 50MHz 발진기를 사용한 RMII..	174
그림 92. 25MHz 크리스털이 있는 RMII와 PLL이 있는 PHY..	175

## 1      소개

이 데이터시트는 STM32F405xx 및 STM32F407xx 마이크로컨트롤러 라인에 대한 설명을 제공합니다. 전체 STMicroelectronics STM32™ 제품군에 대한 자세한 내용은 [섹션 2.1: 제품군 전체의 완벽한 호환성을 참조하세요](#).

STM32F405xx 및 STM32F407xx 데이터시트는 STM32F4xx 참조 매뉴얼과 함께 읽어야 합니다.

참조 설명서와 플래시 프로그래밍 설명서는 모두 STMicroelectronics 웹사이트 [www.st.com](http://www.st.com)에서 구할 수 있습니다.

Cortex™-M4 코어에 대한 자세한 내용은 [www.st.com](http://www.st.com)에서 제공되는 Cortex™-M4 프로그래밍 매뉴얼 (PM0214)을 참조하십시오.

## 2 설명

STM32F405xx 및 STM32F407xx 제품군은 고성능 ARM®을 기반으로 합니다.

최대 168MHz의 주파수에서 작동하는 Cortex™-M4 32비트 RISC 코어. Cortex-M4 코어는 모든 ARM 단정밀도 데 이터 처리 명령 및 데이터 유형을 지원하는 FPU(부동 소수점 단위) 단정밀도를 갖추고 있습니다. 또한 전체 DSP 명령 세트와 애플리케이션 보안을 강화하는 메모리 보호 장치(MPU)를 구현합니다. FPU가 포함된 Cortex-M4 코어는 이 문서 전체에서 Cortex-M4F로 칭합니다.

STM32F405xx 및 STM32F407xx 제품군은 고속 임베디드 메모리(최대 1MB의 플래시 메모리, 최대 192KB의 SRAM), 최대 4KB의 백업 SRAM, 2개의 APB에 연결된 광범위한 고급 I/O 및 주변 장치를 통합합니다. 버스, 3개의 AHB 버스 및 32비트 다중 AHB 버스 매트릭스.

모든 장치는 12비트 ADC 3개, DAC 2개, 저전력 RTC 1개, 모터 제어용 PWM 타이머 2개를 포함한 범용 16비트 타이머 12개, 범용 32비트 타이머 2개를 제공합니다. 진정한 난수 생성기(RNG)입니다. 또한 표준 및 고급 통신 인터페이스도 갖추고 있습니다.

- 최대 3개의 I2C
- SPI 3개, I2S 전이중 2개. 오디오 클래스 정확도를 달성하기 위해 I2S 주변 장치 전용 내부 오디오 PLL을 통해 또는 외부 클럭을 통해 클럭킹하여 동기화할 수 있습니다.
- USART 4개와 UART 2개
- USB OTG 전속 및 전속 기능을 갖춘 고속 USB OTG(ULPI),
- CAN 2개
- SDIO/MMC 인터페이스
  - 이더넷 및 카메라 인터페이스는 STM32F407xx 장치에서만 사용할 수 있습니다.

새로운 고급 주변 장치에는 SDIO, 향상된 FSMC(Flexible Static Memory Control) 인터페이스(100핀 이상의 패키지로 제공되는 장치용), CMOS 센서용 카메라 인터페이스가 포함됩니다. 각 부품 번호에서 사용 가능한 주변 장치 목록은 [표 2: STM32F405xx 및 STM32F407xx: 기능 및 주변 장치 개수를 참조하십시오](#).

STM32F405xx 및 STM32F407xx 제품군은 1.8~3.6V 전원 공급 장치의 -40~+105°C 온도 범위에서 작동합니다. 장치가 외부 전원 공급 장치 감시 장치를 사용하여 0~70°C 온도 범위에서 작동할 때 공급 전압은 1.7V로 떨어질 수 있습니다. **섹션: 내부 재설정 OFF를 참조하세요.** 포괄적인 절전 모드 세트를 통해 저전력 애플리케이션을 설계할 수 있습니다.

STM32F405xx 및 STM32F407xx 제품군은 64핀부터 176핀까지 다양한 패키지로 장치를 제공합니다. 포함된 주변 장치 세트는 선택한 장치에 따라 변경됩니다.

이러한 기능 덕분에 STM32F405xx 및 STM32F407xx 마이크로컨트롤러 제품군은 다양한 애플리케이션에 적합합니다.

- 모터 구동 및 애플리케이션 제어
- 의료 장비
- 산업용 애플리케이션: PLC, 인버터, 회로 차단기
- 프린터 및 스캐너
- 경보 시스템, 비디오 인터콤 및 HVAC
- 가정용 오디오 기기

그림 5는 장치 제품군의 일반적인 블록 다이어그램을 보여줍니다.

표 2. STM32F405xx 및 STM32F407xx: 기능 및 주변 장치 수

주변기기		STM32F405RG STM32F405OG STM32F405VG STM32F405ZG STM32F405OE STM32F407Vx STM32F407Zx STM32F407Ix					
플래시 메모리 킬로바이트		1024	512	512 1024	512 1024	512 1024	
SRAM 입력 킬로바이트	체계		192(112+16+64)				
	지원		4				
FSMC 메모리 컨트롤러		아니요		예(1)			
이더넷			아니요		예		
타이머	일반적인 목적		10				
	고급의 -제어		2				
	기초적인		2				
	IWDG		예				
	WWDG		예				
	RTC		예				
난수 생성기			예				

13/185

표 2. STM32F405xx 및 STM32F407xx: 기능 및 주변 장치 개수

주변기기	STM32F405RG	STM32F405OG	STM32F405VG	STM32F405ZG	STM32F405OE	STM32F407Vx	STM32F407Zx	STM32F407Ix
코뮤니 양이온 인터페이스	SPI / I2S				3/2(전이중)(2)			
	나는 2C					삼		
	USART/ UART				4/2			
	USB OTG FS					예		
	USB OTGHS					예		
	할 수 있다				2			
SDIO					예			
카메라 인터페이스			아니요				예	
GPIO	51	72	82	114	72	82	114	
12비트 ADC 채널 수					삼			
	16	13	16	24	13	16	24	24
12비트 DAC 채널 수					예			
					2			
최대 CPU 주파수				168MHz				
작동 전압				1.8~3.6V(3)				
작동 온도				주변 온도: -40 ~ +85°C / -40 ~ +105°C				
				접합 온도: -40 ~ + 125°C				
패키지	LQFP64	WLCSP90	LQFP100	LQFP144	WLCSP90	LQFP100	LQFP144	UFBGA176 LQFP176

1. LQFP100 및 WLCSP90 패키지의 경우 FSMC Bank1 또는 Bank2만 사용할 수 있습니다. Bank1은 NE1 칩 선택을 사용하여 다중화된 NOR/PSRAM 메모리만 지원할 수 있습니다. Bank2는 NCE2 칩 선택을 사용하여 16비트 또는 8비트 NAND 플래시 메모리만 지원할 수 있습니다. 이 패키지에서는 포트 G를 사용할 수 없으므로 인터럽트 라인을 사용할 수 없습니다.

2. SPI2 및 SPI3 인터페이스는 SPI 모드 또는 I2S 오디오 모드에서 독점적인 방식으로 작동할 수 있는 유연성을 제공합니다.
3. 장치가 감소된 온도 범위에서 작동하고 외부 전원 공급 장치 감시 장치를 사용하면 VDD/VDDA 최소값 1.7V를 얻을 수 있습니다(참조:  
[섹션: 내부 재설정 OFF](#)).

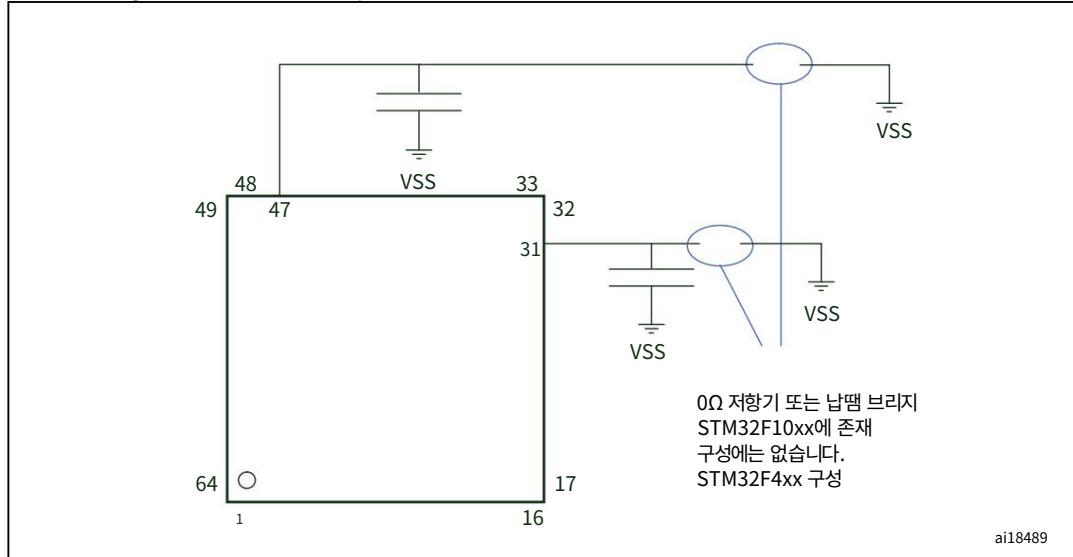
## 2.1 가족 전체에 걸쳐 완벽한 호환성

STM32F405xx 및 STM32F407xx는 STM32F4 제품군의 일부입니다. 이 제품은 STM32F2xx 장치와 완벽하게 핀토핀, 소프트웨어 및 기능 호환되므로 사용자는 개발 주기 동안 더 큰 자유도를 위해 다양한 메모리 밀도, 주변 장치 및 성능(FPU, 더 높은 주파수)을 시험해 볼 수 있습니다.

STM32F405xx 및 STM32F407xx 장치는 전체 STM32F10xxx 제품군과 긴밀한 호환성을 유지합니다. 모든 기능 핀은 핀 간 호환이 가능합니다. 그러나 STM32F405xx 및 STM32F407xx는 STM32F10xxx 장치에 대한 드롭인 대체품이 아닙니다. 두 제품군의 전원 구성표가 동일하지 않으므로 전원 핀도 다릅니다. 그럼에도 불구하고 STM32F10xxx에서 STM32F40x 제품군으로의 전환은 몇 개의 핀에만 영향을 미치므로 여전히 간단합니다.

[그림 4](#), [그림 3](#), [그림 2](#) 및 [그림 1](#)은 STM32F40x, STM32F2xxx 및 STM32F10xxx 제품군 간의 호환 가능한 기판 설계를 제공합니다.

그림 1. LQFP64용 STM32F10xx/STM32F4xx 간 호환 가능 보드 설계



## 설명

STM32F405xx, STM32F407xx

그림 2. LQFP100 패키지용 호환 보드 설계 STM32F10xx/STM32F2xx/STM32F4xx

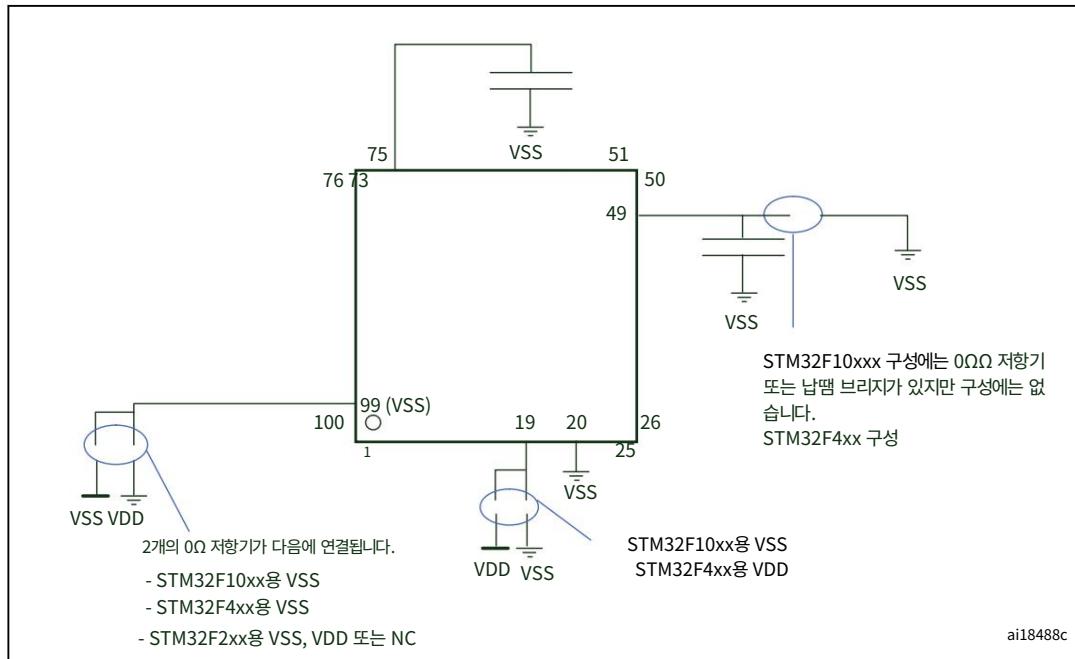


그림 3. LQFP144 패키지용 STM32F10xx/STM32F2xx/STM32F4xx 간의 호환 가능 보드 설계

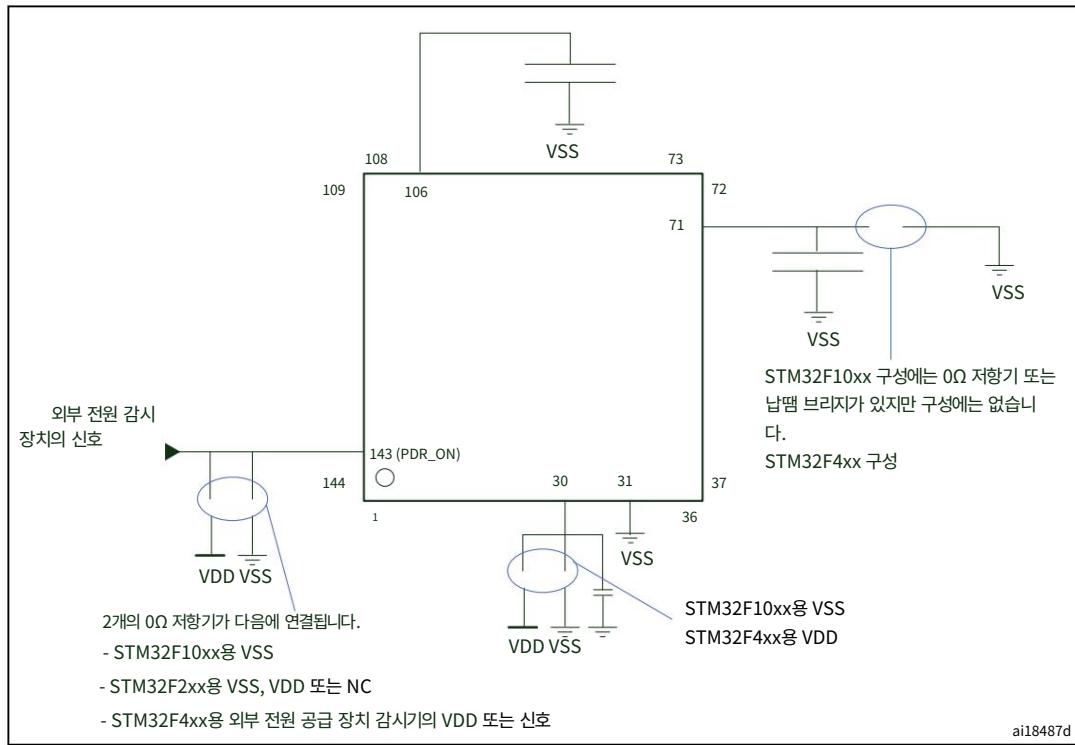
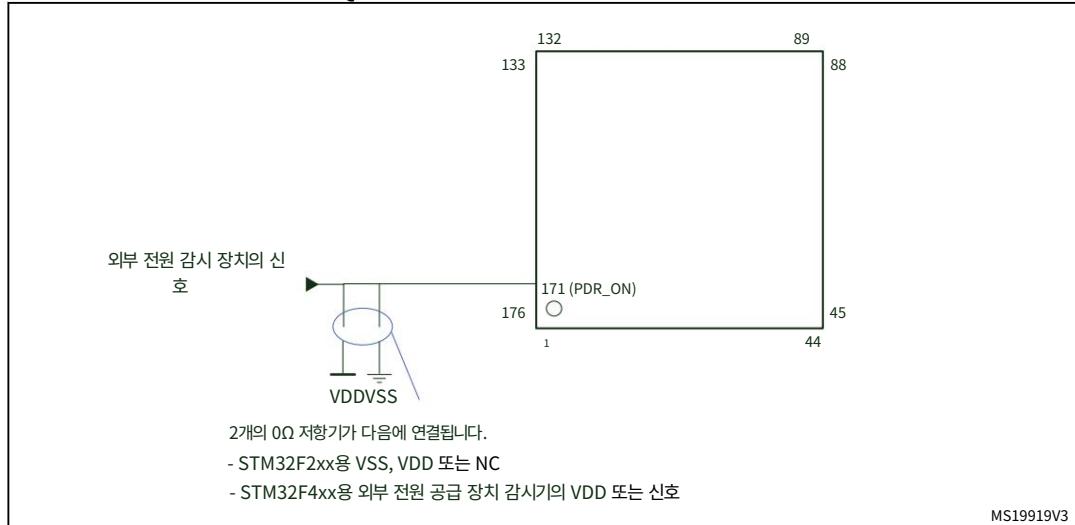
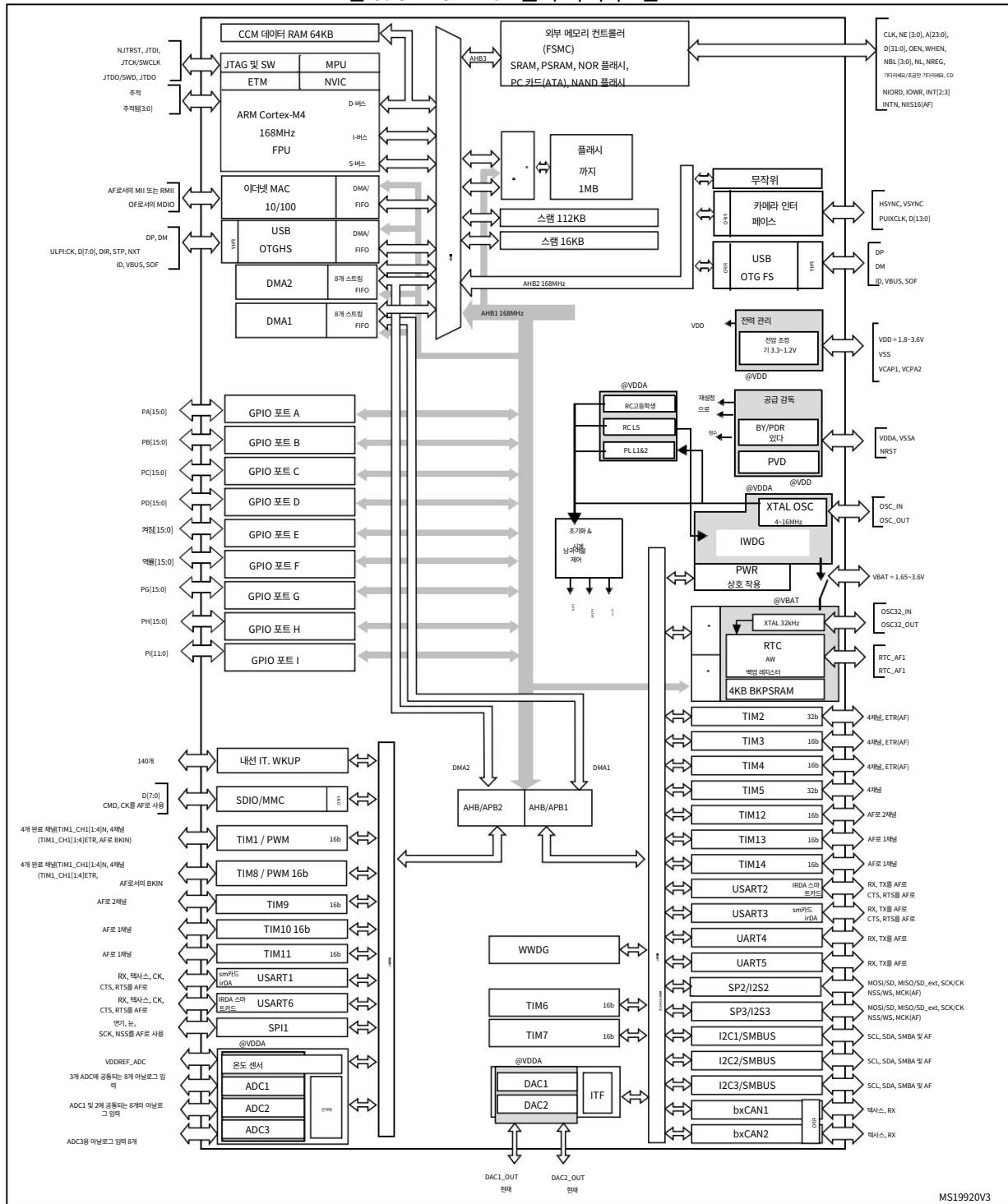


그림 4. STM32F2xx와 STM32F4xx 간의 호환 가능한 보드 설계  
LQFP176 및 BGA176 패키지용



## 2.2 장치 개요

그림 5. STM32F40x 블록 다이어그램



1. APB2에 연결된 타이머는 TIMxCLK에서 최대 168MHz까지 클럭되는 반면, APB1에 연결된 타이머는 RCC\_DCKCFGR 레지스터의 TIMPRE 비트 구성에 따라 TIMxCLK에서 최대 84MHz 또는 168MHz까지 클럭됩니다.

2. 카메라 인터페이스와 이더넷은 STM32F407xx 장치에서만 사용할 수 있습니다.

### 2.2.1 플래시 및 SRAM이 내장된 ARM® Cortex™-M4F 코어

ARM Cortex-M4F 프로세서는 임베디드 시스템을 위한 최신 세대의 ARM 프로세서입니다. 이 제품은 핀 수를 줄이고 전력 소비를 낮추면서 MCU 구현 요구 사항을 충족하는 동시에 뛰어난 계산 성능과 인터럽트에 대한 고급 응답을 제공하는 저비용 플랫폼을 제공하기 위해 개발되었습니다.

ARM Cortex-M4F 32비트 RISC 프로세서는 탁월한 코드 효율성을 갖추고 있어 일반적으로 8비트 및 16비트 장치와 관련된 메모리 크기에서 ARM 코어에서 기대되는 고성능을 제공합니다.

프로세서는 효율적인 신호 처리와 복잡한 알고리즘 실행을 가능하게 하는 일련의 DSP 명령을 지원합니다.

단정밀도 FPU(부동 소수점 단위)는 메타언어 개발 도구를 사용하여 포화를 피하면서 소프트웨어 개발 속도를 높입니다.

STM32F405xx 및 STM32F407xx 제품군은 모든 ARM 도구 및 소프트웨어와 호환됩니다.

[그림 5](#)는 STM32F40x 제품군의 일반 제품 구성도를 보여줍니다.

메모: Cortex-M4F는 Cortex-M3와 바이너리 호환됩니다.

### 2.2.2 적응형 실시간 메모리 가속기(ART Accelerator™)

ART Accelerator™는 STM32 산업 표준 ARM® Cortex™-M4F 프로세서에 최적화된 메모리 가속기입니다. 이는 일반적으로 프로세서가 더 높은 주파수에서 플래시 메모리를 기다려야 하는 플래시 메모리 기술에 의해 ARM Cortex-M4F의 고유한 성능 이점 간의 균형을 유지합니다.

이 주파수에서 프로세서 전체 210 DMIPS 성능을 해제하기 위해 가속기는 명령 프리페치 대기열과 분기 캐시를 구현하여 128비트 플래시 메모리에서 프로그램 실행 속도를 높입니다. CoreMark 벤치마크에 따르면 ART 가속기를 통해 얻은 성능은 최대 168MHz의 CPU 주파수에서 플래시 메모리의 0 대기 상태 프로그램 실행과 동일합니다.

### 2.2.3 메모리 보호 장치

메모리 보호 장치(MPU)는 한 작업이 실수로 다른 활성 작업에서 사용하는 메모리나 리소스를 손상시키는 것을 방지하기 위해 메모리에 대한 CPU 액세스를 관리하는 데 사용됩니다. 이 메모리 영역은 최대 8개의 보호 영역으로 구성되며, 이는 차례로 8개의 하위 영역으로 나눌 수 있습니다. 보호 영역 크기는 32바이트에서 전체 4GB의 주소 지정 가능 메모리 사이입니다.

MPU는 다른 작업의 잘못된 동작으로부터 일부 중요하거나 인증된 코드를 보호해야 하는 애플리케이션에 특히 유용합니다. 일반적으로 RTOS(실시간 운영 체제)에 의해 관리됩니다. 프로그램이 MPU에서 금지하는 메모리 위치에 액세스하는 경우 RTOS는 이를 감지하고 조치를 취할 수 있습니다. RTOS 환경에서 커널은 실행되는 프로세스에 따라 MPU 영역 설정을 동적으로 업데이트할 수 있습니다.

MPU는 선택 사항이며 필요하지 않은 애플리케이션의 경우 우회할 수 있습니다.

### 2.2.4 내장형 플래시 메모리

STM32F40x 장치에는 프로그램과 데이터를 저장하는 데 사용할 수 있는 512KB 또는 1MB의 플래시 메모리가 내장되어 있습니다.

## 2.2.5 CRC(순환 중복 검사) 계산 단위

CRC(순환 중복 검사) 계산 장치는 32비트 데이터 워드와 고정 생성 다항식에서 CRC 코드를 얻는 데 사용됩니다.

다른 애플리케이션 중에서 CRC 기반 기술은 데이터 전송 또는 저장 무결성을 확인하는 데 사용됩니다. EN/IEC 60335-1 표준 범위 내에서 플래시 메모리 무결성을 확인하는 수단을 제공합니다. CRC 계산 유닛은 런타임 중에 소프트웨어 서명을 계산하여 링크 타임에 생성되고 지정된 메모리 위치에 저장되는 참조 서명과 비교하는 데 도움을 줍니다.

## 2.2.6 임베디드 SRAM

모든 STM32F40x 제품에는 다음이 포함되어 있습니다.

- 64KB의 CCM(코어 결합 메모리)을 포함한 최대 192KB의 시스템 SRAM 데이터 램

RAM 메모리는 대기 상태가 0인 CPU 클럭 속도로 액세스(읽기/쓰기)됩니다.

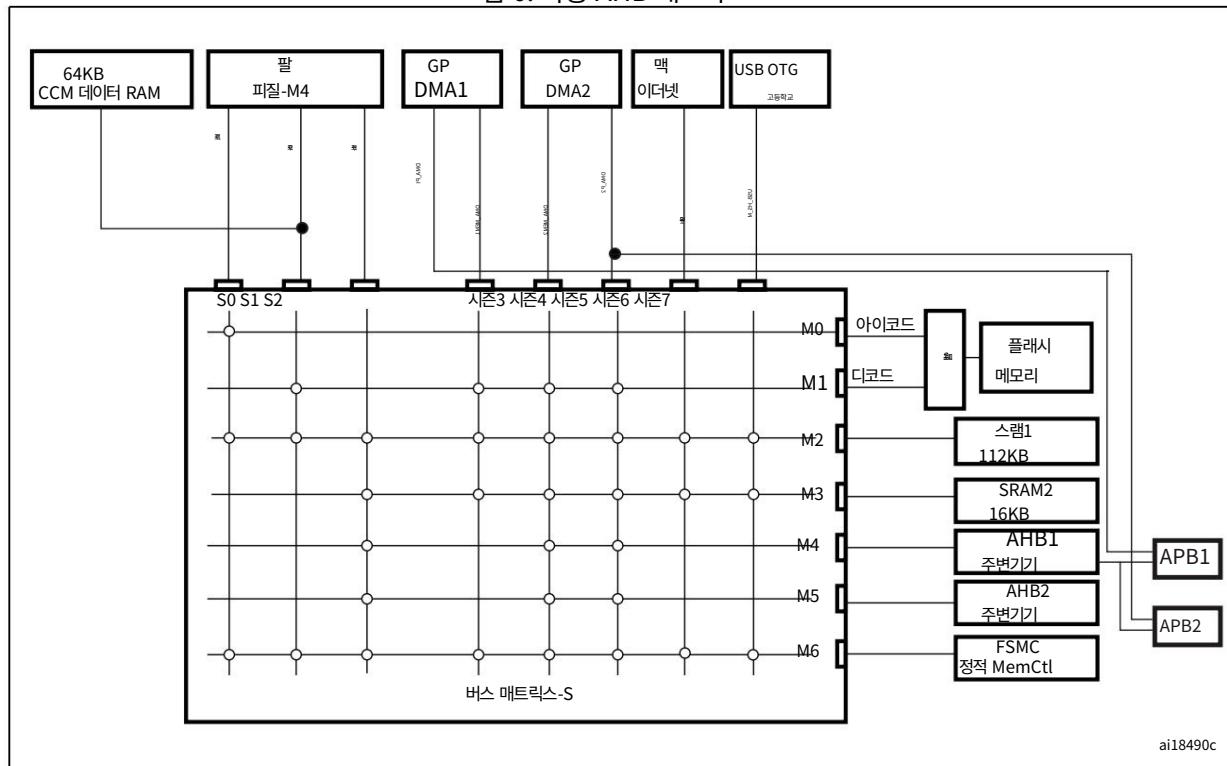
- 4KB 백업 SRAM

이 영역은 CPU에서만 접근 가능합니다. 해당 콘텐츠는 원치 않는 쓰기 액세스로부터 보호되며 대기 또는 VBAT 모드에서 유지됩니다.

## 2.2.7 다중 AHB 버스 매트릭스

32비트 다중 AHB 버스 매트릭스는 모든 마스터(CPU, DMA, 이더넷, USB HS)와 슬레이브(플래시 메모리, RAM, FSMC, AHB 및 APB 주변 장치)를 상호 연결하고 여러 높은 수준의 경우에도 원활하고 효율적인 작동을 보장합니다. -speed 주변 장치가 동시에 작동합니다.

그림 6. 다중 AHB 매트릭스



## 2.2.8 DMA 컨트롤러(DMA)

이 장치에는 각각 8개의 스트리밍이 있는 2개의 범용 이중 포트 DMA(DMA1 및 DMA2)가 있습니다. 메모리에 서 메모리로, 주변 장치에서 메모리로, 메모리에서 주변 장치로의 전송을 관리할 수 있습니다. 이 제품은 APB/AHB 주변 장치 전용 FIFO를 갖추고 있으며 버스트 전송을 지원하고 최대 주변 장치 대역폭(AHB/APB)을 제공하도록 설계되었습니다.

두 개의 DMA 컨트롤러는 순환 버퍼 관리를 지원하므로 컨트롤러가 버퍼 끝에 도달할 때 특정 코드가 필요하지 않습니다. 두 개의 DMA 컨트롤러에는 특수 코드 없이도 두 개의 메모리 버퍼 사용 및 전환을 자동화하는 이중 버퍼링 기능도 있습니다.

각 스트리밍은 각 스트리밍에 대한 소프트웨어 트리거를 지원하여 전용 하드웨어 DMA 요청에 연결됩니다. 구성은 소프트웨어에 의해 이루어지며 원본과 대상 간의 전송 크기는 독립적입니다.

DMA는 주요 주변 장치와 함께 사용할 수 있습니다.

- SPI 및 I2S
- 나노 2C
- USART
- 범용, 기본 및 고급 제어 타이머 TIMx
- DAC
- SDIO
- 카메라 인터페이스(DCMI)
- ADC.

## 2.2.9 유연한 정적 메모리 컨트롤러(FSMC)

FSMC는 STM32F405xx 및 STM32F407xx 제품군에 내장되어 있습니다. 여기에는 PCCard/Compact Flash, SRAM, PSRAM, NOR Flash 및 NAND Flash 모드를 지원하는 4개의 칩 선택 출력이 있습니다.

기능 개요:

- FIFO 작성
- 동기 액세스를 위한 최대 FSMC\_CLK 주파수는 60MHz입니다.

### LCD 병렬 인터페이스

FSMC는 대부분의 그래픽 LCD 컨트롤러와 원활하게 인터페이스하도록 구성할 수 있습니다. Intel 8080 및 Motorola 6800 모드를 지원하며 특정 LCD 인터페이스에 적응할 수 있을 만큼 유연합니다. 이 LCD 병렬 인터페이스 기능을 사용하면 내장형 컨트롤러가 있는 LCD 모듈을 사용하거나 전용 가속 기능이 있는 외부 컨트롤러를 사용하는 고성능 솔루션을 사용하여 비용 효율적인 그래픽 애플리케이션을 쉽게 구축할 수 있습니다.

## 2.2.10 중첩된 벡터 인터럽트 컨트롤러(NVIC)

STM32F405xx 및 STM32F407xx에는 16개의 우선순위 레벨을 관리하고 최대 82개의 마스크 가능한 인터럽트 채널과 Cortex™-M4F의 16개 인터럽트 라인을 처리할 수 있는 중첩된 벡터 인터럽트 컨트롤러가 내장되어 있습니다. • 밀접하게 결합된 NVIC는 대기 시간이 짧은 인터럽트 처리를 제공합니다.

- 코어에 직접 전달되는 인터럽트 항목 벡터 테이블 주소
- 인터럽트의 조기 처리를 허용합니다.
- 늦게 도착하고 우선순위가 높은 인터럽트 처리
- 테일 체인 지원
- 프로세서 상태가 자동으로 저장됨
- 명령어 오버헤드 없이 인터럽트 종료 시 인터럽트 항목이 복원됨

이 하드웨어 블록은 최소 인터럽트 대기 시간으로 유연한 인터럽트 관리 기능을 제공합니다.

## 2.2.11 외부 인터럽트/이벤트 컨트롤러(EXTI)

외부 인터럽트/이벤트 컨트롤러는 인터럽트/이벤트 요청을 생성하는 데 사용되는 23개의 에지 감지 라인으로 구성됩니다. 각 라인은 트리거 이벤트(상승 에지, 하강 에지 모두)를 선택하도록 독립적으로 구성할 수 있으며 독립적으로 마스크할 수 있습니다. 보류 중인 레지스터는 인터럽트 요청의 상태를 유지합니다. EXTI는 내부 APB2 클럭 주기보다 짧은 펄스 폭을 가진 외부 라인을 감지할 수 있습니다. 최대 140개의 GPIO를 16개의 외부 인터럽트 라인에 연결할 수 있습니다.

## 2.2.12 시계와 시동

재설정 시 16MHz 내부 RC 발진기가 기본 CPU 클록으로 선택됩니다. 16MHz 내부 RC 발진기는 전체 온도 범위에 걸쳐 1%의 정확도를 제공하도록 공장에서 조정되었습니다. 그런 다음 애플리케이션은 RC 발진기 또는 외부 4~26MHz 클록 소스를 시스템 클록으로 선택할 수 있습니다. 이 시계의 오류를 모니터링할 수 있습니다. 오류가 감지되면 시스템은 자동으로 내부 RC 발진기로 다시 전환되고 소프트웨어 인터럽트가 생성됩니다(활성화된 경우). 이 클록 소스는 PLL에 입력되므로 주파수를 최대 168MHz까지 높일 수 있습니다. 마찬가지로 PLL의 전체 인터럽트 관리

필요할 때 클록 항목을 사용할 수 있습니다(예를 들어 간접적으로 사용되는 외부 발진기가 실패한 경우).

여러 프리스케일러를 사용하면 3개의 AHB 버스, 고속 APB(APB2) 및 저속 APB(APB1) 도메인을 구성할 수 있습니다. 3개의 AHB 버스의 최대 주파수는 168MHz이고 고속 APB 도메인의 최대 주파수는 84MHz입니다. 저속 APB 도메인의 최대 허용 주파수는 42MHz입니다.

이 장치에는 오디오 등급 성능을 달성할 수 있는 전용 PLL(PLLI2S)이 내장되어 있습니다. 이 경우 I2S 마스터 클럭은 8kHz ~ 192kHz의 모든 표준 샘플링 주파수를 생성할 수 있습니다.

### 2.2.13 부팅 모드

시작 시 부팅 핀은 세 가지 부팅 옵션 중 하나를 선택하는데 사용됩니다.

- 사용자 플래시에서 부팅
- 시스템 메모리에서 부팅
- 내장형 SRAM에서 부팅

부트로더는 시스템 메모리에 있습니다. DFU(장치)를 통해 장치 모드(PA11/PA12)에서 USART1(PA9/PA10), USART3(PC10/PC11 또는 PB10/PB11), CAN2(PB5/PB13), USB OTG FS를 사용하여 플래시 메모리를 다시 프로그래밍하는 데 사용됩니다. 펌웨어 업그레이드).

### 2.2.14 전원 공급 방식

- VDD = 1.8 ~ 3.6V: I/O 및 내부 레귤레이터용 외부 전원 공급 장치(활성화), VDD 핀을 통해 외부적으로 제공됩니다.
- VSSA, VDDA = 1.8 ~ 3.6V: ADC, DAC, 리셋을 위한 외부 아날로그 전원 공급 장치 블록, RC 및 PLL. VDDA 및 VSSA는 각각 VDD 및 VSS에 연결되어야 합니다.
- VBAT = 1.65 ~ 3.6V: VDD가 없을 때 RTC용 전원 공급 장치, 외부 클록 32kHz 발진기 및 백업 레지스터(전원 스위치를 통해).

자세한 내용은 [그림 21: 전원 공급 장치 구성을 참조하십시오 .](#)

**메모:** 장치가 감소된 온도 범위에서 작동하고 외부 전원 공급 장치 감시 장치를 사용하면 VDD/VDDA 최소값 1.7V를 얻을 수 있습니다( [섹션: 내부 재설정 OFF 참조](#)).

이 옵션을 지원하는 패키지를 확인하려면 [표 2를 참조하세요 .](#)

### 2.2.15 전원 공급 장치 감시자

#### 내부 리셋 ON

PDR\_ON 핀이 내장된 패키지에서는 PDR\_ON을 높게 유지하여 전원 공급 장치 감시 기능이 활성화됩니다. 다른 모든 패키지에서는 전원 공급 장치 감시 기능이 항상 활성화되어 있습니다.

이 장치에는 BOR(브라운아웃 리셋) 회로와 결합된 통합 POR(파워 온 리셋)/PDR(파워 다운 리셋) 회로가 있습니다. 전원을 결 때 POR/PDR은 항상 활성화되어 1.8V부터 적절한 작동을 보장합니다. 1.8V POR 임계값 레벨에 도달한 후 옵션 바이트로딩 프로세스가 시작되어 기본 BOR 임계값 레벨을 확인 또는 수정하거나 비활성화합니다. 영구적으로 BOR 옵션 바이트를 통해 세 가지 BOR 임계값을 사용할 수 있습니다. VDD가 지정된 임계값(VPOR/PDR 또는 VBOR) 미만일 때 외부 리셋 회로가 필요 없이 장치는 리셋 모드를 유지합니다.

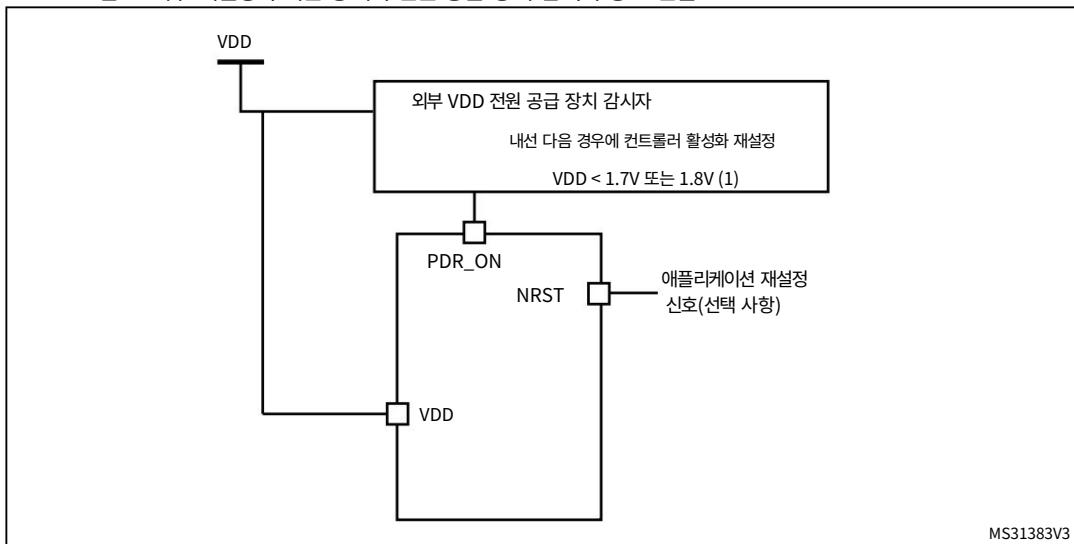
또한 이 장치에는 VDD/VDDA 전원 공급 장치를 모니터링하고 이를 VPVD 임계값과 비교하는 프로그래밍 가능 전압 감지기(PVD)가 내장되어 있습니다. VDD/VDDA가 VPVD 임계값 아래로 떨어지거나 VDD/VDDA가 VPVD 임계값 보다 높을 때 인터럽트가 생성될 수 있습니다. 그런 다음 인터럽트 서비스 루틴은 경고 메시지를 생성하거나 MCU를 안전한 상태로 전환할 수 있습니다. PVD는 소프트웨어로 활성화됩니다.

#### 내부 리셋 OFF

이 기능은 PDR\_ON 핀이 있는 패키지에서만 사용할 수 있습니다. 내부 POR(파워 온 리셋)/PDR(파워 다운 리셋) 회로는 PDR\_ON 핀을 통해 비활성화됩니다.

외부 전원 공급 장치 감독자는 VDD를 모니터링해야 하며 VDD가 지정된 임계값 미만인 동안 장치를 재설정 모드로 유지해야 합니다. PDR\_ON은 이 외부 전원 공급 장치 감시 장치에 연결되어야 합니다. [그림 7: 내부 재설정이 꺼진 상태에서 전원 공급 장치 감시기 상호 연결을 참조하십시오.](#)

그림 7. 내부 재설정이 꺼진 상태의 전원 공급 장치 감시기 상호 연결



- 온도 범위 감소의 경우 PDR = 1.7V, 모든 온도 범위에서 PDR = 1.8V.

리셋 시 장치를 유지해야 하는 VDD 지정 임계값은 1.8V입니다( [그림 7 참조](#) ). 이 공급 전압은 장치가 0~70°C 온도 범위에서 작동할 때 1.7V로 떨어질 수 있습니다.

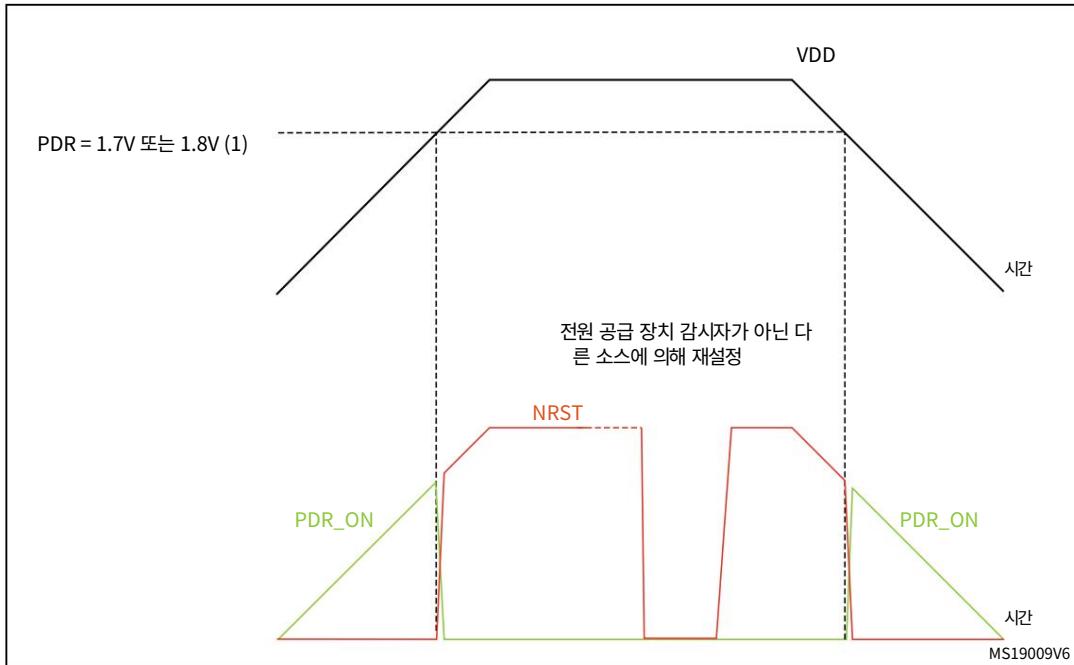
포괄적인 절전 모드 세트를 통해 저전력 애플리케이션을 설계할 수 있습니다.

내부 재설정이 꺼지면 다음 통합 기능이 더 이상 지원되지 않습니다.

- 통합 POR(파워 온 리셋)/PDR(파워 다운 리셋) 회로가 비활성화됩니다.
- 브라운아웃 재설정(BOR) 회로가 비활성화됩니다.
- 내장형 프로그래밍 가능 전압 감지기(PVD)가 비활성화됩니다.
- VBAT 기능은 더 이상 사용할 수 없으며 VBAT 핀은 VDD에 연결되어야 합니다.

LQFP64 및 LQFP100을 제외한 모든 패키지에서는 PDR\_ON 신호를 통해 내부 재설정을 비활성화할 수 있습니다.

그림 8. 내부 리셋이 OFF인 PDR\_ON 및 NRST 제어



1. 온도 범위 감소의 경우 PDR = 1.7V, 모든 온도 범위에서 PDR = 1.8V.

## 2.2.16 전압 조정기

조정기에는 4가지 작동 모드가 있습니다.

- 조정기 ON

- 메인 레귤레이터 모드(MR)
- 저전력 레귤레이터(LPR)
- 전력 다운
- 레귤레이터 OFF

### 레귤레이터 ON

BYPASS\_REG 핀이 내장된 패키지에서는 BYPASS\_REG를 로우로 유지하여 레귤레이터가 활성화됩니다. 다른 모든 패키지에서는 조정기가 항상 활성화되어 있습니다.

조정기가 ON일 때 소프트웨어에 의해 구성되는 세 가지 전력 모드가 있습니다.

- MR은 공칭 조정 모드에서 사용됩니다(실행 시 다른 전압 스케일링 사용).

메인 레귤레이터 모드(MR 모드)에서는 최대 주파수와 동적 전력 소비 사이에서 최적의 절충안을 찾기 위해 다양한 전압 스케일링이 제공됩니다.

[표 14: 일반 작동 조건을 참조하십시오.](#)

- LPR은 정지 모드에서 사용됩니다.

LPR 조정기 모드는 정지 모드 진입 시 소프트웨어에 의해 구성됩니다.

- 전원 차단은 대기 모드에서 사용됩니다.

절전 모드는 대기 모드로 진입한 경우에만 활성화됩니다. 조정기 출력은 높은 임피던스에 있고 커널 회로의 전원이 깨져 소비가 전혀 발생하지 않습니다. 레지스터와 SRAM의 내용이 손실됩니다.

2개의 외부 세라믹 커패시터를 VCAP\_1 및 VCAP\_2 핀에 연결해야 합니다. 그림 21: 전원 공급 장치 구성표 및 그림 16: VCAP\_1/VCAP\_2 작동 조건을 참조하세요.

모든 패키지에는 레귤레이터 ON 기능이 있습니다.

### 레귤레이터 OFF

이 기능은 BYPASS\_REG 핀이 포함된 패키지에서만 사용할 수 있습니다. BYPASS\_REG를 높게 유지하면 조정기가 비활성화됩니다. 레귤레이터 OFF 모드에서는 VCAP\_1 및 VCAP\_2 핀을 통해 V12 전압 소스를 외부적으로 공급할 수 있습니다.

내부 전압 스케일링은 내부적으로 관리되지 않으므로 외부 전압 값은 목표 최대 주파수에 맞춰야 합니다. 표 14: 일반 작동 조건을 참조하십시오.

2.2 $\mu$ F 세라믹 커패시터 2개는 100nF 디커플링 커패시터 2개로 교체해야 합니다.

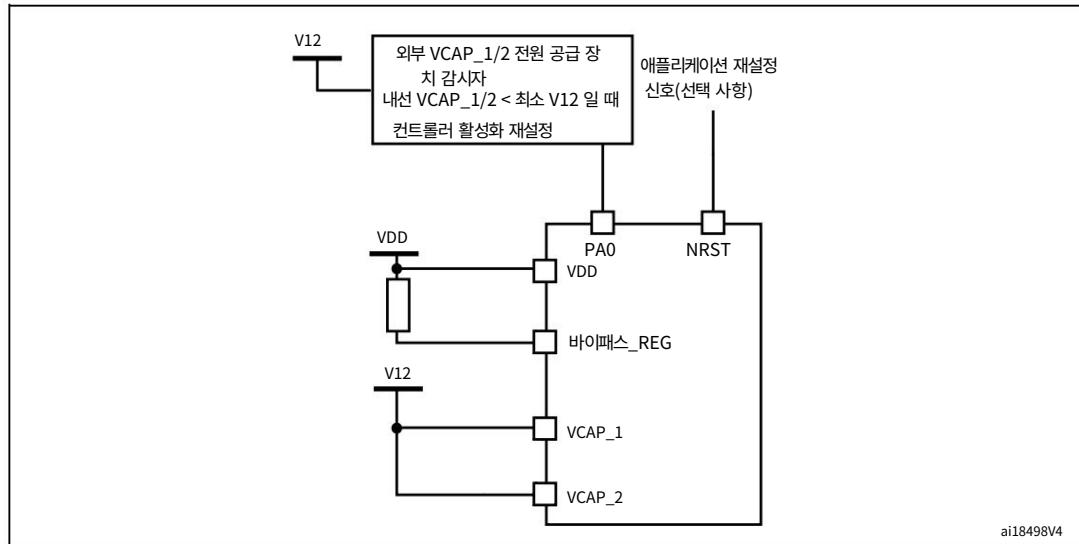
### 그림 21을 참조하십시오 : 전원 공급 장치 구성표

조정기 가지면 V12에 대한 내부 모니터링이 더 이상 없습니다. 로직 전력 도메인의 V12를 모니터링하려면 외부 전원 공급 장치 감시자를 사용해야 합니다. PA0 핀은 이 목적으로 사용되어야 하며 V12 전원 도메인에서 전원 켜기 재설정 역할을 해야 합니다.

조정기 OFF 모드에서는 다음 기능이 더 이상 지원되지 않습니다.

- PA0은 V12 로직 전원의 일부를 재설정할 수 있으므로 GPIO 핀으로 사용할 수 없습니다.  
NRST 핀에 의해 재설정되지 않는 도메인입니다.
- PA0이 로우로 유지되는 한, 디버그 모드는 파워온 리셋 상태에서 사용될 수 없습니다. 결과적으로, 리셋 또는 사전 리셋 중인 디버그 연결이 필요한 경우 PA0 및 NRST 핀을 별도로 관리해야 합니다.

그림 9. 레귤레이터 OFF

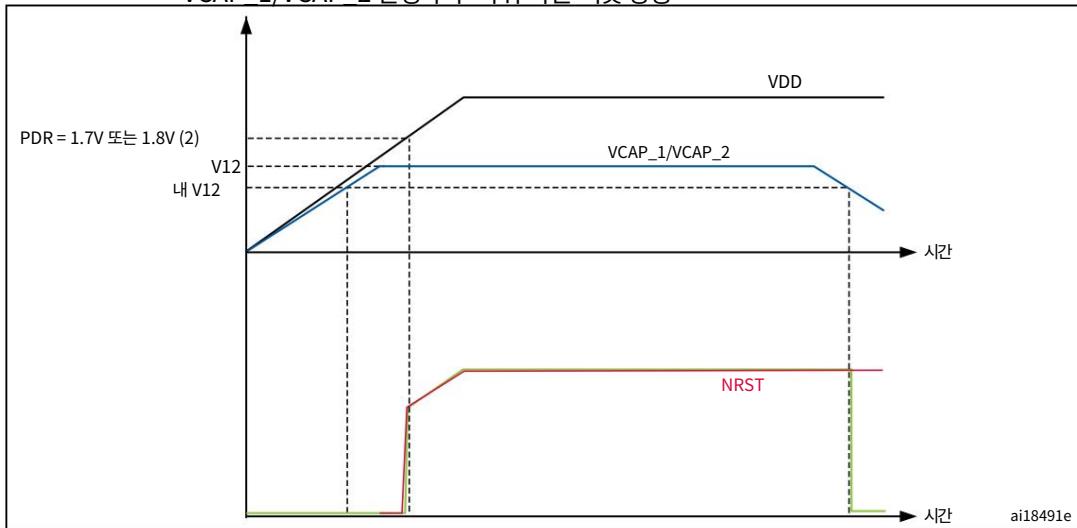


다음 조건을 준수해야 합니다.

- VDD는 전류 주입을 방지하기 위해 항상 VCAP\_1 및 VCAP\_2 보다 높아야 합니다. 권력 영역 사이.
- VCAP\_1 및 VCAP\_2가 V12 최소값에 도달하는 시간이 VDD가 1.8V에 도달하는 시간보다 빠른 경우 PA0은 VCAP\_1 까지 두 조건을 모두 충족하기 위해 낮게 유지되어야 합니다. VCAP\_2는 V12 최소값에 도달하고 VDD가 1.8V에 도달할 때까지입니다( 그림 10 참조).
- 그렇지 않고 VCAP\_1 및 VCAP\_2가 V12 최소값에 도달하는 시간이 VDD가 1.8V에 도달하는 시간보다 느린 경우 PA0은 외부적으로 낮게 선언될 수 있습니다( 그림 11 참조).
- VCAP\_1 및 VCAP\_2가 V12 최소값 아래로 떨어지고 VDD가 1.8V보다 높은 경우 PA0 핀에서 재설정을 실행해야 합니다.

메모: V12의 최소값은 애플리케이션의 목표 최대 주파수에 따라 달라집니다( 표 14: 일반 작동 조건 참조).

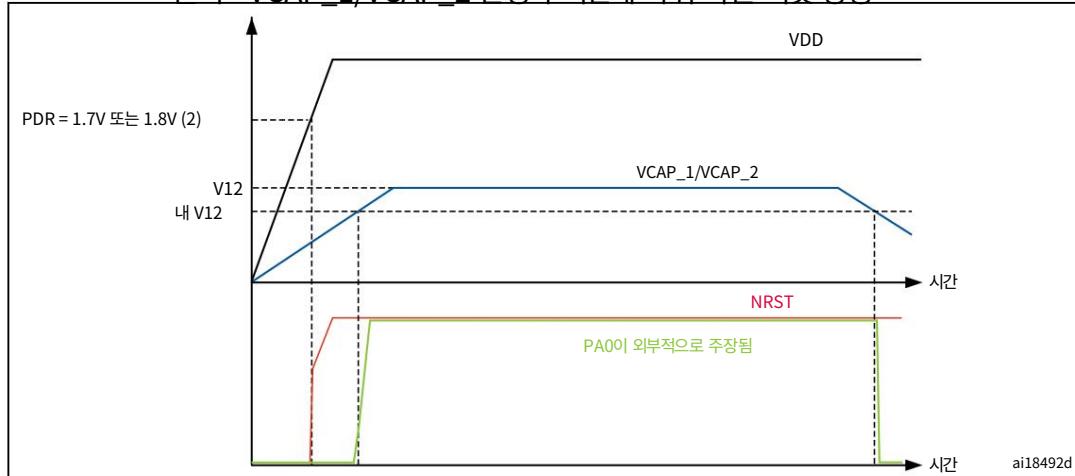
그림 10. 레귤레이터 OFF 모드에서의 스타트업: 느린 VDD 기울기 -  
VCAP\_1/VCAP\_2 안정화 후 파워 다운 리셋 상승



1. 이 수치는 내부 재설정 모드(onON 또는 OFFoff)에 관계없이 모두 유효합니다.

2. 감소된 온도 범위의 경우 PDR = 1.7V, 모든 온도 범위에서 PDR = 1.8V.

그림 11. 레귤레이터 OFF 모드에서의 스타트업: 빠른 VDD 기  
울기 - VCAP\_1/VCAP\_2 안정화 이전에 파워 다운 리셋 상승



1. 이 수치는 내부 재설정 모드(onON 또는 offOFF)에 관계없이 모두 유효합니다.

2. 감소된 온도 범위의 경우 PDR = 1.7V; 모든 온도 범위에서 PDR = 1.8V.

### 2.2.17 레귤레이터 ON/OFF 및 내부 리셋 ON/OFF 가능 여부

표 3. 레귤레이터 ON/OFF 및 내부 리셋 ON/OFF 가능성

	레귤레이터 ON 레귤레이터 OFF 내부 리셋 ON			내부 재설정 끄다
LQFP64 LQFP100	예	아니요	예	아니요
LQFP144 LQFP176			예	예 PDR_ON이 다음에 연결됨 외부 전원 공급 장치 감독자
WLCSP90 UFBGA176	예 BYPASS_REG가 VSS 로 설정됨	예 BYPASS_REG가 VDD 로 설정됨	PDR_ON이 다음으로 설정되었습니다. VDD	

### 2.2.18 실시간 클록(RTC), 백업 SRAM 및 백업 레지스터

STM32F405xx 및 STM32F407xx의 백업 도메인에는 다음이 포함됩니다.

- 실시간 클록(RTC)
- 4KB의 백업

SRAM

- 백업 레지스터 20개

RTC(실시간 클록)는 독립적인 BCD 타이머/카운터입니다. 전용 레지스터에는 초, 분, 시(12/24시간 단위), 요일, 날짜, 월, 연도가 BCD(이진 코드 십진수) 형식으로 포함됩니다. 28일, 29일(윤년), 30일, 31일에 대한 수정이 자동으로 수행됩니다. RTC는 정지 및 대기 모드에서 복귀하여 프로그래밍 가능한 알람과 프로그래밍 가능한 주기적인 인터럽트를 제공합니다. 초 미만 값은 이진 형식으로도 사용할 수 있습니다.

이는 32.768kHz 외부 크리스털, 공진기 또는 발진기, 내부 저전력 RC 발진기 또는 128로 나눈 고속 외부 클록으로 클럭킹됩니다. 내부 저속 RC

일반적인 주파수는 32kHz입니다. RTC는 자연적인 석영 편차를 보상하기 위해 외부 512Hz 출력을 사용하여 교정할 수 있습니다.

두 개의 알람 레지스터는 특정 시간에 알람을 생성하는 데 사용되며 알람 비교를 위해 달력 필드를 독립적으로 마스킹 할 수 있습니다. 주기적인 인터럽트를 생성하기 위해 프로그래밍 가능한 분해능을 갖춘 16비트 프로그래밍 가능 바이너리 자동 재로드 다운카운터를 사용할 수 있으며 120 $\mu$ s에서 36시간마다 자동 웨이크업 및 주기적인 알람을 허용합니다.

타임베이스 클럭에는 20비트 프리스케일러가 사용됩니다. 기본적으로 32.768kHz의 클록에서 1초의 시간 기반을 생성하도록 구성되어 있습니다.

4KB 백업 SRAM은 EEPROM과 유사한 메모리 영역입니다. VBAT 및 대기 모드에서 유지해야 하는 데이터를 저장하는 데 사용할 수 있습니다. 이 메모리 영역은 전력 소비를 최소화하기 위해 기본적으로 비활성화되어 있습니다( [섹션 2.2.19: 저전력 모드 참조](#)). 소프트웨어로 활성화할 수 있습니다.

백업 레지스터는 VDD 전원이 없을 때 80바이트의 사용자 애플리케이션 데이터를 저장하는 데 사용되는 32비트 레지스터입니다. 백업 레지스터는 시스템, 전원 재설정 또는 장치가 대기 모드에서 깨어날 때 재설정되지 않습니다( [섹션 2.2.19: 저전력 모드 참조](#)).

추가 32비트 레지스터에는 프로그래밍 가능한 알람 초, 분, 시, 일 및 날짜가 포함되어 있습니다.

백업 SRAM과 마찬가지로 RTC 및 백업 레지스터는 VDD 공급 장치(있는 경우) 또는 VBAT 핀에서 전원을 공급 받는 스위치를 통해 공급됩니다.

## 2.2.19 저전력 모드

STM32F405xx 및 STM32F407xx는 세 가지 저전력 모드를 지원하여 저전력 소비, 짧은 시작 시간 및 사용 가능한 웨이크업 간의 최상의 절충안을 달성합니다.

출처:

- 절전 모드

슬립 모드에서는 CPU만 정지됩니다. 모든 주변 장치는 계속 작동하며 인터럽트/이벤트가 발생하면 CPU를 깨울 수 있습니다.

- 정지 모드

정지 모드는 SRAM 및 레지스터의 내용을 유지하면서 가장 낮은 전력 소비를 달성합니다. V12 도메인의 모든 클록이 중지되고 PLL, HSI RC 및 HSE 수정 발진기가 비활성화됩니다. 전압 조정기는 정상 모드나 저전력 모드로 설정할 수도 있습니다.

장치는 EXTI 라인(EXTI 라인 소스는 16개의 외부 라인 중 하나, PVD 출력, RTC 알람/웨이크업/탬퍼/타임 스템프 이벤트, USB OTG FS 중 하나)을 통해 중지 모드에서 깨어날 수 있습니다./HS 깨우기 또는 이더넷 깨우기).

- 대기 모드

대기 모드는 가장 낮은 전력 소비를 달성하는 데 사용됩니다. 전체 V12 도메인의 전원이 꺼지도록 내부 전압 조정기가 꺼집니다. PLL, HSI RC 및 HSE 수정 발진기도 꺼집니다. 입장 후

대기 모드에서는 선택한 경우 백업 도메인 및 백업 SRAM의 레지스터를 제외하고 SRAM 및 레지스터 내용이 손실됩니다.

장치는 외부 리셋(NRST 핀), IWDG 리셋, WKUP 핀의 상승 에지 또는 RTC 알람/웨이크업/탬퍼/타임스탬프 이벤트가 발생하면 대기 모드를 종료합니다.  
발생합니다.

내장된 전압 조정기가 바이пас스되고 V12 도메인이 외부 전원으로 제어되는 경우 대기 모드가 지원되지 않습니다.

## 2.2.20 VBAT 동작

VBAT 핀을 사용하면 외부 배터리, 외부 슈퍼커패시터 또는 외부 배터리와 외부 슈퍼커패시터가 없는 경우 VDD에서 장치 VBAT 도메인에 전원을 공급할 수 있습니다.

VDD가 없으면 VBAT 작업이 활성화됩니다.

VBAT 핀은 RTC, 백업 레지스터 및 백업 SRAM을 제공합니다.

**메모:** 마이크로컨트롤러가 VBAT에서 공급되면 외부 인터럽트 및 RTC 알람/이벤트가 VBAT 작업에서 종료되지 않습니다.

PDR\_ON 핀이 VDD에 연결되지 않으면 (내부 리셋 OFF) VBAT 기능을 더 이상 사용할 수 없으며 VBAT 핀을 VDD에 연결해야 합니다.

## 2.2.21 타이머 및 감시 장치

STM32F405xx 및 STM32F407xx 장치에는 고급 제어 타이머 2개, 범용 타이머 8개, 기본 타이머 2개, 감시 타이머 2개가 포함되어 있습니다.

모든 타이머 카운터는 디버그 모드에서 고정될 수 있습니다.

[표 4는](#) 고급 제어 타이머, 범용 타이머, 기본 타이머의 기능을 비교합니다.

표 4. 타이머 기능 비교

시간제 노동자 유형	시간제 노동자	반대 해결 N	카운터 유형	프리스케일러 요인	DMA 요청 생성 N	포착/채널 비교	추가의 y 출력	맥스 상호 작용 시계 (MHz)	맥스 시간제 노동자 시계 (MHz)
고급의 -제어	팀1, 팀8	16비트	위로, 아래에, 위/아래 N	1에서 65536 사이의 정수	예	4	예	84	168

표 4. 타이머 기능 비교 (계속)

타이머 유형	시간제 노동자	반대 해결 N	카운터 유형	프리스케일러 인자	DMA 요청 생성 N	포착/채널 비교	추가의 y 출력	최대 인터페이스 클록 (MHz)	최대 타이머 시계 (MHz)
일반적인 목적	팀2, TIM5	32비트	위로, 아래에, 위/아래 N	1에서 65536 사이의 정수	예	4	아니요	42	84
	팀3, TIM4	16비트	위로, 아래에, 위/아래 N	1에서 65536 사이의 정수	예	4	아니요	42	84
	TIM9 16비트		위로	1에서 65536 사이의 정수	아니요	2	아니요	84	168
	HOUR10, TIM11	16비트	위로	1에서 65536 사이의 정수	아니요	1	아니요	84	168
	TIM12 16비트		위로	1에서 65536 사이의 정수	아니요	2	아니요	42	84
	TIM13, TIM14	16비트	위로	1에서 65536 사이의 정수	아니요	1	아니요	42	84
기초적인	팀6, TIM7	16비트	위로	1에서 65536 사이의 정수	예	0	아니요	42	84

### 고급 제어 타이머(TIM1, TIM8)

고급 제어 타이머(TIM1, TIM8)는 6개 채널에 다중화된 3상 PWM 생성기로 볼 수 있습니다. 이 제품에는 프로그래밍 가능한 데드 타임이 삽입된 보완적인 PWM 출력이 있습니다. 또한 완전한 범용 타이머로 간주될 수도 있습니다.

4개의 독립 채널을 다음 용도로 사용할 수 있습니다.

- 입력 캡처
- 출력 비교
- PWM 생성(예지 또는 중앙 정렬 모드)
- 1펄스 모드 출력

표준 16비트 타이머로 구성된 경우 범용 TIMx 타이머와 동일한 기능을 갖습니다. 16비트 PWM 생성기로 구성된 경우 전체 변조 기능(0-100%).

고급 제어 타이머는 동기화 또는 이벤트 체인을 위한 타이머 링크 기능을 통해 TIMx 타이머와 함께 작동할 수 있습니다.

TIM1 및 TIM8은 독립적인 DMA 요청 생성을 지원합니다.

### 범용 타이머(TIMx)

STM32F40x 장치에는 10개의 동기화 가능한 범용 타이머가 내장되어 있습니다( 차이점은 [표 4](#) 참조 ).

- **TIM2, TIM3, TIM4, TIM5**

STM32F40x에는 모든 기능을 갖춘 4개의 범용 타이머(TIM2, TIM5, TIM3, TIM4)가 포함되어 있습니다. TIM2 및 TIM5 타이머는 32비트 자동 재로드 업/다운 카운터와 16비트 프리스케일러를 기반으로 합니다. TIM3 및 TIM4 타이머는 16-A를 기반으로 합니다. 비트 자동 재로드 업/다운 카운터 및 16비트 프리스케일러. 이 제품은 모두 입력 캡처/출력 비교, PWM 또는 1펄스 모드 출력을 위한 4개의 독립 채널을 갖추고 있습니다. 이는 가장 큰 패키지에서 최대 16개의 입력 캡처/출력 비교/PWM을 제공합니다.

TIM2, TIM3, TIM4, TIM5 범용 타이머는 동기화 또는 이벤트 체인을 위한 타이머 링크 기능을 통해 다른 범용 타이머 및 고급 제어 타이머 TIM1 및 TIM8과 함께 작동하거나 함께 작동할 수 있습니다.

이러한 범용 타이머는 모두 PWM 출력을 생성하는 데 사용할 수 있습니다.

TIM2, TIM3, TIM4, TIM5에는 모두 독립적인 DMA 요청 생성 기능이 있습니다. 이 제품은 직교(증분) 인코더 신호와 1~4개의 훌 효과 센서의 디지털 출력을 처리할 수 있습니다.

- **TIM9, TIM10, TIM11, TIM12, TIM13, TIM14**

이 타이머는 16비트 자동 재로드 업카운터와 16비트 프리스케일러를 기반으로 합니다. TIM10, TIM11, TIM13 및 TIM14에는 하나의 독립 채널이 있는 반면, TIM9 및 TIM12에는 입력 캡처/출력 비교, PWM 또는 1펄스 모드 출력을 위한 두 개의 독립 채널이 있습니다. TIM2, TIM3, TIM4, TIM5 모든 기능을 갖춘 범용 타이머와 동기화할 수 있습니다. 또한 간단한 시간 기반으로 사용할 수도 있습니다.

### 기본 타이머 TIM6 및 TIM7

이 타이머는 주로 DAC 트리거 및 파형 생성에 사용됩니다. 또한 일반 16비트 시간 기반으로 사용할 수도 있습니다.

TIM6 및 TIM7은 독립적인 DMA 요청 생성을 지원합니다.

### 독립 감시자

독립 감시 장치는 12비트 다운카운터와 8비트 프리스케일러를 기반으로 합니다. 독립적인 32kHz 내부 RC에서 클럭킹되며 메인 클럭과 독립적으로 작동하므로 정지 및 대기 모드에서 작동할 수 있습니다. 문제가 발생할 때 장치를 재설정하는 감시 장치로 사용하거나 애플리케이션 시간 초과 관리를 위한 무료 실행 타이머로 사용할 수 있습니다. 옵션 바이트를 통해 하드웨어 또는 소프트웨어로 구성할 수 있습니다.

### 윈도우 위치독

윈도우 위치독은 자유 실행으로 설정할 수 있는 7비트 다운카운터를 기반으로 합니다. 문제가 발생할 경우 장치를 재설정하는 감시 장치로 사용할 수 있습니다. 메인 시계에서 시간이 측정됩니다. 조기 경고 인터럽트 기능이 있으며 디버그 모드에서 카운터를 동결할 수 있습니다.

### SysTick 타이머

이 타이머는 실시간 운영 체제 전용이지만 표준 다운카운터로도 사용할 수 있습니다. 특징:

- 24비트 다운카운터
- 자동 재로드 기능
- 카운터가 0에 도달하면 마스크 가능한 시스템 인터럽트 생성
- 프로그래밍 가능한 클록 소스.

### 2.2.22 I<sup>2</sup>C(집적 회로 간 인터페이스)

최대 3개의 I<sup>2</sup>C 버스 인터페이스가 멀티마스터 및 슬레이브 모드에서 작동할 수 있습니다. 표준 모드(최대 100kHz) 및 고속 모드(최대 400kHz)를 지원할 수 있습니다. 7/10비트 주소 지정 모드와 7비트 이중 주소 지정 모드(슬레이브로)를 지원합니다. 하드웨어 CRC 생성/검증이 내장되어 있습니다.

DMA를 통해 제공될 수 있으며 SMBus 2.0/PMBus를 지원합니다.

### 2.2.23 범용 동기/비동기 수신기 송신기(USART)

STM32F405xx 및 STM32F407xx에는 4개의 범용 동기/비동기 수신기 송신기(USART1, USART2, USART3 및 USART6) 와 2개의 범용 비동기 수신기 송신기(UART4 및 UART5)가 내장되어 있습니다.

이 6개의 인터페이스는 비동기식 통신, IrDA SIR ENDEC 지원, 다중 프로세서 통신 모드, 단일 회선 반이중 통신 모드를 제공하고 LIN 마스터/슬레이브 기능을 갖추고 있습니다. USART1 및 USART6 인터페이스는 최대 10.5Mbit/s의 속도로 통신할 수 있습니다. 사용 가능한 다른 인터페이스는 최대 5.25Mbit/s의 속도로 통신합니다.

USART1, USART2, USART3 및 USART6은 CTS 및 RTS 신호의 하드웨어 관리, 스마트 카드 모드(ISO 7816 호환) 및 SPI 유사 통신 기능도 제공합니다. 모든 인터페이스는 DMA 컨트롤러에서 제공될 수 있습니다.

표 5. USART 기능 비교

사용 이름	표준 기능	모뎀 (RTS/ CTS)	린	SPI 주인	irDA	스마트 카드 (ISO 7816)	최대. 전송 속도(Mbit/s)(16 오버샘플링)	최대. 전송 속도(Mbit/s)(8 오버샘플링)	APB 매핑
USART1	엑스	엑스	더블 엑스	엑스	엑스	엑스	5.25	10.5	APB2(최대. 84MHz)
USART2 X		엑스	더블 엑스	엑스	엑스	엑스	2.62	5.25	APB1(최대. 42MHz)
USART3 X		엑스	더블 엑스	엑스	엑스	엑스	2.62	5.25	APB1(최대. 42MHz)
UART4	엑스	-	엑스	-	엑스	-	2.62	5.25	APB1(최대. 42MHz)
UART5	엑스	-	엑스	-	엑스	-	2.62	5.25	APB1(최대. 42MHz)
USART6 X		엑스	더블 엑스	엑스	엑스	엑스	5.25	10.5	APB2(최대. 84MHz)

## 2.2.24 직렬 주변기기 인터페이스(SPI)

STM32F40x는 전이중 및 단방향 통신 모드의 슬레이브 및 마스터 모드에서 최대 3개의 SPI를 제공합니다. SPI1은 최대 42Mbit/s의 속도로 통신할 수 있고, SPI2와 SPI3은 최대 21Mbit/s의 속도로 통신할 수 있습니다. 3비트 프리스케일러는 8개의 마스터 모드 주파수를 제공하며 프레임은 8비트 또는 16비트로 구성 가능합니다. 하드웨어 CRC 생성/검증은 기본 SD 카드/MMC 모드를 지원합니다. 모든 SPI는 DMA 컨트롤러에서 제공될 수 있습니다.

SPI 인터페이스는 마스터 모드와 슬레이브 모드의 통신을 위해 TI 모드에서 작동하도록 구성할 수 있습니다.

## 2.2.25 사운드간 통합 (I2S)

두 개의 표준 I2S 인터페이스(SPI2 및 SPI3으로 다중화)를 사용할 수 있습니다. 마스터 또는 슬레이브 모드, 전이중 및 반이중 통신 모드에서 작동할 수 있으며 입력 또는 출력 채널로 16/32비트 해상도로 작동하도록 구성할 수 있습니다.

8kHz~192kHz의 오디오 샘플링 주파수가 지원됩니다. I2S 인터페이스 중 하나 또는 둘 다 마스터 모드로 구성되면 마스터 클럭은 샘플링 주파수의 256배로 외부 DAC/CODEC로 출력될 수 있습니다.

모든 I2Sx는 DMA 컨트롤러에서 제공될 수 있습니다.

## 2.2.26 오디오 PLL(PLLI2S)

이 장치에는 오디오 I2S 애플리케이션을 위한 추가 전용 PLL이 있습니다. USB 주변 장치를 사용하는 동안 CPU 성능 저하 없이 오류 없는 I2S 샘플링 클록 정확도를 달성할 수 있습니다.

PLLI2S 구성은 CPU, USB 및 이더넷 인터페이스에 사용되는 기본 PLL(PLL)을 비활성화하지 않고 I2S 샘플링 속도 변경을 관리할 수 있습니다.

오디오 PLL은 매우 낮은 오류로 프로그래밍되어 8KHz ~ 192KHz 범위의 샘플링 속도를 얻을 수 있습니다.

오디오 PLL 외에도 마스터 클록 입력 핀을 사용하여 I2S 흐름을 외부 PLL(또는 코덱 출력)과 동기화할 수 있습니다.

### 2.2.27 보안 디지털 입/출력 인터페이스(SDIO)

1비트(기본값), 4비트 및 8비트의 세 가지 데이터 버스 모드에서 MultiMediaCard 시스템 사양 버전 4.2를 지원하는 SD/SDIO/MMC 호스트 인터페이스를 사용할 수 있습니다.

인터페이스는 최대 48MHz의 데이터 전송을 허용하며 SD 메모리 카드 사양 버전 2.0과 호환됩니다.

SDIO 카드 사양 버전 2.0은 1비트(기본값)와 4비트의 두 가지 데이터 버스 모드로도 지원됩니다.

현재 버전은 한 번에 하나의 SD/SDIO/MMC4.2 카드와 MMC4.1 또는 이전 스택만 지원합니다.

SD/SDIO/MMC 외에도 이 인터페이스는 CE-ATA 디지털 프로토콜 Rev1.1과 완벽하게 호환됩니다.

### 2.2.28 전용 DMA 및 IEEE 1588을 지원하는 이더넷 MAC 인터페이스

주변기기는 STM32F407xx 장치에서만 사용할 수 있습니다.

STM32F407xx 장치는 업계 표준 매체 독립 인터페이스(MII) 또는 축소된 매체 독립 인터페이스(RMII)를 통해 이더넷 LAN 통신을 위한 IEEE-802.3-2002 호환 미디어 액세스 컨트롤러(MAC)를 제공합니다. STM32F407xx는 물리적 LAN 버스(연선, 광섬유 등)에 연결하기 위해 외부 물리적 인터페이스 장치(PHY)가 필요합니다. PHY는 MII용 17개 신호 또는 RMII용 9개 신호를 사용하여 STM32F407xx MII 포트에 연결되며 STM32F407xx의 25MHz(MII)를 사용하여 클록킹할 수 있습니다.

STM32F407xx에는 다음 기능이 포함되어 있습니다.

- 10 및 100Mbit/s 속도 지원
- 전용 SRAM과 디스크립터 간의 고속 전송을 허용하는 전용 DMA 컨트롤러(자세한 내용은 STM32F40x 참조 매뉴얼 참조)
- 태그된 MAC 프레임 지원(VLAN 지원)
  - 반이중(CSMA/CD) 및 전이중 작동
- MAC 제어 하위 계층(제어 프레임) 지원
  - 32비트 CRC 생성 및 제거
- 물리적 및 멀티캐스트 주소(멀티캐스트 및 그룹 주소)에 대한 여러 주소 필터링 모드
  - 전송 또는 수신된 각 프레임에 대한 32비트 상태 코드
  - 송신 및 수신 프레임을 버퍼링하기 위한 내부 FIFO. 송신 FIFO와 수신 FIFO는 모두 2KB입니다.
- IEEE 1588 2008에 따른 하드웨어 PTP(정밀 시간 프로토콜) 지원  
(PTP V2), 타임스탬프 비교기가 TIM2 입력에 연결됨
- 시스템 시간이 목표 시간보다 커지면 인터럽트를 트리거합니다.

### 2.2.29 컨트롤러 영역 네트워크(bxCAN)

두 개의 CAN은 최대 1Mbit/s의 비트 전송률로 2.0A 및 B(활성) 사양을 준수합니다. 11비트 식별자가 있는 표준 프레임과 29비트 식별자가 있는 확장 프레임을 수신하고 전송할 수 있습니다. 각 CAN에는 3개의 전송 메일함, 3단계의 수신 FIFO 2개, 공유 확장 가능한 필터 뱅크 28개가 있습니다(CAN 하나를 사용하더라도 모두 사용할 수 있음). 각 CAN에는 256바이트의 SRAM이 할당됩니다.

### 2.2.30 이동 중 범용 직렬 버스(OTG\_FS)

STM32F405xx 및 STM32F407xx에는 통합 트랜시버와 함께 USB OTG 전속 장치/호스트/OTG 주변 장치가 내장되어 있습니다. USB OTG FS 주변 장치는 USB 2.0 사양 및 OTG 1.0 사양을 준수합니다. 소프트웨어로 구성 가능한 엔드포인트 설정이 있으며 일시 중지/재개를 지원합니다. USB OTG 전속 컨트롤러에는 HSE 발진기에 연결된 PLL에 의해 생성되는 전용 48MHz 클록이 필요합니다. 주요 기능은 다음과 같습니다.

- 320 × 35비트의 결합된 Rx 및 Tx FIFO 크기와 동적 FIFO 크기 조정
- SRP(세션 요청 프로토콜) 및 HNP(호스트 협상 프로토콜) 지원
- 4개의 양방향 엔드포인트
- 주기적 OUT을 지원하는 호스트 채널 8개
- HNP/SNP/IP 내부(외부 저항 불필요)
- OTG/호스트 모드의 경우 버스 전원 장치를 사용하는 경우 전원 스위치가 필요합니다.  
연결됨

### 2.2.31 범용 직렬 버스 이동 중 고속(OTG\_HS)

STM32F405xx 및 STM32F407xx 장치에는 USB OTG 고속(최대 480Mb/s) 장치/호스트/OTG 주변 장치가 내장되어 있습니다. USB OTG HS는 최고 속도와 고속 작동을 모두 지원합니다. 이 제품은 최대 속도 작동(12MB/s)을 위한 트랜시버를 통합하고 고속 작동(480MB/s)을 위한 UTMI 로우 핀 인터페이스(ULPI)를 갖추고 있습니다. HS 모드에서 USB OTG HS를 사용하는 경우 ULPI에 연결된 외부 PHY 장치가 필요합니다.

USB OTG HS 주변 장치는 USB 2.0 사양 및 OTG 1.0 사양을 준수합니다. 소프트웨어로 구성 가능한 엔드포인트 설정이 있으며 일시 중지/재개를 지원합니다. USB OTG 전속 컨트롤러에는 HSE 발진기에 연결된 PLL에 의해 생성되는 전용 48MHz 클록이 필요합니다.

주요 기능은 다음과 같습니다.

- 1Kbit × 35의 결합된 Rx 및 Tx FIFO 크기와 동적 FIFO 크기 조정
- SRP(세션 요청 프로토콜) 및 HNP(호스트 협상 프로토콜) 지원
- 6개의 양방향 엔드포인트
  - 주기적 OUT을 지원하는 호스트 채널 12개
  - 내부 FS OTG PHY 지원 SDR 모드에서
  - ULPI를 지원하는 외부 HS 또는 HS OTG 작동. OTG PHY는 12개의 신호를 통해 마이크로컨트롤러 ULPI 포트에 연결됩니다. 60MHz 출력을 사용하여 클럭킹할 수 있습니다.
- 내부 USB DMA
- HNP/SNP/IP 내부(외부 저항 불필요)
- OTG/호스트 모드의 경우 버스 전원 장치가 연결된 경우 전원 스위치가 필요합니다.

### 2.2.32 디지털 카메라 인터페이스(DCMI)

STM32F405xx 장치에서는 카메라 인터페이스를 사용할 수 없습니다.

STM32F407xx 제품에는 8~14비트 병렬 인터페이스를 통해 카메라 모듈 및 CMOS 센서와 연결하여 비디오 데이터를 수신할 수 있는 카메라 인터페이스가 내장되어 있습니다. 카메라 인터페이스는 54MHz에서 최대 54Mbyte/s의 데이터 전송 속도를 유지할 수 있습니다. 특징:

- 입력 팩셀 클록 및 동기화 신호에 대한 프로그래밍 가능한 극성
- 병렬 데이터 통신은 8비트, 10비트, 12비트 또는 14비트일 수 있습니다.
- 8비트 프로그레시브 비디오 흑백 또는 원시 베이어 형식, YCbCr 4:2:2 프로그레시브 비디오, RGB 565 프로그레시브 비디오 또는 압축 데이터(JPEG 등) 지원
- 연속 모드 또는 스냅샷(단일 프레임) 모드 지원
- 이미지를 자동으로 자르는 기능

### 2.2.33 난수 생성기(RNG)

모든 STM32F405xx 및 STM32F407xx 제품에는 통합 아날로그 회로에서 생성된 32비트 난수를 제공하는 RNG가 내장되어 있습니다.

### 2.2.34 범용 입력/출력(GPIO)

각 GPIO 핀은 소프트웨어를 통해 출력(푸시-풀 또는 오픈 드레인, 풀업 또는 풀다운 유무), 입력(플로팅, 풀업 또는 풀다운 유무) 또는 주변 대체 기능으로, 대부분의 GPIO 핀은 디지털 또는 아날로그 대체 기능과 공유됩니다. 모든 GPIO는 고전류를 지원하며 내부 소음, 전력 소비 및 전자기 방출을 더 효과적으로 관리할 수 있는 속도 선택 기능을 갖추고 있습니다.

I/O 레지스터에 대한 잘못된 쓰기를 방지하기 위해 필요한 경우 특정 순서에 따라 I/O 구성성을 잡을 수 있습니다.

빠른 I/O 처리로 최대 84MHz까지 최대 I/O 토클이 가능합니다.

### 2.2.35 아날로그-디지털 변환기(ADC)

3개의 12비트 아날로그-디지털 변환기가 내장되어 있으며 각 ADC는 최대 16개의 외부 채널을 공유하여 싱글샷 또는 스캔 모드에서 변환을 수행합니다. 스캔 모드에서는 선택한 아날로그 입력 그룹에 대해 자동 변환이 수행됩니다.

ADC 인터페이스에 내장된 추가 논리 기능을 통해 다음이 가능합니다.

- 동시 샘플 앤 홀드
- 인터리브된 샘플 앤 홀드

ADC는 DMA 컨트롤러에 의해 제공될 수 있습니다. 아날로그 감시 기능을 사용하면 선택한 채널 중 하나, 일부 또는 전체의 변환된 전압을 매우 정확하게 모니터링할 수 있습니다. 변환된 전압이 프로그래밍된 임계값을 벗어나면 인터럽트가 생성됩니다.

A/D 변환과 타이머를 동기화하기 위해 ADC는 TIM1, TIM2, TIM3, TIM4, TIM5 또는 TIM8 타이머에 의해 트리거될 수 있습니다.

### 2.2.36 온도 센서

온도 센서는 온도에 따라 선형적으로 변하는 전압을 생성해야 합니다. 변환 범위는 1.8V ~ 3.6V입니다. 온도 센서는 내부에 있습니다.

센서 출력 전압을 디지털 값으로 변환하는 데 사용되는 ADC1\_IN16 입력 채널에 연결됩니다.

온도 센서의 오프셋은 공정 변화로 인해 침마다 다르기 때문에 내부 온도 센서는 절대 온도 대신 온도 변화를 감지하는 애플리케이션에 주로 적합합니다. 정확한 온도 판독이 필요한 경우 외부 온도 센서 부품을 사용해야 합니다.

### 2.2.37 디지털-아날로그 변환기(DAC)

2개의 12비트 버퍼 DAC 채널을 사용하여 2개의 디지털 신호를 2개의 아날로그 전압 신호 출력으로 변환할 수 있습니다.

이 듀얼 디지털 인터페이스는 다음 기능을 지원합니다.

- DAC 변환기 2개: 각 출력 채널당 하나씩
- 8비트 또는 12비트 단조 출력
- 12비트 모드에서 왼쪽 또는 오른쪽 데이터 정렬
- 동기화된 업데이트 기능
- 잡음파 발생
- 삼각파 발생
- 듀얼 DAC 채널 독립적 또는 동시 변환
- 각 채널에 대한 DMA 기능
- 변환을 위한 외부 트리거
- 입력 전압 레퍼런스 VREF+

8개의 DAC 트리거 입력이 장치에 사용됩니다. DAC 채널은 다른 DMA 스트림에도 연결된 타이머 업데이트 출력을 통해 트리거됩니다.

### 2.2.38 직렬 와이어 JTAG 디버그 포트(SWJ-DP)

ARM SWJ-DP 인터페이스가 내장되어 있으며 JTAG와 직렬 와이어 디버그 포트가 결합되어 있어 직렬 와이어 디버그 또는 JTAG 프로브를 대상에 연결할 수 있습니다.

디버그는 JTAG에 필요한 5개 핀 대신 2개 핀만 사용하여 수행됩니다(JTAG 핀은 대체 기능을 사용하여 GPIO로 재 사용할 수 있음). JTAG TMS 및 TCK 핀은 각각 SWDIO 및 SWCLK와 공유되며, TMS 핀은 JTAG-DP와 SW-DP 간을 전환하는 데 사용됩니다.

### 2.2.39 임베디드 트레이스 매크로셀™

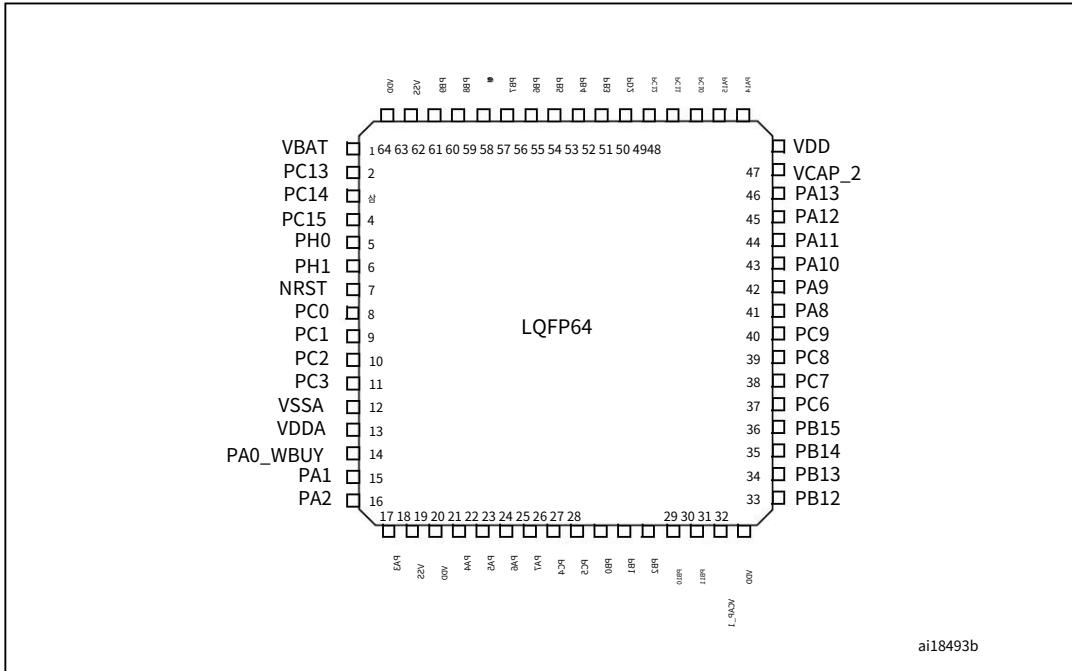
ARM Embedded Trace Macrocell은 압축된 데이터를 STM32F40x에서 적은 수의 ETM 핀을 통해 외부 하드웨어 추적 포트 분석기(TPA) 장치로 매우 빠른 속도로 스트리밍함으로써 CPU 코어 내부의 명령 및 데이터 흐름에 대한 더 큰 가시성을 제공합니다. TPA는 USB, 이더넷 또는 기타 고속 채널을 사용하여 호스트 컴퓨터에 연결됩니다. 실시간 명령 및 데이터 흐름 활동을 기록한 다음 디버거 소프트웨어를 실행하는 호스트 컴퓨터에 표시 할 수 있도록 형식을 지정할 수 있습니다. TPA 하드웨어는 일반 개발 도구 공급업체에서 상업적으로 구입할 수 있습니다.

Embedded Trace Macrocell은 타사 디버거 소프트웨어 도구와 함께 작동합니다.

삼

## 핀아웃 및 핀 설명

그림 12. STM32F40x LQFP64 핀아웃



ai18493b

그림 13. STM32F40x LQFP100 핀아웃

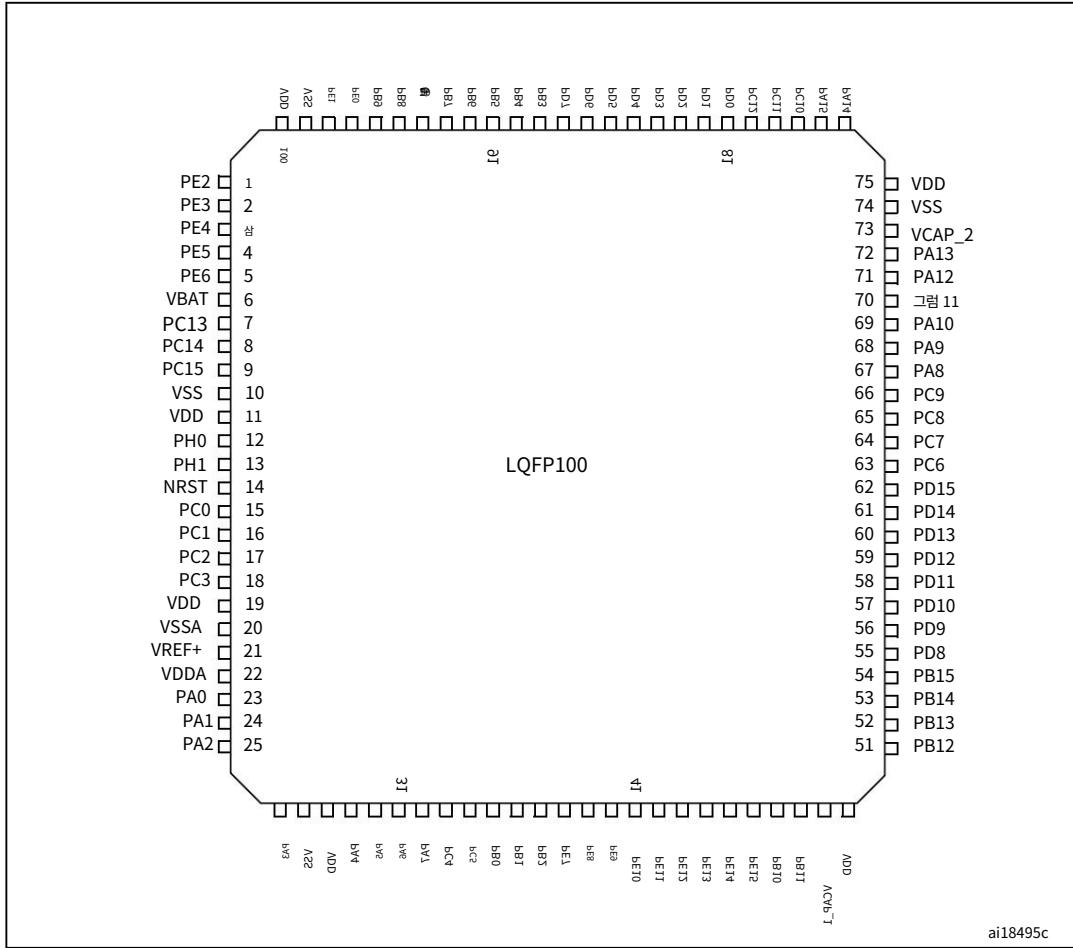
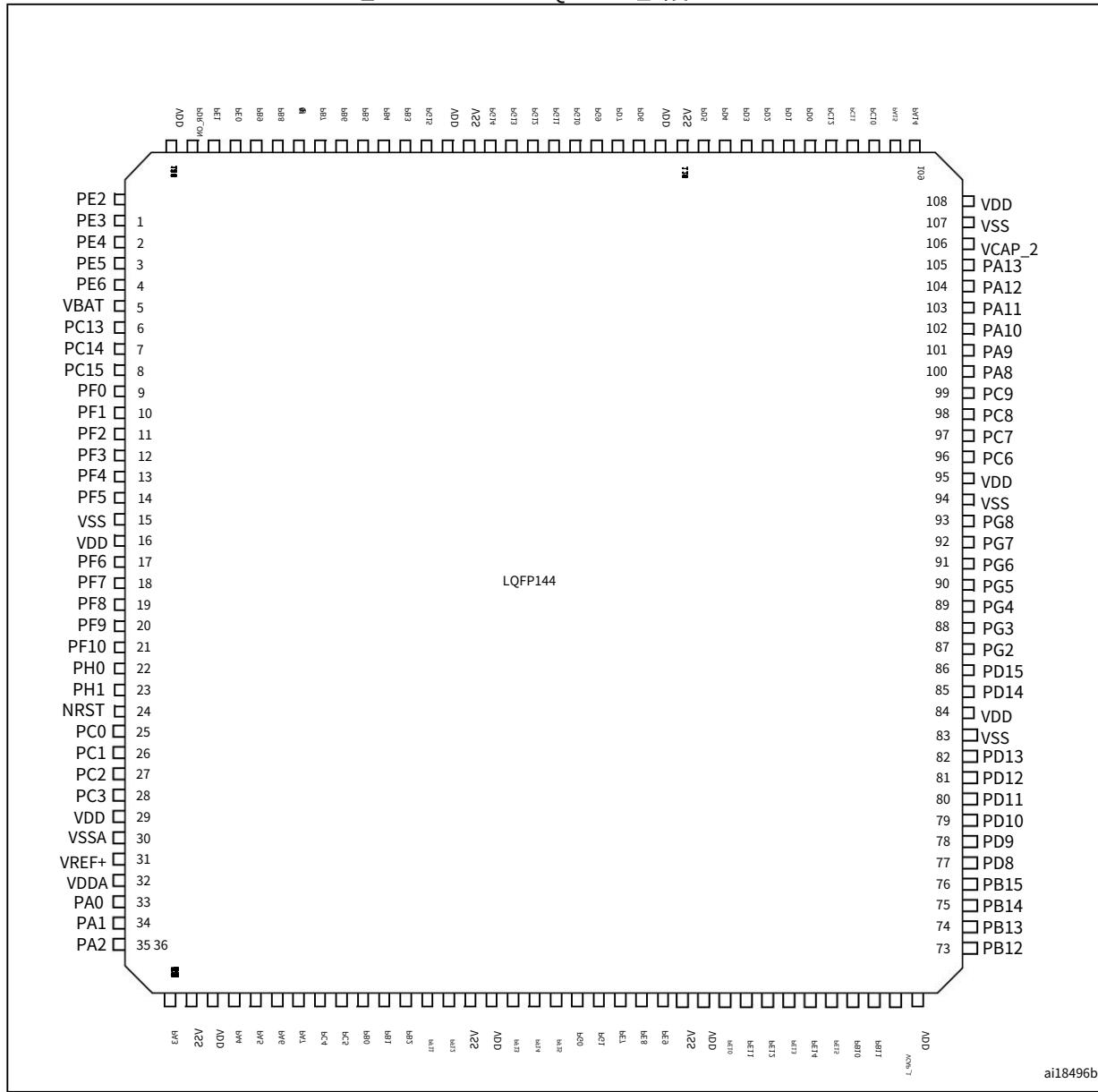


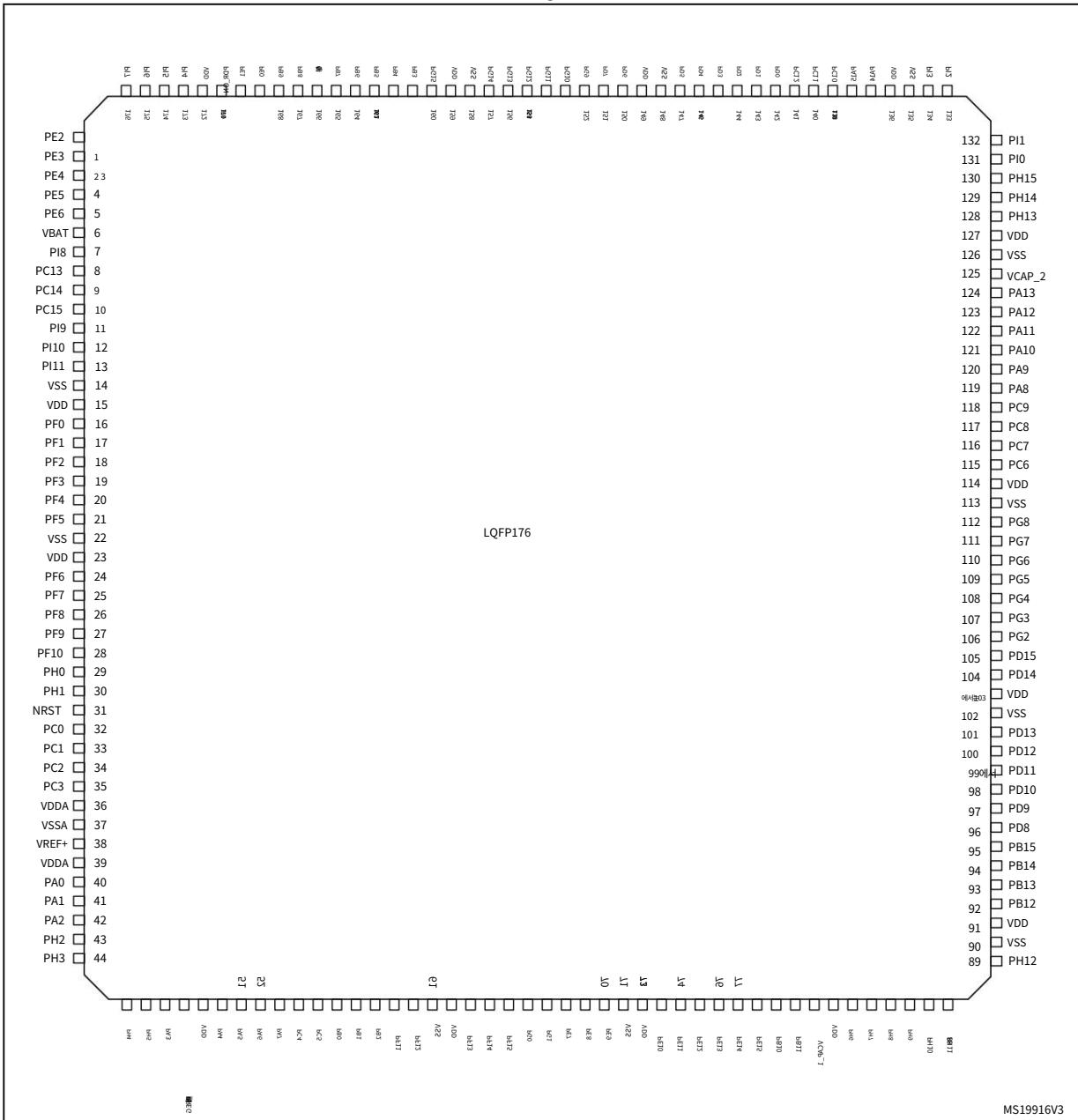
그림 14. STM32F40x LQFP144 핀아웃



## 핀아웃 및 핀 설명

STM32F405xx, STM32F407xx

그림 15. STM32F40x LQFP176 핀아웃



STM32F405xx, STM32F407xx

핀아웃 및 핀 설명

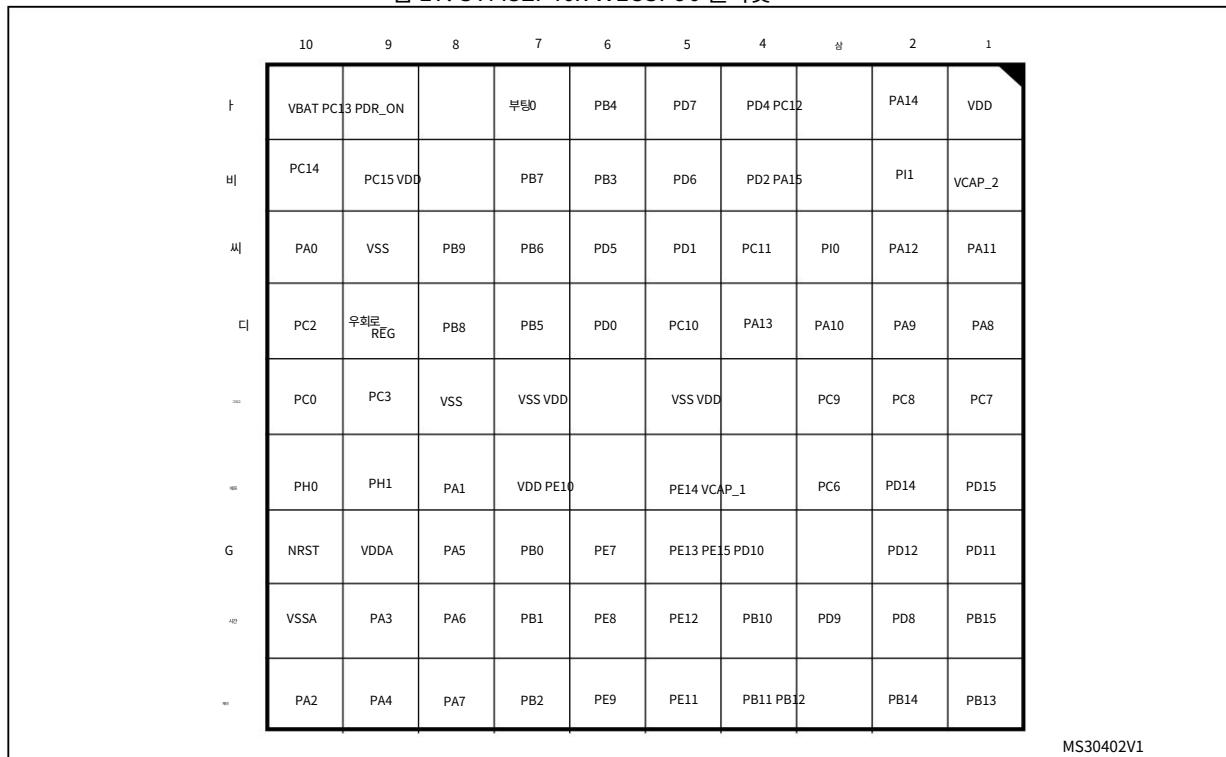
그림 16. STM32F40x UFBGA176 볼아웃

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
비	PE3	PE2	PE1	PE0	PB8	PB5	PG14 PG13		PB4	PB3	PD7	PC12	PA15	PA14	PA13	
	PE4	PE5	PE6	PB9	PB7	PB6	PG15 PG12 PG11			PG10	PD6	PD0	PC11	PC10	PA12	
100V SAT		PI7	PI6	PI5	VDD PDR	ON VDD		VDD	VDD	PG9	PD5	PD1	PI3	PI2	PA11	
DPC3		PI8	PI9	PI4	VSS	부팅 VSS		VSS	VSS	PD4	PD3	PD2	PH15	PI1	PA10	
...	PC14	PF0	PI10	PI11									PH13	PH14	PI0	PA9
...	PC15	VSS	VDD	PH2		VSS	VSS	VSS	VSS	VSS			VSS VCAP_2 PC9		PA8	
G PH0		VSS	VDD	PH3		VSS	VSS	VSS	VSS	VSS			VSS	VDD	PC8	PC7
...	PH1	PF2	PF1	PH4		VSS	VSS	VSS	VSS	VSS			VSS	VDD	PG8	PC6
...	NRST	PF3	PF4	PH5		VSS	VSS	VSS	VSS	VSS			VDD	VDD	PG7	PG6
...	PF7	PF6	PF5	VDD		VSS	VSS	VSS	VSS	VSS			PH12	PG5	PG4	PG3
...	PF10	PF9	PF8 바이너스	REG									PH11	PH10	PD15	PG2
M VSSA		PC0	PC1	PC2	PC3	PB2	PG1	VSS	VSS VCAP_1 PH6				PH8	PH9	PD14	PD13
N	VREF-	PA1	PA0	PA4	PC4	PF13	PG0	VDD VDD		VDD PE13			PH7	PD12	PD11	PD10
PVREF+		PA2	PA6	PA5	PC5	PF12	PF15	PE8	PE9	PE11	PE14	PB12	PB13	PD9	PD8	
R VDDA		PA3	PA7	PB1	PB0	PF11	PF14	PE7	PE10	PE12	PE15	PB10	PB11	PB14	PB15	

ai18497b

1. 이 그림은 패키지 상단 모습을 보여줍니다.

그림 17. STM32F40x WLCSP90 블아웃



1. 이 그림은 패키지 범프 뷰를 보여줍니다.

표 6. 핀아웃 테이블에 사용된 범례/약어

이름	약어	정의
핀 이름	핀 이름 아래 괄호 안에 별도로 지정하지 않는 한 재설정 중 및 재설정 후 핀 기능은 실제 핀 이름과 동일합니다.	
핀 종류	에스	공급핀
	-	입력 전용 핀
	입출력	입력/출력 핀
I/O 구조	FT	5V 허용 I/O
	TTa	ADC에 직접 연결된 3.3V 허용 I/O
	비	전용 BOOT0 핀
	RST	약한 풀업 저항이 내장된 양방향 리셋 핀
노트	참고로 달리 지정하지 않는 한 모든 I/O는 재설정 중 및 재설정 후에 부동 입력으로 설정됩니다.	
번갈아 하는 기능	GPIOx_AFR 레지스터를 통해 선택된 기능	
추가 기능	주변기기 레지스터를 통해 직접 선택/활성화되는 기능	

표 7. STM32F40x 핀 및 볼 정의

핀 번호						핀 이름 (리셋 후 기능)(1)	#	#	#	대체 기능	추가 기능
1	2	3	4	5	6						
-	-	1	1 A2 1			PE2	입출력 FT			TRACECLK/FSMC_A23/ ETH_MII_TXD3 / 이벤트아웃	
-	-	2 2	A1 2			PE3	입출력 FT			TRACED0/FSMC_A19 / 이벤트아웃	
-	-	3 3	B1 3			PE4	입출력 FT			추적1/FSMC_A20 / DCMI_D4/이벤트아웃	
-	-	4 4	B2 4			PE5	입출력 FT			추적2/FSMC_A21/ TIM9_CH1 / DCMI_D6 / 이벤트아웃	
-	-	5 5	B3 5			PE6	입출력 FT			TRACED3 / FSMC_A22 / TIM9_CH2/DCMI_D7/ 이벤트아웃	
1 A10 6 6	C1 6					VBAT	예스				
-	-	-	- D2 7			PI8	입출력 FT	(2)( 상)		이벤트아웃	RTC_TAMP1, RTC_TAMP2, RTC_TS
2 A9 7 7	D1 8					PC13	입출력 FT	(2) (상)		이벤트아웃	RTC_OUT, RTC_TAMP1, RTC_TS
3 B10 8 8	E1 9					PC14/OSC32_IN (PC14)	입출력 FT	(2)( 상)		이벤트아웃	OSC32_IN(4)
4B9 9 9			F1 10			PC15/ OSC32_OUT (PC15)	입출력 FT	(2)( 상)		이벤트아웃	OSC32_OUT(4)
-	-	-	- D3 11			PI9	입출력 FT			CAN1_RX/이벤트아웃	
-	-	-	- E3 12			PI10	입출력 FT			ETH_MII_RX_ER / 이벤트아웃	
-	-	-	- E4 13			PI11	입출력 FT			OTG_HS_ULPI_DIR / 이벤트아웃	
-	-	-	- F2 14			VSS	예스				
-	-	-	- F3 15			VDD	예스				
-	-	-	- 10 E2 16			PF0	입출력 FT			FSMC_A0 / I2C2_SDA / 이벤트아웃	

표 7. STM32F40x 핀 및 볼 정의 (계속)

핀 번호					핀 이름 (리셋 후 기능)(1)			대체 기능	추가 기능
Pin	Pin	Pin	Pin	Pin					
-	-	-	11 H3 17		PF1	입출력 FT		FSMC_A1/I2C2_SCL / 이벤트아웃	
-	-	-	12 H2 18		PF2	입출력 FT		FSMC_A2/I2C2_SMBA/ 이벤트아웃	
-	-	-	13 J2 19		PF3	I/O FT (4) FSMC_A3/EVENTOUT			ADC3_IN9
-	-	-	14 J3 20		PF4	I/O FT (4) FSMC_A4/EVENTOUT			ADC3_IN14
-	-	-	15 K3 21		PF5	I/O FT (4) FSMC_A5/EVENTOUT			ADC3_IN15
- C9	10 16	G2 22			VSS	예스			
- B8	11 17	G3 23			VDD	예스			
-	-	-	18 K2 24		PF6	I/O FT (4)		TIM10_CH1 / FSMC_NIORD/ 이벤트아웃	ADC3_IN4
-	-	-	19 K1 25		PF7	I/O FT (4) TIM11_CH1/FSMC_NREG /이벤트아웃			ADC3_IN5
-	-	-	20 L3 26		PF8	I/O FT (4)		TIM13_CH1 / FSMC_NIOWR/ 이벤트아웃	ADC3_IN6
-	-	-	21 L2 27		PF9	I/O FT (4) TIM14_CH1 /FSMC_CD/ 이벤트아웃			ADC3_IN7
-	-	-	22 L1 28		PF10	I/O FT (4) FSMC_INTR/ EVENTOUT			ADC3_IN8
5 F10	12 23	G1 29			PH0/OSC_IN (PH0)	입출력 FT		이벤트아웃	OSC_IN(4)
6 F9	13 24	H1 30			PH1/OSC_OUT (PH1)	입출력 FT		이벤트아웃	OSC_OUT(4)
7 G10	14 25	J1 31			NRST	입출력	RS El		
8 E10	15 26	M2 32			PC0	I/O FT (4) OTG_HS_ULPI_STP/ 이벤트아웃			ADC123_IN10
9 -	16 27	M3 33			PC1	I/O FT (4) ETH_MDC/이벤트아웃			ADC123_IN11
10 D10	17 28	M4 34			PC2	I/O FT (4)		SPI2_MISO / OTG_HS_ULPI_DIR / ETH_MII_TXD2 /I2S2ext_SD/이벤트아웃	ADC123_IN12

표 7. STM32F40x 핀 및 볼 정의 (계속)

핀 번호					핀 이름 (리셋 후 기능)(1)	I/O FT	I/O FT	I/O FT	대체 기능	추가 기능
Pin	Pin	Pin	Pin	Pin						
11 E9	18	29	M5	35	PC3	I/O FT (4)			SPI2_MOSI/I2S2_SD/ OTG_HS_ULPI_NXT / ETH_MII_TX_CLK/ 이벤트아웃	ADC123_IN13
-	- 19	30	G3	36	VDD	예스				
12 H10	20	31	M1	37	VSSA	예스				
-	-	-	- N1	-	VREF-	예스				
-	- 21	32	P1	38	VREF+	예스				
13 G9	22	33	R1	39	VDDA	예스				
14 C10	23	34	N3	40	PA0/W구매 (PA0)	I/O FT (5)			USART2_CTS/ UART4_TX/ ETH_MII_CRS / TIM2_CH1_ETR/ TIM5_CH1/TIM8_ETR/ 이벤트아웃	ADC123_IN0/WKUP(4)
15 F8	24	35	N2	41	PA1	I/O FT (4)			USART2_RTS / UART4_RX/ ETH_RMII_REF_CLK / ETH_MII_RX_CLK / TIM5_CH2 / TIM2_CH2/ 이벤트아웃	ADC123_IN1
16 J10	25	36	P2		PA2	I/O FT (4)			USART2_TX/TIM5_CH3 / TIM9_CH1 / TIM2_CH3 / ETH_MDIO/이벤트아웃	ADC123_IN2
-	-	-	- F4	43	PH2	입출력 FT			ETH_MII_CRS/EVENTOU E	
-	-	-	- G4	44	PH3	입출력 FT			ETH_MII_COL/EVENTOU E	
-	-	-	- H4	45	PH4	입출력 FT			I2C2_SCL / OTG_HS_ULPI_NXT / 이벤트아웃	
-	-	-	- J4	46	PH5	입출력 FT			I2C2_SDA/이벤트아웃	

## 핀아웃 및 핀 설명

STM32F405xx, STM32F407xx

표 7. STM32F40x 핀 및 볼 정의 (계속)

핀 번호					핀 이름 (리셋 후 기능)(1)				대체 기능	추가 기능
M9	A12N	S13	T14	R15						
17 H9 26 37	R2 47				PA3	I/O FT (4)			USART2_RX/TIM5_CH4 / TIM9_CH2 / TIM2_CH4 / OTG_HS_ULPI_D0 / ETH_MII_COL/ 이벤트아웃	ADC123_IN3
18 E5 27 38	-		-		VSS	에스				
D9		L4 48	바이패스	_REG I FT						
19 E4 28 39	K4 49				VDD	에스				
20 J9 29 40	N4 50				PA4	I/O TTa (4)			SPI1_NSS / SPI3_NSS / USART2_CK / DCMI_HSYNC / OTG_HS_SOF/I2S3_WS / 이벤트아웃	ADC12_IN4 /DAC_OUT1
21 G8 30 41	P4 51				PA5	I/O TTa (4)			SPI1_SCK / OTG_HS_ULPI_CK / TIM2_CH1_ETR / TIM8_CH1N /이벤트아웃	ADC12_IN5/DAC_OUT2
22 H8 31 42	P3 52				PA6	I/O FT (4)			SPI1_MISO / TIM8_BKIN/TIM13_CH1 / DCMI_PIXCLK / TIM3_CH1 / TIM1_BKIN / 이벤트아웃	ADC12_IN6
23 J8 32 43	R3 53				PA7	I/O FT (4)			SPI1_MOSI/TIM8_CH1N /TIM14_CH1/TIM3_CH2 / ETH_MII_RX_DV / TIM1_CH1N / ETH_RMII_CRS_DV / 이벤트아웃	ADC12_IN7
24 - 33 44 N5 54					PC4	I/O FT (4)			ETH_RMII_RX_D0 / ETH_MII_RX_D0 / 이벤트아웃	ADC12_IN14
25 - 34 45 P5 55					PC5	I/O FT (4)			ETH_RMII_RX_D1 / ETH_MII_RX_D1 / 이벤트아웃	ADC12_IN15
26 G7 35 46	R5 56				PB0	I/O FT (4)			TIM3_CH3 / TIM8_CH2N / OTG_HS_ULPI_D1 / ETH_MII_RXD2 / TIM1_CH2N /이벤트아웃	ADC12_IN8

표 7. STM32F40x 핀 및 볼 정의 (계속)

핀 번호					핀 이름 (리셋 후 기능)(1)	■	■	■	대체 기능	추가 기능
Pin No.	AIN2/N	AIN3/N	AIN4/N	AIN5/N						
27 H 7 36 47	R4 57				PB1	I/O FT (4)			TIM3_CH4 / TIM8_CH3N/ OTG_HS_ULPI_D2/ ETH_MII_RXD3 / TIM1_CH3N/이벤트아웃	ADC12_IN9
28 J 7 37 48	M6 58				PB2/부트1 (PB2)	입출력 FT			이벤트아웃	
- -	- 49 R6 59				PF11	입출력 FT			DCMI_D12/이벤트아웃	
- -	- 50 P6 60				PF12	입출력 FT			FSMC_A6/이벤트아웃	
- -	- 51 M8 61				VSS	예스				
- -	- 52 N8 62				VDD	예스				
- -	- 53 N6 63				PF13	입출력 FT			FSMC_A7/이벤트아웃	
- -	- 54 R7 64				PF14	입출력 FT			FSMC_A8/이벤트아웃	
- -	- 55 P7 65				PF15	입출력 FT			FSMC_A9/이벤트아웃	
- -	- 56 N7 66				PG0	입출력 FT			FSMC_A10/이벤트아웃	
- -	- 57 M7 67				PG1	입출력 FT			FSMC_A11/이벤트아웃	
- G6 38 58	R8 68				PE7	입출력 FT			FSMC_D4/TIM1_ETR/ 이벤트아웃	
- H6 39 59	P8 69				PE8	입출력 FT			FSMC_D5/TIM1_CH1N/ 이벤트아웃	
- J6 40 60	P9 70				PE9	입출력 FT			FSMC_D6/TIM1_CH1/ 이벤트아웃	
- -	- 61 M9 71				VSS	예스				
- -	- 62 N9 72				VDD	예스				
- F6 41 63	R9 73				PE10	입출력 FT			FSMC_D7/TIM1_CH2N/ 이벤트아웃	
- J5 42 64	P10 74				PE11	입출력 FT			FSMC_D8/TIM1_CH2/ 이벤트아웃	
- H5 43 65	R10 75				PE12	입출력 FT			FSMC_D9/TIM1_CH3N/ 이벤트아웃	
- G5 44 66	N11 76				PE13	입출력 FT			FSMC_D10/TIM1_CH3/ 이벤트아웃	

표 7. STM32F40x 핀 및 볼 정의 (계속)

핀 번호					핀 이름 (리셋 후 기능)(1)	■ ■ ■ ■ ■	대체 기능	추가 기능
Pin No.	ANalog	MDCN0	OSC1IN	OSC1OUT				
- F5 45 67	P11 77				PE14	입출력 FT		FSMC_D11/TIM1_CH4/ 이벤트아웃
- G4 46 68	R11 78				PE15	입출력 FT		FSMC_D12/TIM1_BKIN/ 이벤트아웃
29 H4 47 69	R12 79				PB10	입출력 FT		SPI2_SCK / I2S2_CK / I2C2_SCL/USART3_TX/ OTG_HS_ULPI_D3 / ETH_MII_RX_ER / TIM2_CH3/이벤트아웃
30 J4 48 70	R13 80				PB11	입출력 FT		I2C2_SDA/USART3_RX/ OTG_HS_ULPI_D4 / ETH_RMII_TX_EN / ETH_MII_TX_EN / TIM2_CH4/이벤트아웃
31 F4 49 71	M10 81				VCAP_1	예스		
32 - 50 72	N10 82				VDD	예스		
- - -	- M11 83				PH6	입출력 FT		I2C2_SMBA / TIM12_CH1 /ETH_MII_RXD2/ 이벤트아웃
- - -	- N12 84				PH7	입출력 FT		I2C3_SCL / ETH_MII_RXD3/ 이벤트아웃
- - -	- M12 85				PH8	입출력 FT		I2C3_SDA/ DCMI_HSYNC/ 이벤트아웃
- - -	- M13 86				PH9	입출력 FT		I2C3_SMBA/ TIM12_CH2 / DCMI_D0/ 이벤트아웃
- - -	- L13 87				PH10	입출력 FT		TIM5_CH1 / DCMI_D1/ 이벤트아웃
- - -	- L12 88				PH11	입출력 FT		TIM5_CH2/DCMI_D2/ 이벤트아웃
- - -	- K12 89				PH12	입출력 FT		TIM5_CH3/DCMI_D3/ 이벤트아웃
- - -	- H12 90				VSS	예스		
- - -	- J12 91				VDD	예스		

표 7. STM32F40x 핀 및 볼 정의 (계속)

핀 번호					핀 이름 (리셋 후 기능)(1)	기능	대체 기능	추가 기능
Pin	ANalog	MDCDN	OSCIN	OSCOUT				
33 J8 51 73 P12 92					PB12	입출력 FT	SPI2_NSS / I2S2_WS / I2C2_SMBA/ USART3_CK/TIM1_BKIN / CAN2_RX / OTG_HS_ULPI_D5 / ETH_RMII_TXD0 / ETH_MII_TXD0 / OTG_HS_ID/이벤트아웃	
34 J1 52 74 P13 93					PB13	입출력 FT	SPI2_SCK / I2S2_CK / USART3_CTS / TIM1_CH1N / CAN2_TX / OTG_HS_ULPI_D6 / ETH_RMII_TXD1 / ETH_MII_TXD1 / 이벤트아웃	OTG_HS_VBUS
35 J2 53 75 R14 94					PB14	입출력 FT	SPI2_MISO/TIM1_CH2N /TIM12_CH1 / OTG_HS_DM / USART3_RTS / TIM8_CH2N/I2S2ext_SD / 이벤트아웃	
36 H1 54 76 R15 95					PB15	입출력 FT	SPI2_MOSI/I2S2_SD / TIM1_CH3N / TIM8_CH3N /TIM12_CH2 / OTG_HS_DP / 이벤트아웃	RTC_REFIN
- H2 55 77 P15 96					PD8	입출력 FT	FSMC_D13 / USART3_TX/이벤트아웃	
- H3 56 78 P14 97					PD9	입출력 FT	FSMC_D14 / USART3_RX/이벤트아웃	
- G3 57 79 N15 98					PD10	입출력 FT	FSMC_D15 / USART3_CK/이벤트아웃	
- G1 58 80 N14 99					PD11	입출력 FT	FSMC_CLE / FSMC_A16/USART3_CTS/이벤트아웃	
- G2 59 81 N13 100					PD12	입출력 FT	FSMC_ALE / FSMC_A17/TIM4_CH1 / USART3_RTS / 이벤트아웃	

표 7. STM32F40x 핀 및 볼 정의 (계속)

핀 번호					핀 이름 (리셋 후 기능)(1)	■	■	■	대체 기능	추가 기능
Pin	Pin	Pin	Pin	Pin						
-	- 60	82 M15 101			PD13	입출력 FT			FSMC_A18/TIM4_CH2/ 이벤트아웃	
-	-	- 83 - 102			VSS	예스				
-	-	- 84 J13 103			VDD	예스				
- F2	61	85 M14 104			PD14	입출력 FT			FSMC_D0/TIM4_CH3/ 이벤트아웃/이벤트아웃	
- F1	62	86 L14 105			PD15	입출력 FT			FSMC_D1/TIM4_CH4/ 이벤트아웃	
-	-	- 87 L15 106			PG2	입출력 FT			FSMC_A12/이벤트아웃	
-	-	- 88 K15 107			PG3	입출력 FT			FSMC_A13/이벤트아웃	
-	-	- 89 K14 108			PG4	입출력 FT			FSMC_A14/이벤트아웃	
-	-	- 90 K13 109			PG5	입출력 FT			FSMC_A15/이벤트아웃	
-	-	- 91 J15 110			PG6	입출력 FT			FSMC_INT2/이벤트아웃	
-	-	- 92 J14 111			PG7	입출력 FT			FSMC_INT3 /USART6_CK/ 이벤트아웃	
-	-	- 93 H14 112			PG8	입출력 FT			USART6_RTS / ETH_PPS_OUT / 이벤트아웃	
-	-	- 94 G12 113			VSS	예스				
-	-	- 95 H13 114			VDD	예스				
37	F3	63 96 H15 115			PC6	입출력 FT			I2S2_MCK / TIM8_CH1/SDIO_D6 / USART6_TX / DCMI_D0/TIM3_CH1 / 이벤트아웃	
38	E1	64 97 G15 116			PC7	입출력 FT			I2S3_MCK / TIM8_CH2/SDIO_D7 / USART6_RX / DCMI_D1/TIM3_CH2 / 이벤트아웃	
39	E2	65 98 G14 117			PC8	입출력 FT			TIM8_CH3/SDIO_D0 /TIM3_CH3/USART6_CK /DCMI_D2/EVENTOUT	

표 7. STM32F40x 핀 및 볼 정의 (계속)

핀 번호					핀 이름 (리셋 후 기능)(1)				대체 기능	추가 기능
Pin	Pin	Pin	Pin	Pin						
40 E3 66 99	F14 118				PC9	입출력 FT			I2S_CKIN/MCO2/ TIM8_CH4/SDIO_D1 / /I2C3_SDA / DCMI_D3 / TIM3_CH4/이벤트아웃	
41 D1 67 100	F15 119				PA8	입출력 FT			MCO1 / USART1_CK / TIM1_CH1/I2C3_SCL / OTG_FS_SOF / 이벤트아웃	
42 D2 68 101	E15 120				PA9	입출력 FT			USART1_TX / TIM1_CH2 / I2C3_SMBA / DCMI_D0 / 이벤트아웃	OTG_FS_VBUS
43 D3 69 102	D15 121				PA10	입출력 FT			USART1_RX/TIM1_CH3 / OTG_FS_ID/DCMI_D1 / 이벤트아웃	
44 C1 70 103	C15 122				PA11	입출력 FT			USART1_CTS / CAN1_RX / TIM1_CH4 / OTG_FS_DM / 이벤트아웃	
45 C2 71 104	B15 123				PA12	입출력 FT			USART1_RTS / CAN1_TX/TIM1_ETR / OTG_FS_DP / 이벤트아웃	
46 D4 72 105	A15 124				PA13 (JTMS-SWDIO)	입출력 FT			JTMS-SWDIO / 이벤트아웃	
47 B1 73 106	F13 125				VCAP_2	예스				
- E7 74 107	F12 126				VSS	예스				
48 E6 75 108	G13 127				VDD	예스				
- - -	- E12 128				PH13	입출력 FT			TIM8_CH1N / CAN1_TX / 이벤트아웃	
- - -	- E13 129				PH14	입출력 FT			TIM8_CH2N / DCMI_D4 / 이벤트아웃	
- - -	- D13 130				PH15	입출력 FT			TIM8_CH3N / DCMI_D11 / 이벤트아웃	
- C3 -	- E14 131				PIO	입출력 FT			TIM5_CH4 / SPI2_NSS / I2S2_WS / DCMI_D13 / 이벤트아웃	

표 7. STM32F40x 핀 및 볼 정의 (계속)

핀 번호					핀 이름 (리셋 후 기능)(1)	■	■	■	대체 기능	추가 기능
핀 번호	A12	A13	A14	A15						
-B2-		- D14	132		PI1	입출력 FT			SPI2_SCK / I2S2_CK / DCMI_D8/이벤트아웃	
-	-	-	- C14	133	PI2	입출력 FT			TIM8_CH4 /SPI2_MISO / DCMI_D9/I2S2ext_SD/ 이벤트아웃	
-	-	-	- C13	134	PI3	입출력 FT			TIM8_ETR / SPI2莫斯 / I2S2_SD / DCMI_D10/ 이벤트아웃	
-	-	-	- D9	135	VSS	예스				
-	-	-	- C9	136	VDD	예스				
49 A2	76	109	A14	137	PA14 (JTCK/SWCLK)	입출력 FT			JTCK-SWCLK/ 이벤트아웃	
50 B3	77	110	A13	138	PA15 (JTDI)	입출력 FT			JTDI/SPI3_NSS/ I2S3_WS/TIM2_CH1_ET R / SPI1_NSS / 이벤트아웃	
51 D5	78	111	B14	139	PC10	입출력 FT			SPI3_SCK / I2S3_CK/ UART4_TX/SDIO_D2 / DCMI_D8 / USART3_RX/ 이벤트아웃	
52 C4	79	112	B13	140	PC11	입출력 FT			UART4_RX/SPI3_MISO/ SDIO_D3/ DCMI_D4/USART3_RX / I2S3ext_SD/이벤트아웃	
53 A3	80	113	A12	141	PC12	입출력 FT			UART5_TX/SDIO_CK / DCMI_D9/SPI3_MOSI /I2S3_SD / USART3_CK/ 이벤트아웃	
- D6	81	114	B12	142	PD0	입출력 FT			FSMC_D2/CAN1_RX/ 이벤트아웃	
- C5	82	115	C12	143	PD1	입출력 FT			FSMC_D3 / CAN1_TX/ 이벤트아웃	
54 B4	83	116	D12	144	PD2	입출력 FT			TIM3_ETR/UART5_RX/ SDIO_CMD / DCMI_D11/ 이벤트아웃	

표 7. STM32F40x 핀 및 볼 정의 (계속)

핀 번호					핀 이름 (리셋 후 기능)(1)	■	■	■	대체 기능	추가 기능
Pin No.	Pin Name	Pin Name	Pin Name	Pin Name						
-	- 84	117	D11	145	PD3	입출력 FT			FSMC_CLK/ USART2_CTS/ 이벤트아웃	
-	- A4	85	118	D10	146	PD4	입출력 FT		FSMC_NOE/ USART2_RTS/ 이벤트아웃	
-	- C6	86	119	C11	147	PD5	입출력 FT		FSMC_OWNER/USART2_TX /이벤트아웃	
-	-	- 120	D8	148	VSS	예스				
-	-	- 121	C8	149	VDD	예스				
-	- B5	87	122	B11	150	PD6	입출력 FT		FSMC_NWAIT/ USART2_RX/이벤트아웃	
-	- A5	88	123	A11	151	PD7	입출력 FT		USART2_CK/FSMC_NE1/ FSMC_NCE2/ 이벤트아웃	
-	-	- 124	C10	152	PG9	입출력 FT			USART6_RX / FSMC_NE2/FSMC_NCE3 /이벤트아웃	
-	-	- 125	B10	153	PG10	입출력 FT			FSMC_NCE4_1/ FSMC_NE3/이벤트아웃	
-	-	- 126	B9	154	PG11	입출력 FT			FSMC_NCE4_2 / ETH_MII_TX_EN/ ETH_RMII_TX_EN/ 이벤트아웃	
-	-	- 127	B8	155	PG12	입출력 FT			FSMC_NE4 / USART6_RTS/ 이벤트아웃	
-	-	- 128	A8	156	PG13	입출력 FT			FSMC_A24 / USART6_CTS /ETH_MII_TXD0/ ETH_RMII_TXD0/ 이벤트아웃	
-	-	- 129	A7	157	PG14	입출력 FT			FSMC_A25 / USART6_TX /ETH_MII_TXD1/ ETH_RMII_TXD1/ 이벤트아웃	

표 7. STM32F40x 핀 및 볼 정의 (계속)

핀 번호					핀 이름 (리셋 후 기능)(1)				대체 기능	추가 기능
- E8 - 130	D7	158			VSS	예스				
- F7 - 131	C7	159			VDD	예스				
-	-	- 132	B7	160	PG15	입출력 FT			USART6_CTS / DCMI_D13/이벤트아웃	
55	B6	89	133	A10	PB3 (JTDO/ 추적\WO)	입출력 FT			JTDO/ TRACESWO/ SPI3_SCK / I2S3_CK / TIM2_CH2 / SPI1_SCK/ 이벤트아웃	
56	A6	90	134	A9	PB4 (NJTRST)	입출력 FT			NJTRST / SPI3_MISO / TIM3_CH1 / SPI1_MISO / I2S3ext_SD/이벤트아웃	
57	D7	91	135	A6	PB5	입출력 FT			I2C1_SMBA / CAN2_RX / OTG_HS_ULPI_D7 / ETH_PPS_OUT/TIM3_CH 2/SPI1_MOSI / SPI3_MOSI/DCMI_D10 / I2S3_SD/이벤트아웃	
58	C7	92	136	B6	PB6	입출력 FT			I2C1_SCL/TIM4_CH1 / CAN2_TX / DCMI_D5/USART1_TX / 이벤트아웃	
59	B7	93	137	B5	PB7	입출력 FT			I2C1_SDA / FSMC_NL / DCMI_VSYNC / USART1_RX/TIM4_CH2 / 이벤트아웃	
60	A7	94	138	D6	부팅0	IB				VPP
61	D8	95	139	A5	PB8	입출력 FT			TIM4_CH3/SDIO_D4 / TIM10_CH1 / DCMI_D6 / ETH_MII_TXD3 / I2C1_SCL/CAN1_RX / 이벤트아웃	
62	C8	96	140	B4	PB9	입출력 FT			SPI2_NSS / I2S2_WS / TIM4_CH4 / TIM11_CH1 / SDIO_D5/DCMI_D7 / I2C1_SDA/CAN1_TX / 이벤트아웃	

표 7. STM32F40x 핀 및 볼 정의 (계속)

핀 번호					핀 이름 (리셋 후 기능)(1)	■ ■ ■ ■ ■	대체 기능	추가 기능
Pin	Pin	Pin	Pin	Pin				
-	- 97	141	A4	169	PE0	입출력 FT	TIM4_ETR / FSMC_NBL0 /DCMI_D2/EVENTOUT	
-	- 98	142	A3	170	PE1	입출력 FT	FSMC_NBL1/DCMI_D3/ 이벤트아웃	
63	- 99	- D5	-		VSS	예스		
- A8	- 143	C6	171		PDR_ON	T 경우		
64	A1	10	0	144	C5	172	VDD	예스
-	-	-	-	- D4	173	입출력 FT	TIM8_BKIN / DCMI_D5/ 이벤트아웃	
-	-	-	-	- C4	174	입출력 FT	TIM8_CH1 / DCMI_VSYNC/ 이벤트아웃	
-	-	-	-	- C3	175	입출력 FT	TIM8_CH2 / DCMI_D6/ 이벤트아웃	
-	-	-	-	- C2	176	입출력 FT	TIM8_CH3/DCMI_D7/ 이벤트아웃	

- 기능 가용성은 선택한 장치에 따라 다릅니다.
- PC13, PC14, PC15, PI8은 전원 스위치를 통해 전원이 공급됩니다. 스위치는 제한된 양의 전류만 싱크하기 때문에 (3mA), 출력 모드에서 GPIO PC13~PC15 및 PI8의 사용이 제한됩니다. - 속도는 최대 부하 30pF에서 2MHz를 초과해서는 안 됩니다.  
- 이러한 I/O는 전류 소스(예: LED 구동)로 사용되어서는 안 됩니다.
- 첫 번째 백업 도메인 전원을 켜 후의 주요 기능입니다. 나중에는 재설정 후에도 RTC 레지스터의 내용에 따라 달라집니다(이러한 레지스터는 메인 재설정으로 재설정 되지 않기 때문입니다). 이러한 I/O를 관리하는 방법에 대한 자세한 내용은 STMicroelectronics 웹 사이트에서 제공되는 STM32F4xx 참조 설명서의 RTC 레지스터 설명 섹션을 참조하세요.  
[www.st.com](http://www.st.com).
- FT = 아날로그 모드 또는 발진기 모드(PC14, PC15, PH0 및 PH1의 경우)를 제외하고 5V 허용.
- 장치가 UFBGA176 또는 WLCSP90으로 제공되고 BYPASS\_REG 핀이 VDD(레귤레이터 꺼짐/내부 리셋 ON 모드)로 설정된 경우 PA0은 내부 리셋(액티브 로우)으로 사용됩니다.

표 8. FSMC 핀 정의

핀(1)	FSMC				LQFP100(2)	WLCSP90 (2)
	CF	노르/PSRAM/ 스램	NOR/PSRAM 멀티플렉서 NAND 16비트			
PE2		A23	A23		예	
PE3		A19	A19		예	

표 8. FSMC 핀 정의 (계속)

핀(1)	FSMC				LQFP100(2)	WLCSP90 (2)
	CF	노르/PSRAM/ 스램	NOR/PSRAM 멀티플렉서	NAND 16비트		
PE4		A20	A20		예	
PE5		A21	A21		예	
PE6		A22	A22		예	
PF0	A0	A0			-	-
PF1	A1	A1			-	-
PF2	A2	A2			-	-
PF3	A3	A3			-	-
PF4	A4	A4			-	-
PF5	A5	A5			-	-
PF6 나오드					-	-
PF7 NREG					-	-
PF8 NIOWR					-	-
PF9	CD				-	-
PF10	안에				-	-
PF12	A6	A6			-	-
PF13	A7	A7			-	-
PF14	A8	A8			-	-
PF15	A9	A9			-	-
PG0	A10	A10			-	-
PG1		A11			-	-
PE7	D4	D4	sda4	D4	예	예
PE8	D5	D5	DA5	D5	예	예
PE9	D6	D6	DA6	D6	예	예
PE10	D7	D7	DA7	D7	예	예
PE11	D8	D8	DA8	D8	예	예
PE12	D9	D9	DA9	D9	예	예
PE13	D10	D10	DA10	D10	예	예
PE14	D11	D11	DA11	D11	예	예
PE15	D12	D12	DA12	D12	예	예
PD8	D13	D13	DA13	D13	예	예
PD9	D14	D14	DA14	D14	예	예
PD10	D15	D15	DA15	D15	예	예
PD11		A16	A16	CLE	예	예

표 8. FSMC 핀 정의 (계속)

핀(1)	FSMC				LQFP100(2)	WLCSP90 (2)
	CF	노르/PSRAM/ 스램	NOR/PSRAM 멀티플렉서 NAND 16비트			
PD12		A17	A17	하지만	예	예
PD13		A18	A18		예	
PD14	D0	D0	예 0	D0	예	예
PD15	D1	D1	DA1	D1	예	예
PG2		A12			-	-
PG3		A13			-	-
PG4		A14			-	-
PG5		A15			-	-
PG6				INT2	-	-
PG7				INT3	-	-
PD0	D2	D2	DA2	D2	예	예
PD1	D3	D3	DA3	D3	예	예
PD3		CLK	CLK		예	
PD4	무엇	무엇	무엇	무엇	예	예
PD5 소유		소유하다	소유하다	소유하다	예	예
PD6 잠깐만요		잠깐만요	잠깐만요	잠깐만요	예	예
PD7		NOT1	NOT1	NCE2	예	예
PG9		NE2	NE2	NCE3	-	-
PG10 NCE4_1		NE3	NE3		-	-
PG11 NCE4_2					-	-
PG12		NE4	NE4		-	-
PG13		A24	A24		-	-
PG14		A25	A25		-	-
PB7		NADV	NADV		예	예
PE0		NBL0	NBL0		예	
PE1		NBL1	NBL1		예	

1. 전체 FSMC 기능은 LQFP144, LQFP176 및 UFBGA176에서 사용할 수 있습니다. 다음에서 사용할 수 있는 기능  
더 작은 패키지는 전용 패키지 열에 제공됩니다.

2. 포트 F와 G는 100핀 패키지로 제공되는 장치에서는 사용할 수 없습니다.



표 9. 대체 기능 매핑 (계속)

포트	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	14회복면 AF15	
	시스템	TIM1/2	Tim3/4/5	Tim8/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2S3ext	USART1/2/3/I2S3ext	USART4/5/USART6	CAN1/CAN2/TIM12/13/14	OTG_HS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	DCMI		
포트 B	PB0		TIM1_CH2N	TIM3_CH3	TIM8_CH2N						OTG_HS_ULPI_D1	ETH_MII_RXD2			이벤트아웃	
	PB1		TIM1_CH3N	TIM3_CH4	TIM8_CH3N						OTG_HS_ULPI_D2	ETH_MII_RXD3			이벤트아웃	
	PB2														이벤트아웃	
	PB3	JTDO/ 흔적 어[디]	TIM2_CH2			SPI1_SCK	SPI3_SCK I2S3_CK								이벤트아웃	
	PB4 NJTRST		TIM3_CH1			SPI1_MISO	SPI3_MISO	I2S3ext_SD							이벤트아웃	
	PB5		TIM3_CH2		I2C1_SMB <sub>+</sub>	SPI1_MOSI	SPI3_MOSI I2S3_SD			CAN2_RX	OTG_HS_ULPI_D7	ETH_PPS_OUT		DCMI_D10	이벤트아웃	
	PB6		TIM4_CH1		I2C1_SCL			USART1_TX		CAN2_TX					DCMI_D5	이벤트아웃
	PB7		TIM4_CH2		I2C1_SDA			USART1_RX						FSMC_NL	벤트	
	PB8		TIM4_CH3	TIM10_CH1	I2C1_SCL					CAN1_RX		ETH_MII_TXD3	SDIO_D4	DCMI		
	PB9		TIM4_CH4	TIM11_CH1	I2C1_SDA	SPI2_NSS I2S2_WS				CAN1_TX				SDIO_D5		
	PB10		TIM2_CH3		I2C2_SCL	SPI2_SCK I2S2_CK		USART3_TX			OTG_HS_ULPI_D3	ETH_MII_RX_ER				
	PB11		TIM2_CH4		I2C2_SDA			USART3_RX			OTG_HS_ULPI_D4	ETH_MII_TX_EN ETH_RMII_TX_EN				
	PB12		TIM1_BLOCK		I2C2_SMB <sub>+</sub>	SPI2_NSS I2S2_WS		USART3_CK		CAN2_RX	OTG_HS_ULPI_D5	ETH_MII_RXD0 ETH_RMII_RXD0	OTG_HS_ID		이웃	
	PB13		TIM1_CH1N			SPI2_SCK I2S2_CK		USART3_CTS		CAN2_TX	OTG_HS_ULPI_D6	ETH_MII_RXD1 ETH_RMII_RXD1			이웃	
	PB14		TIM1_CH2N		TIM8_CH2N		SPI2_MISO	I2S2ext_SD	USART3_RTS		TIM12_CH1		OTG_HS_DM			
	PB15	RTC_ 개선하다	TIM1_CH3N		TIM8_CH3N		SPI2_MOSI I2S2_SD				TIM12_CH2		OTG_HS_DP		이벤트아웃	

61/185

표 9. 대체 가능 매팅 (계속)

표 9. 대체 기능 매핑 (계속)

포트	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	14회복연	AF15
	시스템	TIM1/2	GPIO/4/5	GPIO/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2S3ext	USART1/2/3/I2S3ext	USART4/5/USART6	CAN1/CAN2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC_SDIO/OTG_FS	DCMI		
포트 D	PD0									CAN1_RX				FSMC_D2		이벤트아웃
	PD1									CAN1_TX				FSMC_D3		이벤트아웃
	PD2		TIM3_ETR							UART5_RX				SDIO_CMD	DCMI_D11	이벤트아웃
	PD3									USART2_CTS				FSMC_CLK		이벤트아웃
	PD4									USART2_RTS				FSMC_NOE		이벤트아웃
	PD5									USART2_TX				FSMC_OWNER		이벤트아웃
	PD6									USART2_RX				FSMC_NWAIT		이벤트아웃
	PD7									USART2_CK				FSMC_NE1/FSMC_NCE2		이벤트아웃
	PD8									USART3_TX				FSMC_D13		이벤트아웃
	PD9									USART3_RX				FSMC_D14		
	PD10									USART3_CK				FSMC_D15		
	PD11									USART3_CTS				FSMC_A16		
	PD12		TIM4_CH1							USART3_RTS				FSMC_A17		
	PD13		TIM4_CH2											FSMC_A18		
	PD14		TIM4_CH3											FSMC_D0		
	PD15		TIM4_CH4											FSMC_D1		

표 9. 대체 기능 매핑 (계속)

포트		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12			
		시스템	TIM1/2	GPIO/B4/5	GPIO/B9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2S3ext	USART1/2/3/I2S3ext	USART4/5/USART6	CAN1/CAN2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	DCMI	14비트DAC	AF15
포트 E	PE0			TIM4_ETR										FSMC_NBL0			
	PE1													FSMC_NBL1			
	PE2	추적 轨迹												ETH_MII_TXD3	FSMC_A23		
	PE3 추적													FSMC_A19			
	PE4 추적													FSMC_A20	DCMI_P	DCMI_P	
	PE5 추적				TIM9_CH1									FSMC_A21			
	PE6 추적					TIM9_CH2								FSMC_A22			
	PE7		TIM1_ETR											FSMC_D4			이벤트아웃
	PE8		TIM1_CH1N											FSMC_D5			이벤트아웃
	PE9		TIM1_CH1											FSMC_D6			이벤트아웃
	PE10		TIM1_CH2N											FSMC_D7			
	PE11		TIM1_CH2											FSMC_D8			
	PE12		TIM1_CH3N											FSMC_D9			이벤트아웃
	PE13		TIM1_CH3											FSMC_D10			이벤트아웃
	PE14		TIM1_CH4											FSMC_D11			이벤트아웃
	PE15		TIM1_BLOCK											FSMC_D12			이벤트아웃



표 9. 대체 기능 매핑 (계속)

포트	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	14회복연	AF15
	시스템	TIM1/2	GPIO/4/5	GPIO/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2S3	USART1/2/3/I2S3ext	USART4/5/USART6	CAN1/CAN2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC_SDIO/OTG_FS	DCMI		
포트 F	PF0					I2C2_SDA								FSMC_A0		이벤트아웃
	PF1					I2C2_SCL								FSMC_A1		이벤트아웃
	PF2					I2C2_중소기입								FSMC_A2		이벤트아웃
	PF3													FSMC_A3		이벤트아웃
	PF4													FSMC_A4		이벤트아웃
	PF5													FSMC_A5		이벤트아웃
	PF6				TIM10_CH1									FSMC_NIORD		이벤트아웃
	PF7				TIM11_CH1									FSMC_NREG		이벤트아웃
	PF8								TIM13_CH1					FSMC_NIWR		이벤트아웃
	PF9									TIM14_CH1				FSMC_CD		
	PF10													FSMC_INTR		
	PF11															
	PF12													FSMC_A6		
	PF13													FSMC_A7		
	PF14													FSMC_A8		
	PF15													FSMC_A9		

표 9. 대체 기능 매핑 (계속)

포트		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15					
		시스템	TIM1/2	GPIO/4/5	GPIO/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2S3ext	USART1/2/3/I2S3ext	USART4/5/USART6	CAN1/CAN2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15		
포트 G	PG0														FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15		
	PG1															FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15	
	PG2																FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15
	PG3																FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15
	PG4																FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15
	PG5																FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15
	PG6																FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15
	PG7																FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15
	PG8																FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15
	PG9																FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15
	PG10																FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15
	PG11																FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15
	PG12																FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15
	PG13																FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15
	PG14																FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15
	PG15																FSMC_A10	FSMC_A11	FSMC_A12	FSMC_A13	FSMC_A14	FSMC_A15

표 9. 대체 기능 매핑 (계속)

포트	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	14회색인	AF15
	시스템	TIM1/2	Tim3/4/5	Tim8/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2S3ext	USART1/2/3/I2S3ext	USART4/5 USART6	CAN1/CAN2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	DCMI		
포트 H	PH0															이벤트아웃
	PH1															이벤트아웃
	PH2											ETH_MII_CRS				이벤트아웃
	PH3											ETH_MII_COL				이벤트아웃
	PH4				I2C2_SCL						OTG_HS_ULPI_NXT					이벤트아웃
	PH5				I2C2_SDA											이벤트아웃
	PH6				I2C2_SMB <sub>+</sub>				TIM12_CH1			ETH_MII_RXD2				이벤트아웃
	PH7				I2C3_SCL							ETH_MII_RXD3				이벤트아웃
	PH8				I2C3_SDA								DCMI_HSYN			이벤트아웃
	PH9				I2C3_SMB <sub>+</sub>				TIM12_CH2							
	PH10			TIM5_CH1												
	PH11			TIM5_CH2												
	PH12			TIM5_CH3												
	PH13				TIM8_CH1N					CAN1_TX						
	PH14				TIM8_CH2N											
	PH15				TIM8_CH3N											

67/185

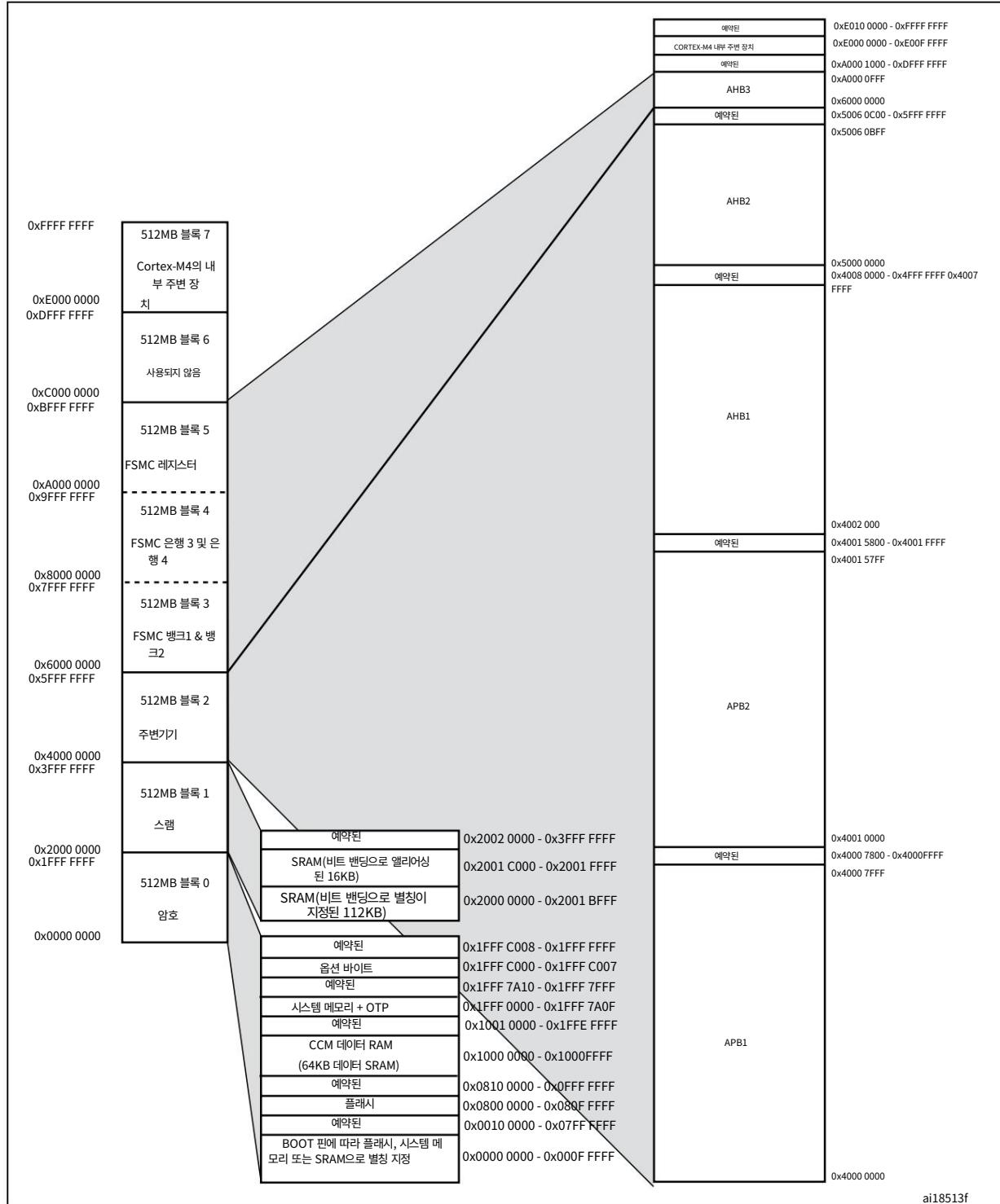
표 9. 대체 기능 매핑 (

포트		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		시스템	TIM1/2	GPIO/4/5	GPIO/9/10/11	I2C1/2/3	SPI1/SPI2/I2S2/I2S2ext	SPI3/I2S3	USART1/2/3/I2Sext	UART4/5/USART6	CAN1/CAN2/TIM12/13/14	OTG_FS/OTG_HS	ETH	FSMC/SDIO/OTG_FS	14비트DAC		
포트 I	P10				TIM5_CH4		SPI2_NSS/I2S2_WS							DCMI_D13		이벤트아웃	
	P11						SPI2_SCK/I2S2_CK										
	P12				TIM8_CH4		SPI2_MISO/I2S2_SD							DCMI_D9		이벤트아웃	
	P13				TIM8_ETR		SPI2_MOSI/I2S2_SD							DCMI_D10		이벤트아웃	
	P14				TIM8_BLOCK									DCMI_D5		이벤트아웃	
	P15				TIM8_CH1												
	P16				TIM8_CH2												
	P17				TIM8_CH3									DCMI_D7		이벤트아웃	
	P18																
	P19									CAN1_RX							
	P10												ETH_MII_RX_ER				
	P11											OTG_HS_ULPI_N					이벤트아웃

## 4 메모리 맵핑

메모리 맵은 [그림 18에 나와 있습니다.](#)

그림 18. STM32F40x 메모리 맵



ai18513f



표 10. STM32F40x 레지스터 경계 주소

버스	경계 주소	주변기기
	0xE00F FFFF - 0xFFFF FFFF 예약됨	
피질-M4	0xE000 0000 - 0xE00F FFFF Cortex-M4 내부 주변 장치	
	0xA000 1000 - 0xDFFF FFFF 예약됨	
AHB3	0xA000 0000 - 0xA000 0FFF FSMC 제어 레지스터	
	0x9000 0000 - 0x9FFF FFFF FSMC 뱅크 4	
	0x8000 0000 - 0x8FFF FFFF FSMC 뱅크 3	
	0x7000 0000 - 0x7FFF FFFF FSMC 뱅크 2	
	0x6000 0000 - 0x6FFF FFFF FSMC 뱅크 1	
	0x5006 0C00- 0x5FFF FFFF 예약됨	
AHB2	0x5006 0800 - 0x5006 0BFF RNG	
	0x5005 0400 - 0x5006 07FF	예약됨
	0x5005 0000 - 0x5005 03FF DCMI	
	0x5004 0000- 0x5004 FFFF	예약됨
	0x5000 0000 - 0x5003 FFFF USB OTG FS	
	0x4008 0000- 0x4FFF FFFF	예약됨

표 10. STM32F40x 레지스터 경계 주소 (계속)

버스	경계 주소	주변기기
AHB1	0x4004 0000 - 0x4007 FFFF USB OTG HS	
	0x4002 9400 - 0x4003 FFFF 예약됨	
	0x4002 9000 - 0x4002 93FF	
	0x4002 8C00 - 0x4002 8FFF	
	0x4002 8800 - 0x4002 8BFF	이더넷 맥
	0x4002 8400 - 0x4002 87FF	
	0x4002 8000 - 0x4002 83FF	
	0x4002 6800 - 0x4002 7FFF 예약됨	
	0x4002 6400 - 0x4002 67FF DMA2	
	0x4002 6000 - 0x4002 63FF DMA1	
	0x4002 5000 - 0x4002 5FFF 예약됨	
	0x4002 4000 - 0x4002 4FFF BKPSRAM	
	0x4002 3C00 - 0x4002 3FFF	플래시 인터페이스 레지스터
	0x4002 3800 - 0x4002 3BFF RCC	
	0x4002 3400 - 0x4002 37FF	예약됨
	0x4002 3000 - 0x4002 33FF CRC	
	0x4002 2400 - 0x4002 2FFF 예약됨	
	0x4002 2000 - 0x4002 23FF	GPIOI
	0x4002 1C00 - 0x4002 1FFF GPIOH	
	0x4002 1800 - 0x4002 1BFF GPIOG	
	0x4002 1400 - 0x4002 17FF	GPIOF
	0x4002 1000 - 0x4002 13FF GPIOE	
	0x4002 0C00 - 0x4002 0FFF GPIOD	
	0x4002 0800 - 0x4002 0BFF GPIOC	
	0x4002 0400 - 0x4002 07FF GPIOB	
	0x4002 0000 - 0x4002 03FF GPIOA	
	0x4001 5800- 0x4001 FFFF	예약됨

표 10. STM32F40x 레지스터 경계 주소 (계속)

버스	경계 주소	주변기기
APB2	0x4001 4C00 - 0x4001 57FF	예약된
	0x4001 4800 - 0x4001 4BFF TIM11	
	0x4001 4400 - 0x4001 47FF	HOUR10
	0x4001 4000 - 0x4001 43FF	TIM9
	0x4001 3C00 - 0x4001 3FFF	나가세요
	0x4001 3800 - 0x4001 3BFF SYSCFG	
	0x4001 3400 - 0x4001 37FF	예약된
	0x4001 3000 - 0x4001 33FF	SPI1
	0x4001 2C00 - 0x4001 2FFF SDIO	
	0x4001 2400 - 0x4001 2BFF 예약됨	
	0x4001 2000 - 0x4001 23FF ADC1 - ADC2 - ADC3	
	0x4001 1800 - 0x4001 1FFF	예약된
	0x4001 1400 - 0x4001 17FF USART6	
	0x4001 1000 - 0x4001 13FF USART1	
	0x4001 0800 - 0x4001 0FFF 예약됨	
	0x4001 0400 - 0x4001 07FF	GPIO8
	0x4001 0000 - 0x4001 03FF	TIM1
	0x4000 7800- 0x4000 FFFF	예약된

표 10. STM32F40x 레지스터 경계 주소 (계속)

버스	경계 주소	주변기기
APB1	0x4000 7800 - 0x4000 7FFF 예약됨	
	0x4000 7400 - 0x4000 77FF DAC	
	0x4000 7000 - 0x4000 73FF 전력	
	0x4000 6C00 - 0x4000 6FFF	예약됨
	0x4000 6800 - 0x4000 6BFF CAN2	
	0x4000 6400 - 0x4000 67FF CAN1	
	0x4000 6000 - 0x4000 63FF	예약됨
	0x4000 5C00 - 0x4000 5FFF	I2C3
	0x4000 5800 - 0x4000 5BFF	I2C2
	0x4000 5400 - 0x4000 57FF	I2C1
	0x4000 5000 - 0x4000 53FF UART5	
	0x4000 4C00 - 0x4000 4FFF UART4	
	0x4000 4800 - 0x4000 4BFF USART3	
	0x4000 4400 - 0x4000 47FF USART2	
	0x4000 4000 - 0x4000 43FF	I2S3ext
	0x4000 3C00 - 0x4000 3FFF	SPI3/I2S3
	0x4000 3800 - 0x4000 3BFF SPI2 / I2S2	
	0x4000 3400 - 0x4000 37FF	I2S2ext
	0x4000 3000 - 0x4000 33FF IWDG	
	0x4000 2C00 - 0x4000 2FFF WWDG	
	0x4000 2800 - 0x4000 2BFF RTC 및 BKP 레지스터	
	0x4000 2400 - 0x4000 27FF	예약됨
	0x4000 2000 - 0x4000 23FF	TIM14
	0x4000 1C00 - 0x4000 1FFF	TIM13
	0x4000 1800 - 0x4000 1BFF TIM12	
	0x4000 1400 - 0x4000 17FF	TIM7
	0x4000 1000 - 0x4000 13FF	TIM6
	0x4000 0C00 - 0x4000 0FFF	TIM5
	0x4000 0800 - 0x4000 0BFF TIM4	
	0x4000 0400 - 0x4000 07FF	TIM3
	0x4000 0000 - 0x4000 03FF	TIM2

## 5 전기적 특성

### 5.1 매개변수 조건

별도로 지정하지 않는 한 모든 전압은 VSS를 기준으로 합니다.

#### 5.1.1 최소값 및 최대값

별도로 지정하지 않는 한, 최소 및 최대 값은 주변 온도, 공급 전압 및 주파수의 최악의 조건에서 주변 온도가  $TA = 25^{\circ}\text{C}$  및  $TA = T_{A\text{max}}$ 인 장치의 100%에 대한 생산 테스트를 통해 보장됩니다(에 의해 제공됨). 선택된 온도 범위).

특성화 결과, 설계 시뮬레이션 및/또는 기술 특성을 기반으로 한 데이터는 표 각주에 표시되어 있으며 생산 시 테스트되지 않습니다. 특성화에 따라 최소값과 최대값은 샘플 테스트를 참조하며 표준편차(평균  $\pm 3\sigma$ )의 3배를 더하거나 뺀 평균값을 나타냅니다.

#### 5.1.2 일반적인 값

별도로 지정하지 않는 한 일반 데이터는  $TA = 25^{\circ}\text{C}$ ,  $VDD = 3.3\text{V}$ ( $1.8\text{V} \leq VDD \leq 3.6\text{V}$  전압 범위의 경우)를 기준으로 합니다. 이는 설계 지침으로만 제공되며 테스트되지 않습니다.

일반적인 ADC 정확도 값은 전체 온도 범위에 걸쳐 표준 확산 로트의 샘플 배치를 특성화하여 결정됩니다. 여기서 장치의 95%는 표시된 값(평균  $\pm 2\sigma$ )보다 작거나 같은 오류를 갖습니다.

#### 5.1.3 일반적인 곡선

별도로 지정하지 않는 한 모든 일반적인 곡선은 설계 지침으로만 제공되며 테스트되지 않습니다.

#### 5.1.4 로딩 커패시터

핀 매개변수 측정에 사용된 부하 조건은 [그림 19](#)에 나와 있습니다.

#### 5.1.5 핀 입력 전압

장치 핀의 입력 전압 측정은 [그림 20](#)에 설명되어 있습니다.

그림 19. 핀 로딩 조건

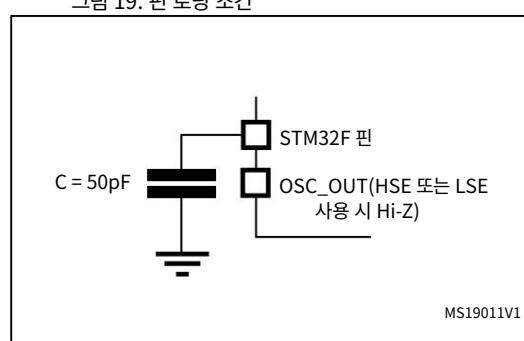
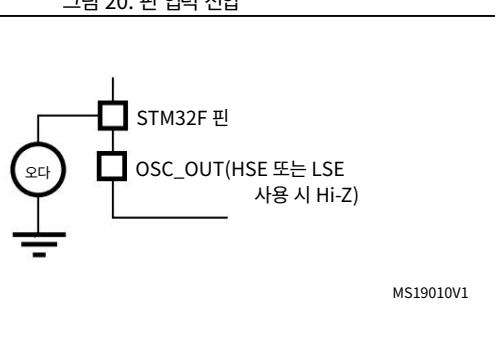
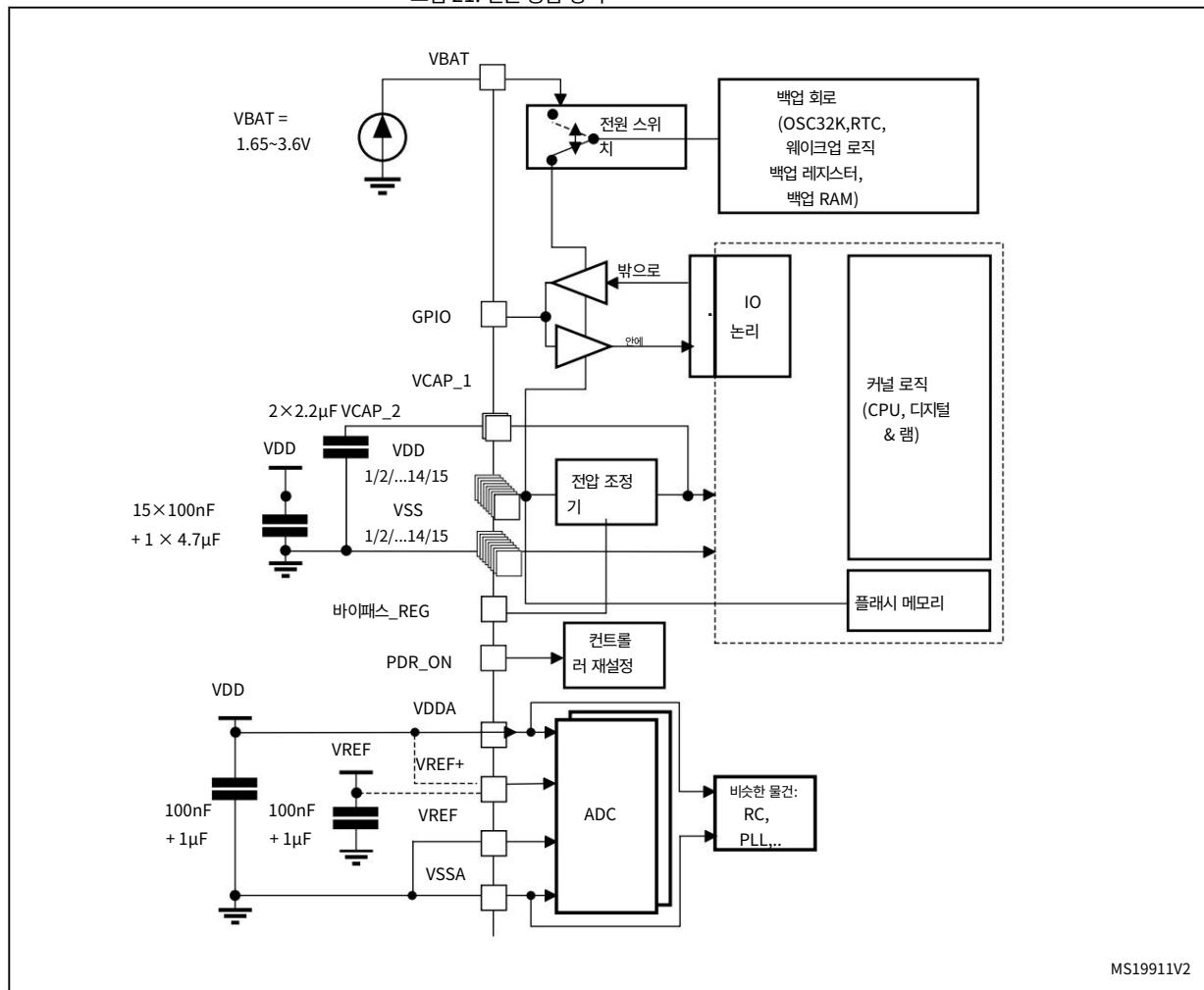


그림 20. 핀 입력 전압



## 5.1.6 전원 공급 방식

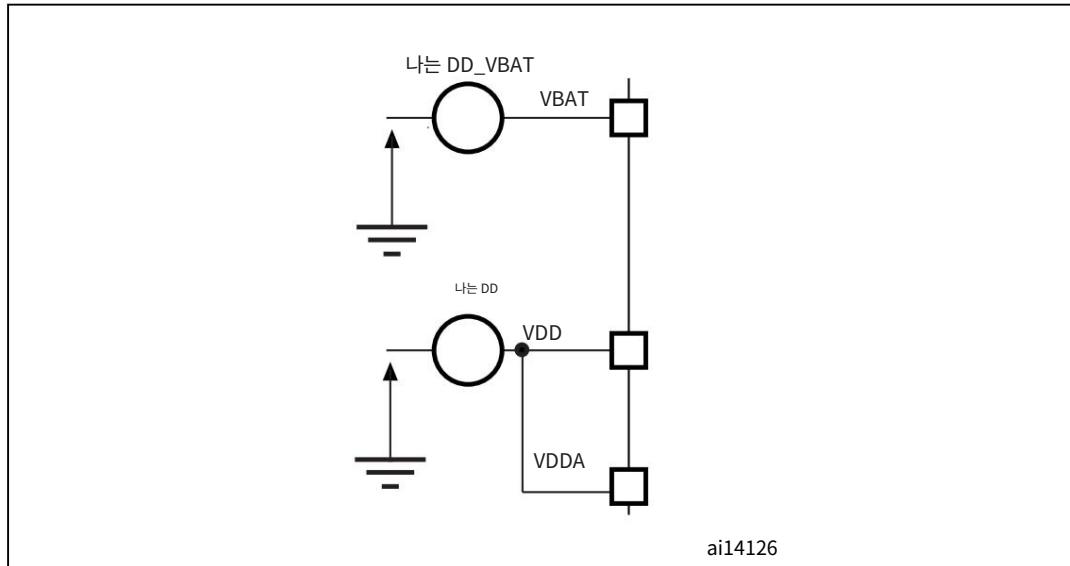
그림 21. 전원 공급 방식



1. 각 전원 공급 장치 쌍은 위에 표시된 대로 필터링 세라믹 커패시터와 분리되어야 합니다. 이것들  
장치의 우수한 기능을 보장하려면 커패시터를 PCB 밑면의 해당 핀에 최대한 가깝거나 아래에 배치해야 합니다.
2. BYPASS\_REG 및 PDR\_ON 핀을 연결하려면 [섹션 2.2.16: 전압 조정기](#) 및 [표 2.2.15](#)를 참조하십시오.  
[전원 공급 장치 감독자](#).
3. 2.2μF 세라믹 커패시터 2개는 다음과 같은 경우 100nF 디커플링 커패시터 2개로 교체해야 합니다.  
전압 조정기가 꺼져 있습니다.
4. 4.7μF 세라믹 커패시터는 VDD 핀 중 하나에 연결되어야 합니다.
5. VDDA=VDD 및 VSSA=VSS.

### 5.1.7 소비전류 측정

그림 22. 소비전류 측정 방식



## 5.2 절대 최대 등급

표 11: 전압 특성, 표 12: 전류 특성 및 표 13: 열 특성에 나열된 절대 최대 정격을 초과하는 스트레스는 장치에 영구적인 손상을 초래할 수 있습니다. 이는 스트레스 등급일 뿐이며 이러한 조건에서 장치의 기능적 작동은 암시되지 않습니다. 장기간 최대 정격 조건에 노출되면 장치 신뢰성에 영향을 미칠 수 있습니다.

표 11. 전압 특성

상징	평가	최소	최대 단위	
VDD-VSS 외부	주 공급 전압( VDDA, VDD 포함) (1)	-0.3	4.0	
오다	5V 하용 핀의 입력 전압(2)	VSS-0.3	VDD+4	안에
	다른 핀의 입력 전압	VSS-0.3	4.0	
ΔVDDx	다양한 VDD 전원 핀 간의 변형	-	50	mV
VSSX - VSS  모든	다른 접지 핀 간의 변형	-	50	
VESD(HBM) 정전기 방전 전압(인체 모델)		섹션 5.3.14: 절대 최대값 참조 등급(전기 감도)		

1. 모든 주 전원 (VDD, VDDA) 및 접지 (VSS, VSSA) 핀은 항상 하용 범위 내에서 외부 전원 공급 장치에 연결되어야 합니다.

2. VIN 최대값을 항상 준수해야 합니다. 하용되는 최대값은 표 12를 참조하십시오.  
주입된 전류.

표 12. 전류 특성

상징	평가	최대.	단위
IVDD	VDD 전력선으로 유입되는 총 전류 (소스)(1)	150	엄마
IVSS	VSS 접지선의 총 전류 (싱크)(1)	150	
IO	I/O 및 제어 핀에 의해 감소된 출력 전류	25	
	모든 I/O 및 제어 핀을 통한 출력 전류 소스	25	
IINJ(핀) <sup>(2)</sup>	5V 허용 I/O에 주입된 전류(3)	-5/+0	
	다른 핀에 전류 주입(4)	±5	
$\Sigma$ IINJ(핀)(4)	총 주입 전류(모든 I/O 및 제어 핀의 합계)(5)	±25	

- 모든 주 전원 (VDD, VDDA) 및 접지 (VSS, VSSA) 핀은 항상 허용 범위 내에서 외부 전원 공급 장치에 연결되어야 합니다.
- 네거티브 주입은 장치의 아날로그 성능을 방해합니다. [섹션 5.3.20: 12비트 ADC](#)의 참고 사항을 참조하세요.
- 이러한 I/O에서는 포지티브 주입이 불가능합니다.  $VIN < VSS$ 에 의해 음의 주입이 유도됩니다. IINJ(PIN)을 초과하면 안 됩니다. 최대 허용 입력 전압 [표 11](#)을 참조하십시오.
- $VIN > VDD$ 에 의해 포지티브 주입이 유도되고  $VIN < VSS$ 에 의해 네거티브 주입이 유도됩니다. IINJ(PIN)을 초과하면 안 됩니다. 최대 허용 입력 전압 [표 11](#)을 참조하십시오.
- 여러 입력이 전류 주입에 제출되는 경우 최대  $\Sigma$ IINJ(PIN)은 다음의 절대 합입니다. 양 및 음의 주입 전류(순서 값).

표 13. 열 특성

상징	평가	값	단위
TSTG	보관 온도 범위	-65 ~ +150	°C
TJ	최대 접합 온도	125	°C

## 5.3 작동 조건

### 5.3.1 일반 작동 조건

표 14. 일반 작동 조건

상징	매개변수	정황	최소	유형	최대	단위	
fHCLK 내부 AHB 클록 주파수	PWR_CR 레지스터의 VOS 비트 = 0(1)	0			144	MHz	
	PWR_CR 레지스터의 VOS 비트= 1	0			168		
fPCLK1 내부 APB1 클록 주파수		0			42		
fPCLK2 내부 APB2 클록 주파수		0			84		
VDD 표준	작동 전압	1.8(2)			3.6	안에	
	아날로그 작동 전압 (ADC는 1.2M 샘플로 제한됨) VDDA(3)(4) 와 동일한 전위여야 합니다.	1.8(2)			2.4	안에	
	아날로그 작동 전압 (ADC는 1.4M 샘플로 제한됨) VDD(5)	2.4			3.6		
VBAT 백업	작동 전압	1.65			3.6	안에	

표 14. 일반 작동 조건 (계속)

상징	매개변수	정황	최소 유형	최대 단위		
V12	레귤레이터 ON: VCAP_1/VCAP_2 핀의 1.2V 내부 전압	PWR_CR 레지스터의 VOS 비트 = 0(1) 최대 주파수 144MHz	1.08	1.14	1.20V	
		PWR_CR 레지스터의 VOS 비트= 1 최대 주파수 168MHz	1.20	1.26	1.32V	
	레귤레이터 OFF: VCAP_1/VCAP_2 핀의 외부 레귤레이터에서 1.2V 외부 전압을 공급해야 합니다.	최대 주파수 144MHz	1.10	1.14	1.20V	
		최대 주파수 168MHz	1.20	1.26	1.30V	
오다	RST 및 FT 핀의 입력 전압(6)	2V VDD 3.6V	-0.3	-	5.5	인에 밀리아트
		VDD ≤ 2V	-0.3	-	5.2	
	TTa 핀의 입력 전압		-0.3	-	VDDA+ 0.3	
				-	5.5	
PD	접미사 6의 경우 TA = 85°C, 접미사 7(7)의 경우 TA = 105°C에서의 전력 손실	LQFP64	-		435	밀리아트
		LQFP100	-		465	
		LQFP144	-		500	
		LQFP176	-		526	
		UFBGA176	-		513	
		WLCSP90	-		543	
깃 달기	접미사 6개 버전의 주변 온도	최대 전력 손실	-40		85	°C
		낮은 전력 손실(8)	-40		105	
	7 접미사 버전의 주변 온도	최대 전력 손실	-40		105	
		낮은 전력 손실(8)	-40		125	
TJ	접합 온도 범위	6개 접미사 버전	-40		105	°C
		7 접미사 버전	-40		125	

1. VOS = 1과 비교하여 VOS = 0일 때 예상되는 전력 소비의 평균 이득은 전체에서 약 10%입니다.  
시스템 클록 주파수가 30~144MHz일 때의 온도 범위.
2. 장치가 감소된 온도 범위에서 작동하고 다음을 사용하면 VDD/VDDA 최소값 1.7V를 얻을 수 있습니다.  
외부 전원 공급 장치 감시기( 섹션: 내부 재설정 OFF 참조 )
3. ADC를 사용하는 경우 표 67: ADC 특성을 참조하십시오.
4. VREF+ 핀이 있는 경우 VDDA-VREF+ < 1.2V 조건을 준수해야 합니다.
5. 동일한 소스에서 VDD 및 VDDA에 전원을 공급하는 것이 좋습니다. VDD 와 VDD 사이의 최대 차이는 300mV입니다.  
VDDA는 전원을 켜고 끄는 동안 허용될 수 있습니다.
6. VDD+0.3보다 높은 전압을 유지하려면 내부 풀업 및 풀다운 저항을 비활성화해야 합니다.
7. TA 가 더 낮으면 TJ가 TJmax를 초과하지 않는 한 더 높은 PD 값이 허용됩니다.
8. 저전력 소모 상태에서는 TJ가 TJmax를 초과하지 않는 한 TA를 이 범위로 확장할 수 있습니다.

표 15. 작동 전원 공급 범위에 따른 제한 사항

작동 전원 범위	ADC 작동	최고 플래시 메모리 접근 대기 없이 빈도  상태 (f플래시맥스)	최대 플래시 대기가 있는 메모리 액세스 빈도  상태(1) (2)	I/O 작업	클록 출력 주파수 사용 I/O 핀	가능한 플래시 메모리 작업
VDD = 1.8 ~ 2.1V (3)	최대 1.2Msps 의 변환 시간	20MHz (4)	7가지 대기 상태의 160MHz	- 속도 성능 저하  - I/O 보상 없음	최대 30MHz	8비트 삭제 및 프로그램 작업만 가능
VDD = 2.1~2.4V	최대 1.2Msps 의 변환 시간	22MHz	7가지 대기 상태의 168MHz	- 속도 성능 저하  - I/O 보상 없음	최대 30MHz	16비트 삭제 및 프로그램 작동
VDD = 2.4~2.7V	최대 2.4Msps 의 변환 시간	24MHz	6개로 168MHz 대기 상태	- 속도 성능 저하  - I/O 보상 작업	최대 48MHz	16비트 삭제 및 프로그램 작동
VDD = 2.7~3.6V (5)	최대 2.4Msps 의 변환 시간	30MHz	5개로 168MHz 대기 상태	- 전속력 작동  - I/O 보상 작업	- VDD = 3.0~3.6V 인 경우 최대 60MHz  - 까지 48MHz  VDD = 2.7~3.0V 인 경우	32비트 지우기 및 프로그램 작동

1. 플래시 메모리 액세스에서 코드가 실행되는 경우에만 적용되며, RAM에서 코드가 실행되는 경우에는 대기 상태가 필요하지 않습니다.

2. ART 가속기와 128비트 플래시 메모리 덕분에 여기에 제공된 대기 상태 수

ART 가속기는 대기 상태가 0인 프로그램 실행과 동일한 성능을 달성할 수 있으므로 플래시 메모리의 실행 속도에 영향을 미치지 않습니다.

3. 장치가 감소된 온도 범위에서 작동하고 외부 전원 공급 장치 감시 장치를 사용하면 VDD/VDDA 최소값 1.7V가 얻어집니다( [섹션: 내부 재설정 OFF 참조](#) ).

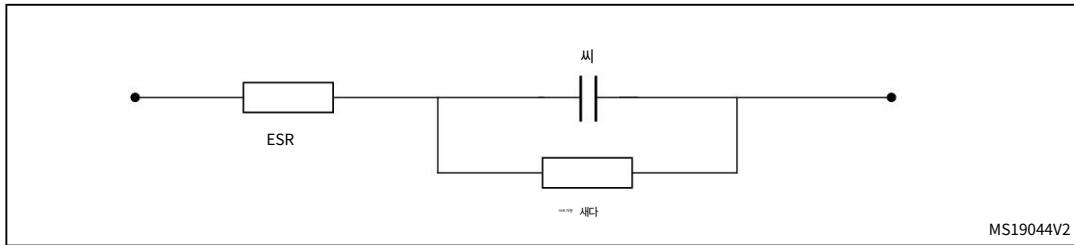
4. 프리페치를 사용할 수 없습니다. 성능과 전력을 조정하는 방법에 대한 자세한 내용은 AN3430 애플리케이션 노트를 참조하세요.

5. OTG USB FS의 전압 범위는 2.7V까지 떨어질 수 있습니다. 그러나 2.7~3V 사이에서는 성능이 저하됩니다.

### 5.3.2 VCAP\_1/VCAP\_2 외부 커패시터

메인 레귤레이터의 안정화는 외부 커패시터 CEXT를 VCAP\_1/VCAP\_2 핀에 연결하여 달성 됩니다 . CEXT는 표 16에 지정되어 있습니다 .

그림 23. 외부 커패시터 CEXT



1. 범례: ESR은 등가 직렬 저항입니다.

표 16. VCAP\_1/VCAP\_2 작동 조건(1)

상징	매개변수	정황
CEXT	외부 커패시터의 용량	2.2 $\mu$ F
ESR	외부 커패시터의 ESR	< 2 $\Omega$

1. 전압 조정기를 바이пас하는 경우 2.2 $\mu$ F VCAP 커패시터 2개는 필요하지 않으며 100nF 디커플링 커패시터 2개로 교체해야 합니다.

### 5.3.3 전원 켜기/끄기 시 작동 조건(레귤레이터 ON)

TA 의 일반 작동 조건이 적용됩니다 .

표 17. 전원 켜기/끄기 시 작동 조건(레귤레이터 ON)

상징	매개변수	최소	맥스	단위
tVDD	VDD 상승 시간 비율	20	▼	$\mu$ s/V
	VDD 하강 시간 비율	20	▼	

### 5.3.4 전원 켜기/끄기 시 작동 조건(레귤레이터 OFF)

TA 의 일반 작동 조건이 적용됩니다 .

표 18. 전원 켜기/끄기 시 작동 조건(레귤레이터 OFF)(1)

상징	매개변수	정황	최소	최대	단위
tVDD	VDD 상승 시간 비율	파워업	20	▼	$\mu$ s/V
	VDD 하강 시간 비율	전력 다운	20	▼	
tVCAP	VCAP_1 및 VCAP_2 상승 시간 비율	파워업	20	▼	$\mu$ s/V
	VCAP_1 및 VCAP_2 하강 시간 비율	전력 다운	20	▼	

1. 전원 차단 시 내부 로직을 재설정하려면 VDD가 V12 의 최소값 아래에 도달할 때 PA0 핀에 재설정을 적용해야 합니다.

### 5.3.5 내장된 리셋 및 전력 제어 블록 특성

표 19 에 제공된 매개변수는 표 14 에 요약된 주변 온도 및 VDD 공급 전압 조건에서 수행된 테스트에서  
파생되었습니다 .

표 19. 내장형 리셋 및 전원 제어 블록 특성

상징	매개변수	정황	최소 유형	최대 단위	
VPVD	프로그램 가능한 전압 검출기 레벨 선택	PLS[2:0]=000(상승 에지)	2.09	2.14	2.19V
		PLS[2:0]=000(하강 에지)	1.98	2.04	2.08V
		PLS[2:0]=001(상승 에지)	2.23	2.30	2.37V
		PLS[2:0]=001(하강 에지)	2.13	2.19	2.25V
		PLS[2:0]=010(상승 에지)	2.39	2.45	2.51V
		PLS[2:0]=010(하강 에지)	2.29	2.35	2.39V
		PLS[2:0]=011(상승 에지) 2.54	2.60	2.65V	
		PLS[2:0]=011(하강 에지)	2.44	2.51	2.56V
		PLS[2:0]=100(상승 에지)	2.70	2.76	2.82V
		PLS[2:0]=100(하강 에지)	2.59	2.66	2.71V
		PLS[2:0]=101(상승 에지)	2.86	2.93	2.99V
		PLS[2:0]=101(하강 에지)	2.65	2.84	3.02V
		PLS[2:0]=110(상승 에지) 2.96	3.03	3.10V	
		PLS[2:0]=110(하강 에지)	2.85	2.93	2.99V
		PLS[2:0]=111(상승 에지) 3.07	3.14	3.21V	
		PLS[2:0]=111(하강 에지)	2.95	3.03	3.09V
VPVDhyst(1)	PVD 하스테리시스		-	100 -	mV
VPOR/PDR	전원 켜기/전원 끄기 재설정 임계 값	떨어지는 가장자리	1.60	1.68	1.76V
		상승 에지	1.64	1.72	1.80V
VPDRhyst(1)	PDR 하스테리시스		-	40 -	mV
VBOR1	브라운아웃 레벨 1 기준 점	떨어지는 가장자리	2.13	2.19	2.24V
		상승 에지	2.23	2.29	2.33V
VBOR2	브라운아웃 레벨 2 한계점	떨어지는 가장자리	2.44	2.50	2.56V
		상승 에지	2.53	2.59	2.63V
VBOR3	브라운아웃 레벨 3 한계점	떨어지는 가장자리	2.75	2.83	2.88V
		상승 에지	2.85	2.92	2.97V

표 19. 내장형 리셋 및 전원 제어 블록 특성 (계속)

상징	매개변수	정황	최소 유형	최대 단위		
VBORhyst(1)	BOR 히스테리시스		-	100 -		mV
TRSTTEMPO(1)(2)	임시 재설정		0.5	1.5	3.0ms	
이루쉬(1)	전압 조정기 전원 켜기 시 돌입 전류(POR 또는 대 기 모드에서 복귀)		-	160200mA		
에러쉬(1)	전압 조정기 전원 켜기 시 InRush 에너지(POR 또 는 대기 모드에서 복귀)	VDD = 1.8V, TA = 105°C, IRUSH = 31μs 동안 171mA	-	-	5.4μC	

1. 설계상 보장되며 생산 시 테스트되지 않았습니다.
2. 리셋 시간은 전원이 켜진 순간(POR 리셋 또는 VBAT에서 웨이크업) 부터 순간까지 측정됩니다.  
사용자 응용 프로그램 코드에서 첫 번째 명령을 읽을 때.

### 5.3.6 공급 전류 특성

전류 소비는 작동 전압, 주변 온도, I/O 핀 로딩, 장치 소프트웨어 구성, 작동 주파수, I/O 핀 전환 속도, 메모리 내 프로그램 위치 및 실행된 바이너리 코드와 같은 여러 매개변수 및 요인의 함수입니다.

전류 소비는 [그림 22: 전류 소비 측정 방식에 설명된 대로 측정됩니다](#).

이 섹션에 제공된 모든 실행 모드 전류 소비 측정은 CoreMark 호환 코드를 사용하여 수행됩니다.

#### 일반 및 최대 전류 소비

MCU는 다음과 같은 조건에 놓입니다.

- 시작 시 모든 I/O 핀은 펌웨어에 의해 아날로그 입력으로 구성됩니다.
- 명시적으로 언급된 경우를 제외하고 모든 주변 장치는 비활성화됩니다.
- 플래시 메모리 액세스 시간은 fHCLK 주파수(0에서 0까지의 대기 상태)에 맞춰 조정됩니다.  
30MHz, 30~60MHz의 1개 대기 상태, 60~90MHz의 2개 대기 상태, 90~120MHz의 3개 대기 상태, 120~150MHz의 4개 대기 상태, 150~168MHz의 5개 대기 상태).
- 주변 장치가 활성화된 경우 HCLK는 시스템 클럭이고  $f_{PCLK1} = f_{HCLK}/4$ 이며  $f_{PCLK2} = f_{HCLK}/2$ , 명시적으로 언급된 경우는 제외.
- 달리 명시하지 않는 한  $VDD = 3.6V$  및 최대 주변 온도 (TA)에 대한 최대값과  $TA = 25^\circ C$  및  $VDD = 3.3V$ 에 대한 일반 값을 얻습니다.

표 20. 실행 모드의 일반 및 최대 전류 소비, 데이터 처리가 포함된 코드  
플래시 메모리(ART 가속기 활성화) 또는 RAM에서 실행 (1)

상징	매개변수	정황	fHCLK	유형	맥스(2)		단위
				ta = 25°C	ta = 85°C	ta = 105°C	
IDD	공급 전류 실행 모드	외부 클록(3), 모든 주변 장치 활성화(4)(5)	168MHz	87	102	109	엄마
			144MHz	67	80	86	
			120MHz	56	69	75	
			90MHz	44	56	62	
			60MHz	30	42	49	
			30MHz	16	28	35	
			25MHz	12	24	31	
			16MHz (6)	9	20	28	
			8MHz	5	17	24	
			4MHz	삼	15	22	
			2MHz	2	14	21	
		외부 클록(3), 모든 주변 장치 비활성화(4)(5)	168MHz	40	54	61	
			144MHz	31	43	50	
			120MHz	26	38	45	
			90MHz	20	32	39	
			60MHz	14	26	33	
			30MHz	8	20	27	
			25MHz	6	18	25	
			16MHz (6)	5	16	24	
			8MHz	삼	15	22	
			4MHz	2	14	21	
			2MHz	2	14	21	

1. 부팅 핀을 사용하여 SRAM1에서 실행되는 코드 및 데이터 처리.
2. 특성화를 기반으로 주변 장치가 활성화된 상태에서 VDD max 및 fHCLK max에서 생산 테스트를 거쳤습니다.
3. 외부 클록은 4MHz이고 fHCLK > 25MHz일 때 PLL이 커집니다.
4. ADC가 ON일 때(ADC\_CR2 레지스터에 ADON 비트 설정), ADC당 1.6mA의 추가 전력 소비를 추가합니다.  
아날로그 부분.
5. ADC, DAC, HSE, LSE, HSI, LSI 등 아날로그 주변기기 블록이 ON되면 추가 전력 소모  
고려되어야 한다.
6. 이 경우 HCLK = 시스템 클럭/2.

표 21. 실행 모드의 일반 및 최대 전류 소비, 데이터 처리가 포함된 코드  
플래시 메모리에서 실행(ART 가속기 비활성화)

기호 매개변수	정황	fHCLK	유형	최대(1)		단위
			TA = 25°C	TA = 85°C	TA = 105°C	
IDD	Run 모드에서 공급 전류	외부 클록(2), 모든 주변 장치 활성화(3)(4)	168MHz	93	109	117
			144MHz	76	89	96
			120MHz	67	79	86
			90MHz	53	65	73
			60MHz	37	49	56
			30MHz	20	32	39
			25MHz	16	27	35
			16MHz	11	23	30
			8MHz	6	18	25
			4MHz	4	16	23
			2MHz	삼	15	22
IDD	Run 모드에서 공급 전류	외부 클록(2), 모든 주변 장치 비활성화(3)(4)	168MHz	46	61	69
			144MHz	40	52	60
			120MHz	37	48	56
			90MHz	30	42	50
			60MHz	22	33	41
			30MHz	12	24	31
			25MHz	10	21	29
			16MHz	7	19	26
			8MHz	4	16	23
			4MHz	삼	15	22
			2MHz	2	14	21

1. 특성화를 기반으로 주변 장치가 활성화된 상태에서 VDD max 및 fHCLK max에서 생산 테스트를 거쳤습니다.

2. 외부 클록은 4MHz이고 fHCLK > 25MHz일 때 PLL이 커집니다.

3. ADC, DAC, HSE, LSE, HSI, LSI 등의 아날로그 주변기기 블록이 ON되면 추가 전력 소모 고려되어야 한다.

4. ADC가 ON(ADC\_CR2 레지스터에 ADON 비트 설정)인 경우 ADC당 1.6mA의 추가 전력 소비를 추가합니다.  
아날로그 부분에 대해

그림 24. 온도 대비 일반적인 전류 소비, 실행 모드, 데이터가 포함된 코드  
플래시(ART 가속기 ON) 또는 RAM 및 주변 장치 OFF에서 실행되는 처리

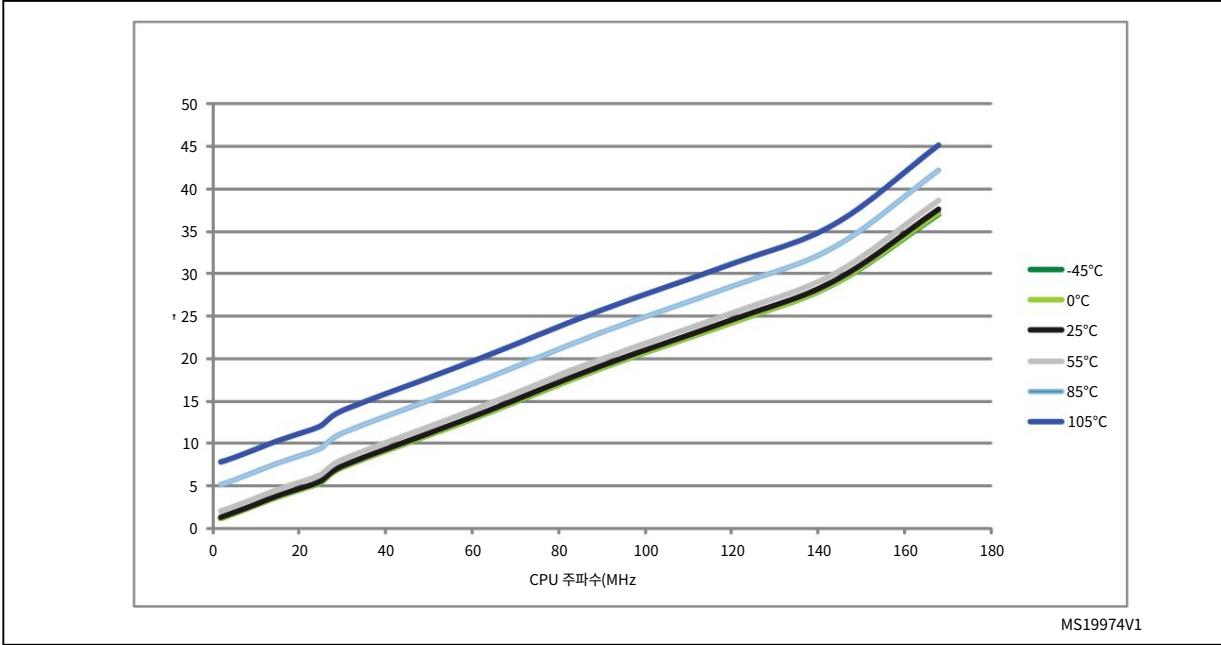


그림 25. 온도 대비 일반적인 전류 소비, 실행 모드, 데이터가 포함된 코드  
플래시(ART 가속기 ON) 또는 RAM 및 주변기기 ON에서 실행되는 처리

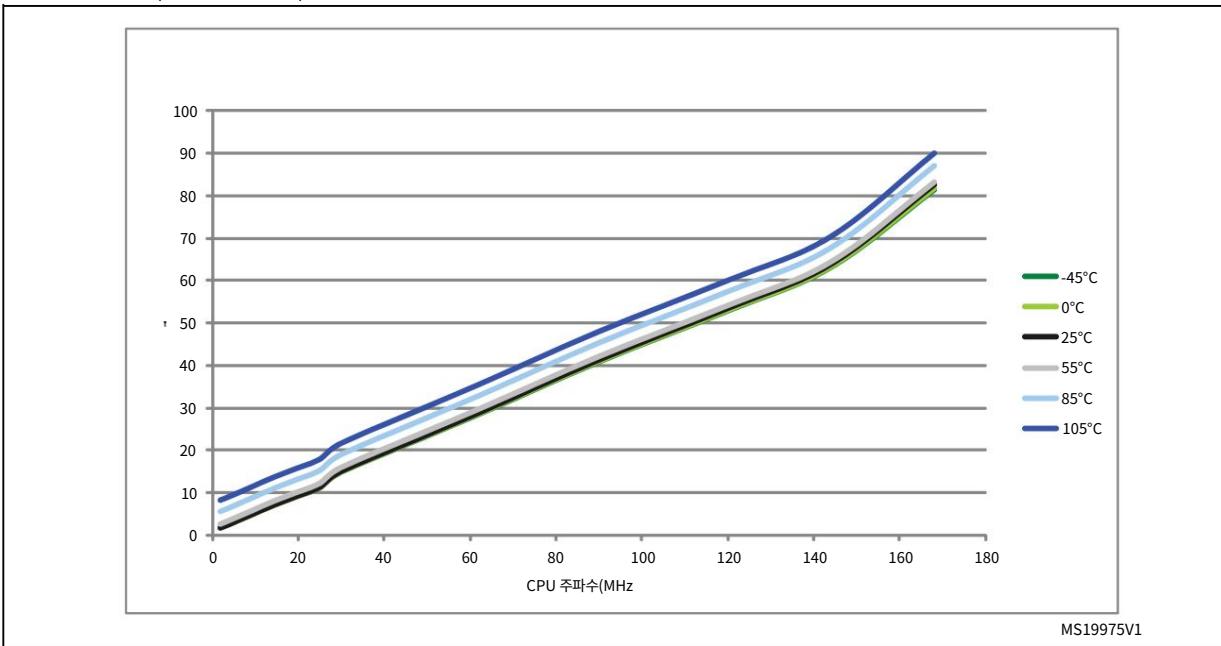


그림 26. 온도 대비 일반적인 전류 소비, 실행 모드, 데이터가 포함된 코드  
플래시(ART 가속기 꺼짐) 또는 RAM 및 주변 장치 꺼짐에서 실행되는 처리

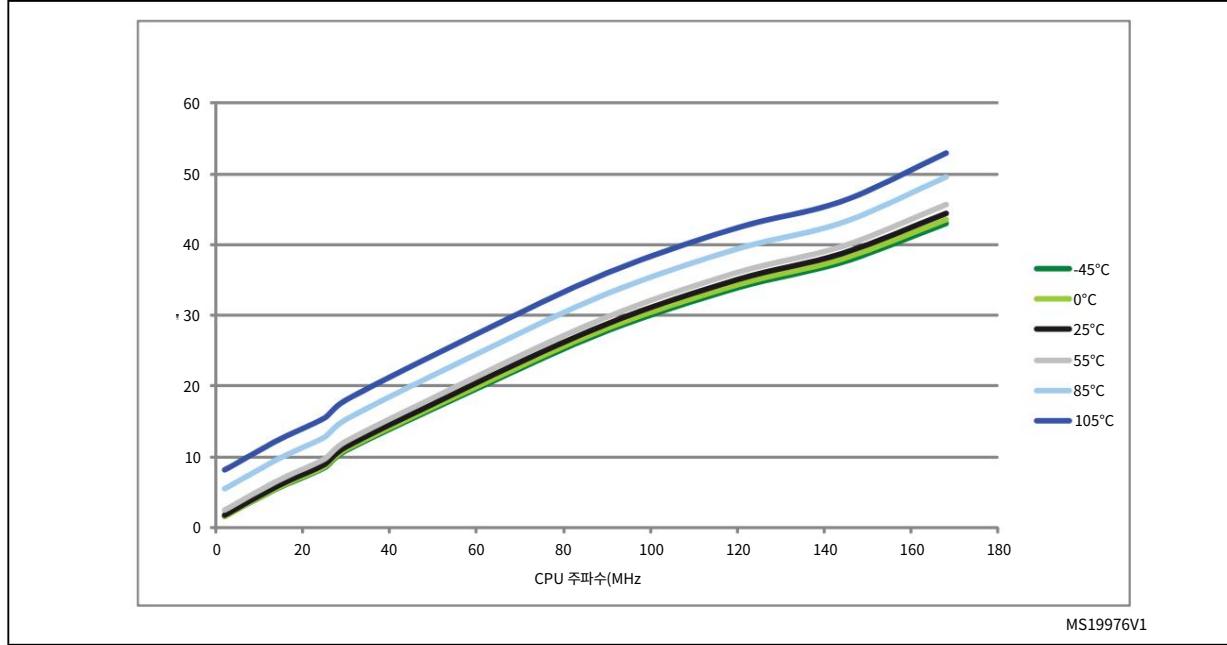


그림 27. 온도 대비 일반적인 전류 소비, 실행 모드, 데이터가 포함된 코드  
플래시(ART 가속기 꺼짐) 또는 RAM 및 주변 장치 커짐에서 실행되는 처리

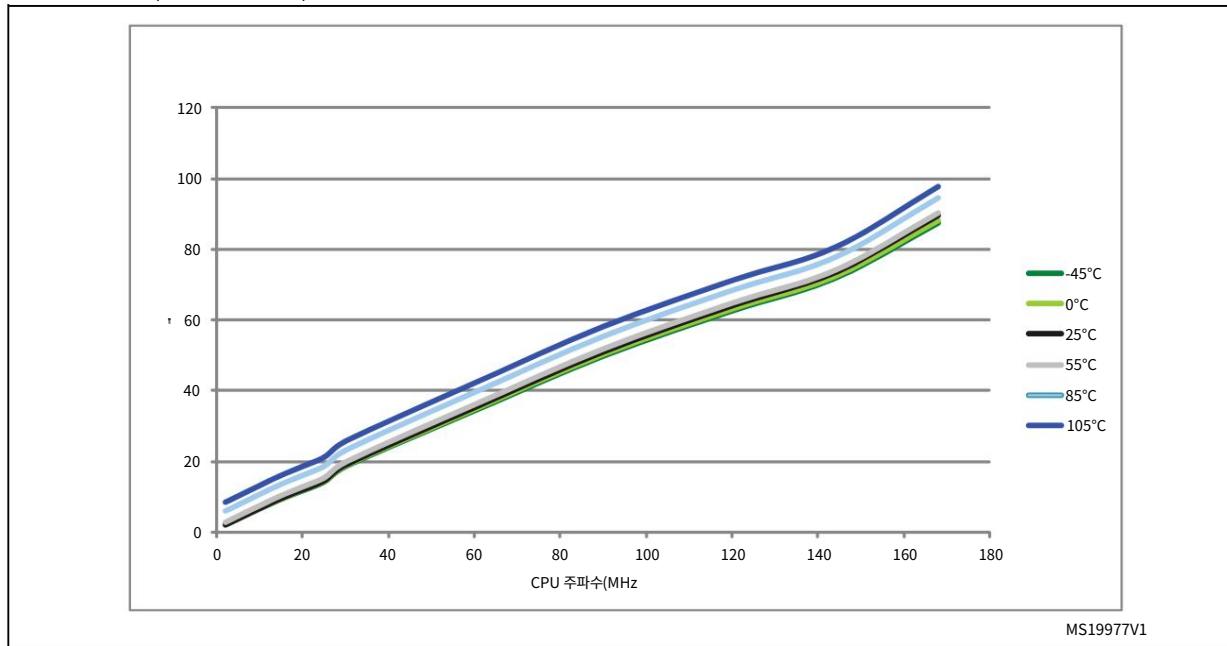


표 22. 절전 모드의 일반 및 최대 전류 소비

상징	매개변수	정황	fHCLK	유형	최대(1)		단위
				ta = 25°C	ta = 85°C	ta = 105°C	
IDD	공급 전류 절전 모드	외부 클록(2), 모든 주변 장치 활성화(3)	168MHz	59	77	84	암마
			144MHz	46	61	67	
			120MHz	38	53	60	
			90MHz	30	44	51	
			60MHz	20	34	41	
			30MHz	11	24	31	
			25MHz	8	21	28	
			16MHz	6	18	25	
			8MHz	삼	16	23	
			4MHz	2	15	22	
			2MHz	2	14	21	
		외부 클록(2), 모든 주변 장치 비활성화	168MHz	12	27	35	
			144MHz	9	22	29	
			120MHz	8	20	28	
			90MHz	7	19	26	
			60MHz	5	17	24	

1. 특성화를 기반으로 주변 장치가 활성화된 상태에서 VDD max 및 fHCLK max에서 생산 테스트를 거쳤습니다.

2. 외부 클록은 4MHz이고 fHCLK > 25MHz일 때 PLL이 커집니다.

3. 아날로그 부분에 대해 ADC당 1.6mA의 추가 전력 소비를 추가합니다. 애플리케이션에서는 이러한 소비가 발생합니다.  
ADC가 ON인 동안(ADON 비트는 ADC\_CR2 레지스터에 설정됨)

표 23. 정지 모드의 일반 및 최대 전류 소비

기호 매개변수		정황	유형	맥스			단위
			타 = 25°C	타 = 25°C	타 = 85°C	타 = 105°C	
IDD_STOP	공급 전류 메인 레귤레이터 가 있는 정지 모드 실행 모드	정지 모드에서 플래시, 저속 및 고속 내부 RC 발진기 및 고속 발진기 OFF(독립 감시 없음)	0.45	1.5	11.00	20.00	엄마
		딥 파워 다운 모드에서 플래시, 저속 및 고속 내부 RC 발진기 및 고속 발진기 OFF(독립 감시 없음)	0.40	1.5	11.00	20.00	
	공급 전류 메인 레귤레이터 가 있는 정지 모드 저전력 모드	정지 모드에서 플래시, 저속 및 고속 내부 RC 발진기 및 고속 발진기 OFF(독립 감시 없음)	0.31	1.1	8.00	15.00	
		딥 파워 다운 모드에서 플래시, 저속 및 고속 내부 RC 발진기 및 고속 발진기 OFF(독립 감시 없음)	0.28	1.1	8.00	15.00	

표 24. 대기 모드의 일반 및 최대 전류 소비

기호 매개변수		정황	유형			최대(1)		단위
			타 = 25°C			타 = 85°C	타 = 105°C	
			VDD = 1.8V	VDD= 2.4V	VDD = 3.3V	VDD = 3.6V		
IDD_STBY	대기 모드에서의 공급 전류	백업 SRAM ON, 저속 발진기 및 RTC ON	3.0	3.4	4.0	20	36	μA
		백업 SRAM OFF, 저속 발진기 및 RTC ON	2.4	2.7	3.3	16	32	
		백업 SRAM ON, RTC 끄다	2.4	2.6	3.0	12.5	24.8	
		백업 SRAM 깨짐, RTC 끄다	1.7	1.9	2.2	9.8	19.2	

1. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.

표 25. VBAT 모드의 일반 및 최대 전류 소비

기호 매개변수	정황	유형			최대(1)		단위
		$T_a = 25^{\circ}\text{C}$			$T_a = 85^{\circ}\text{C}$	$T_a = 105^{\circ}\text{C}$	
		VBAT = 1.8V	VBAT = 2.4V	VBAT = 3.3V	VBAT = 3.6V		
IDD_VBAT	백업 도메인 공급 전류	백업 SRAM ON, 저속 발진기 및 RTC ON	1.29 1.42 1.68		6	11	$\mu\text{A}$
		백업 SRAM OFF, 저속 발진기 및 RTC ON	0.62 0.73 0.96		삼	5	
		백업 SRAM ON, RTC OFF	0.79 0.81	0.86	5	10	
		백업 SRAM 깨짐, RTC 깨짐	0.10 0.10	0.10	2	4	

1. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.

그림 28. 일반적인 VBAT 전류 소비(LSE 및 RTC ON/백업 RAM OFF)

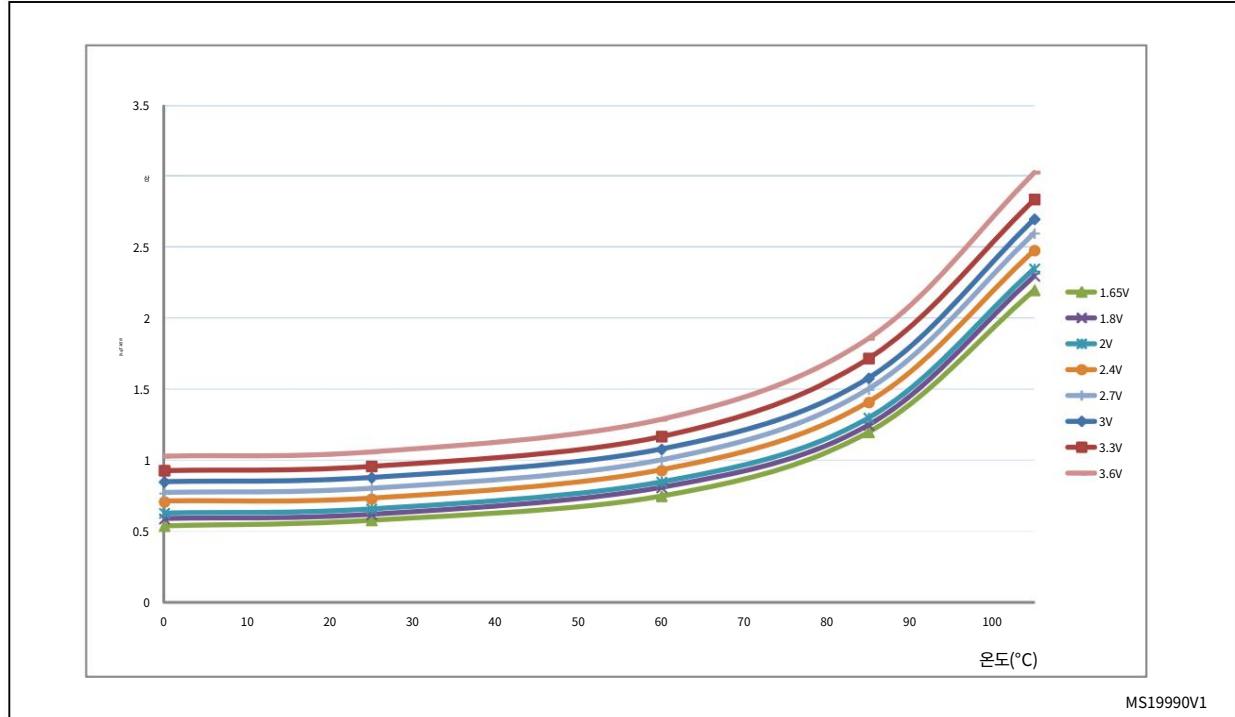
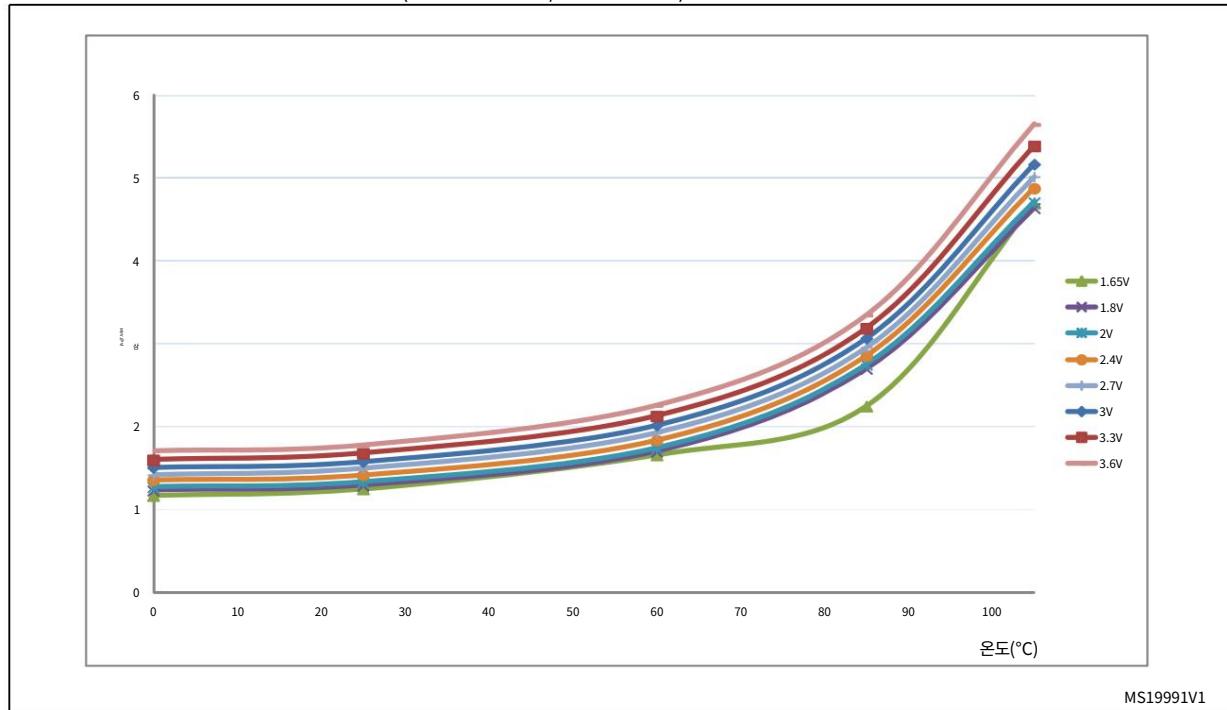


그림 29. 일반적인 VBAT 전류 소비(LSE 및 RTC ON/백업 RAM ON)



MS19991V1

## I/O 시스템 전류 소비

I/O 시스템의 전류 소비에는 정적 및 동적이라는 두 가지 구성 요소가 있습니다.

### I/O 정적 전류 소비

풀업이 있는 입력으로 사용되는 모든 I/O는 핀이 외부적으로 낮게 유지될 때 전류 소비를 생성합니다. 이 전류 소비 값은 표 47: I/O 정적 특성에 제공된 풀업/풀다운 저항 값을 사용하여 간단히 계산할 수 있습니다.

출력 핀의 경우 전류 소비를 추정하려면 외부 풀다운 또는 외부 부하도 고려해야 합니다.

추가 I/O 전류 소비는 중간 전압 레벨이 외부에서 적용되는 경우 입력으로 구성된 I/O로 인해 발생합니다. 이러한 전류 소모는 입력 값을 판별하는 데 사용되는 입력 슈미트 트리거 회로로 인해 발생합니다. 애플리케이션에서 이 특정 구성을 요구하지 않는 한, 이러한 I/O를 아날로그 모드로 구성하면 이 공급 전류 소비를 피할 수 있습니다. 이는 특히 아날로그 입력으로 구성되어야 하는 ADC 입력 핀의 경우입니다.

**주의:** 모든 플로팅 입력 핀은 외부 전자기 노이즈로 인해 중간 전압 레벨로 안정화되거나 실수로 전환될 수도 있습니다. 플로팅 핀과 관련된 전류 소비를 방지하려면 아날로그 모드로 구성하거나 내부적으로 명확한 디지털 값으로 강제 설정해야 합니다. 이는 풀업/다운 저항을 사용하거나 출력 모드에서 핀을 구성하여 수행할 수 있습니다.

### I/O 동적 전류 소비

이전에 측정된 내부 주변 장치 전류 소비( 표 27: 주변 장치 전류 소비 참조) 외에도 애플리케이션에서 사용하는 I/O도 전류 소비에 영향을 줍니다. I/O 핀이 전환되면 MCU의 전류를 사용합니다.

I/O 핀 회로에 전원을 공급하고 핀에 연결된 용량성 부하(내부 또는 외부)를 충전/방전하기 위한 공급 전압:

ISW VD $\bar{f}$  × 남서 ×C

어디

ISW 는 용량성 부하를 충전/방전하기 위해 스위칭 I/O에 의해 가라앉은 전류입니다.

VDD 는 MCU 공급 전압입니다.

fSW 는 I/O 스위칭 주파수입니다.

C는 I/O 핀에 표시되는 총 커패시턴스입니다. C = CINT+ CEXT

테스트 핀은 푸시풀 출력 모드로 구성되며 소프트웨어에 의해 고정 주파수로 토글됩니다.

표 26. 스위칭 출력 I/O 전류 소비

상징	매개변수	조건(1)	I/O 토클링 주파수 (fSW)	유형	단위
하나님	I/O 스위칭 전류	VDD = 3.3V (2) C = 벨트	2MHz	0.02	엄마
			8MHz	0.14	
			25MHz	0.51	
			50MHz	0.86	
			60MHz	1.30	
		VDD = 3.3V CEXT = 0pF C = CINT + CEXT + CS	2MHz	0.10	
			8MHz	0.38	
			25MHz	1.18	
			50MHz	2.47	
			60MHz	2.86	
		VDD = 3.3V CEXT = 10pF C = CINT + CEXT + CS	2MHz	0.17	
			8MHz	0.66	
			25MHz	1.70	
			50MHz	2.65	
			60MHz	3.48	
		VDD = 3.3V CEXT = 22pF C = CINT + CEXT + CS	2MHz	0.23	
			8MHz	0.95	
			25MHz	3.20	
			50MHz	4.69	
			60MHz	8.06	
		VDD = 3.3V CEXT = 33pF C = CINT + CEXT + CS	2MHz	0.30	
			8MHz	1.22	
			25MHz	3.90	
			50MHz	8.82	
			60MHz	-(-)	

1. CS는 패드 핀을 포함한 PCB 보드 용량입니다. CS = 7pF(추정값).

2. 이 테스트는 LQFP 패키지 핀을 절단(패드 제거)하여 수행됩니다.

3. 60MHz에서 C 최대 부하는 30pF로 지정됩니다.

### 온칩 주변 전류 소비

온칩 주변 장치의 전류 소비는 표 27에 나와 있습니다. MCU는 다음 조건에 놓입니다.

- 시작 시 모든 I/O 핀은 펌웨어에 의해 아날로그 핀으로 구성됩니다.
- 달리 언급하지 않는 한 모든 주변 장치는 비활성화됩니다.
- 코드는 플래시 메모리에서 실행되고 플래시 메모리 액세스 시간은 168MHz에서 5개의 대기 상태와 같습니다.
- 코드는 플래시 메모리에서 실행되고 플래시 메모리 액세스 시간은 144MHz에서 4개의 대기 상태와 동일하며 전력 스케일 모드는 2로 설정됩니다.
- ART 가속기 및 캐시가 꺼져 있습니다.
- 주어진 값은 소비전류의 차이를 측정하여 계산됩니다.
  - 모든 주변 장치의 클럭이 꺼진 상태
  - 하나의 주변 장치가 켜져 있는 경우(클럭만 적용된 경우)
- 주변 장치가 활성화된 경우: HCLK는 시스템 클럭이고, fPCLK1 = fHCLK/4, fPCLK2 = fHCLK /2입니다.
- 일반적인 값은 달리 지정하지 않는 한 VDD = 3.3V 및 TA= 25°C에 대해 얻은 것입니다.

표 27. 주변기기 소비 전류

주변기기(1)	168MHz	144MHz	단위
AHB1	GPIO A	0.49	0.36
	GPIO B	0.45	0.33
	GPIO C	0.45	0.34
	GPIO D	0.45	0.34
	GPIO E	0.47	0.35
	GPIO F	0.45	0.33
	GPIO G	0.44	0.33
	GPIO H	0.45	0.34
	GPIO I	0.44	0.33
	OTG_HS + ULPI	4.57	3.55
	CRC	0.07	0.06
	BKPSRAM	0.11	0.08
	DMA1	6.15	4.75
	DMA2	6.24	4.8
ETH_MAC + ETH_MAC_TX ETH_MAC_RX ETH_MAC_PTP			
		3.28	2.54
AHB2	OTG_FS	4.59	3.69
	DCMI	1.04	0.80
			엄마
			엄마

표 27. 주변기기 소비 전류 (계속)

주변기기(1)		168MHz	144MHz	단위
AHB3	FSMC	2.18	1.67	엄마
	TIM2	0.80	0.61	
	TIM3	0.58	0.44	
	TIM4	0.62	0.48	
	TIM5	0.79	0.61	
	TIM6	0.15	0.11	
	TIM7	0.16	0.12	
	TIM12	0.33	0.26	
	TIM13	0.27	0.21	
	TIM14	0.27	0.21	
	PWR	0.04	0.03	
	USART2	0.17	0.13	
	USART3	0.17	0.13	
	UART4	0.17	0.13	
	UART5	0.17	0.13	
	I2C1	0.17	0.13	
	I2C2	0.18	0.13	
	I2C3	0.18	0.13	
APB1	SPI2/I2S2(2)	0.17/0.16	0.13/0.12	
	SPI3/I2S3(2)	0.16/0.14	0.12/0.12	
	CAN1	0.27	0.21	
	CAN2	0.26	0.20	
	DAC	0.14	0.10	
	DAC 채널 1(3)	0.91	0.89	
	DAC 채널 2(4)	0.91	0.89	
	DAC 채널 1 및 2(3)(4)	1.69	1.68	
	WWDG	0.04	0.04	

표 27. 주변기기 소비 전류 (계속)

주변기기(1)	168MHz	144MHz	단위
APB2	SDIO	0.64	0.54
	TIM1	1.47	1.14
	팀8	1.58	1.22
	TIM9	0.68	0.54
	HOUR10	0.45	0.36
	TIM11	0.47	0.38
	ADC1(5)	2.20	2.10
	ADC2(5)	2.04	1.93
	ADC3(5)	2.10	2.00
	SPI1	0.14	0.12
	USART1	0.34	0.27
	USART6	0.34	0.28

1. 4MHz 크리스탈과 PLL을 갖춘 HSE 발진기가 켜져 있습니다.
2. SPI\_I2SCFGGR 레지스터에 I2SMOD 비트가 설정되고 I2SE 비트가 I2S 주변 장치를 활성화하도록 설정됩니다.
3. EN1 비트가 DAC\_CR 레지스터에 설정됩니다.
4. DAC\_CR 레지스터에 EN2 비트가 설정됩니다.
5. ADC\_CR2 레지스터에 ADON 비트가 설정되었습니다.

### 5.3.7 저전력 모드에서 깨어나는 시간

표 28에 제시된 웨이크업 시간은 16MHz HSI RC 발진기를 사용하여 웨이크업 단계에서 측정되었습니다. 장치를 깨우는 데 사용되는 클럭 소스는 현재 작동 모드에 따라 다릅니다.

- 정지 또는 대기 모드: 클럭 소스는 RC 발진기입니다.
- 슬립 모드: 클럭 소스는 슬립 모드로 들어가기 전에 설정된 클럭입니다.

모든 타이밍은 표 14에 요약된 주변 온도 및 VDD 공급 전압 조건에서 수행된 테스트에서 파생됩니다.

표 28. 저전력 모드 웨이크업 타이밍

상징	매개변수	최소(1)	일반(1)	최대(1)	단위	
tWUSLEEP(2) 절전 모드에서 복귀		-	1	-	μs	
tWUSTOP(2)	정지 모드에서 복귀(실행 모드의 레귤레이터)	-	13	-	μs	
	정지 모드에서 복귀(저전력 모드의 레귤레이터)	-	17	40		
	정지 모드에서 복귀(저전력 모드의 레귤레이터 및 딥 파워 다운 모드의 플래시 메모리)	-	110	-		
tWUSTDBY(2)(3) 대기	모드에서 복귀	260	375	480	μs	

1. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.
2. 웨이크업 시간은 웨이크업 이벤트부터 애플리케이션 코드가 첫 번째 명령어를 읽는 지점까지 측정됩니다.
3. tWUSTDBY 최소값과 최대값은 각각 105°C와 -45°C에서 제공됩니다.

### 5.3.8 외부 클록 소스 특성

#### 외부 소스에서 생성된 고속 외부 사용자 클록

표 29에 주어진 특성은 고속 외부 클록 소스를 사용하고 표 14에 요약된 주변 온도 및 공급 전압 조건에서 수행된 테스트의 결과입니다.

표 29. 고속 외부 사용자 클럭 특성

상징	매개변수	정황	최소	유형	최대 단위	
fHSE_ext	외부 사용자 클럭 소스 주파수(1)		1	-	50MHz	
VHSEL OSC_IN	입력 핀 하이 레벨 전압		0.7VDD	-	VDD	안에
VHSEL OSC_IN	입력 핀 로우 레벨 전압		VSS	- 0.3	VDD	
tw(HSE) tw(HSE)	OSC_IN 하이 또는 로우 시간(1)		5--			ns
TR(HSE) TF(HSE)	OSC_IN 상승 또는 하강 시간(1)		-	-	10	
Cin(HSE) OSC_IN	입력 커패시터스(1)		-	5	-	pF
DuCy(HSE)	듀티 사이클		45	-	55%	
그리고	OSC_IN 입력 누설 전류	VSS ≤ VIN ≤ VDD	-	-	±1	μA

- 설계상 보장되며 생산 시 테스트되지 않았습니다.

#### 외부 소스에서 생성된 저속 외부 사용자 클록

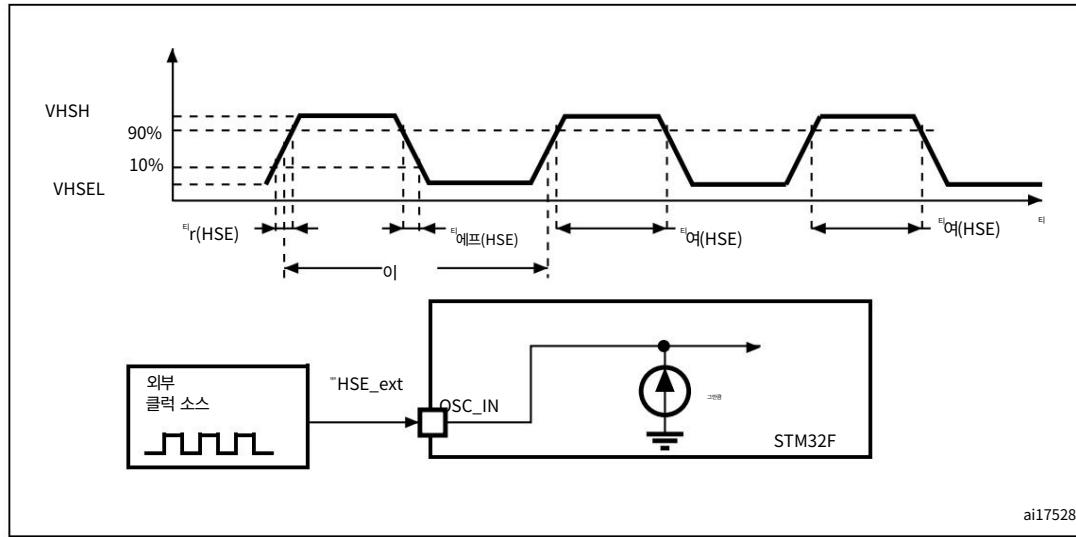
표 30에 주어진 특성은 저속 외부 클록 소스를 사용하고 표 14에 요약된 주변 온도 및 공급 전압 조건에서 수행된 테스트의 결과입니다.

표 30. 저속 외부 사용자 클럭 특성

상징	매개변수	정황	최소	유형	최대 단위	
fLSE_ext	사용자 외부 클럭 소스 주파수(1)		-	32.768	1000	kHz
VLSEL	OSC32_IN 입력 핀 하이 레벨 전압		0.7VDD	-	VDD	안에
VLSEL	OSC32_IN 입력 핀 로우 레벨 전압		VSS	-	0.3VDD	
tw(LSE) TF(LSE)	OSC32_IN 하이 또는 로우 시간(1)		450	-	-	ns
TR(LSE) TF(LSE)	OSC32_IN 상승 또는 하강 시간(1)		-	-	50	
Cin(LSE) OSC32_IN	입력 커패시터스(1)		-	5	-	pF
DuCy(LSE)	듀티 사이클		30	-	70	%
그리고	OSC32_IN 입력 누설 전류	VSS ≤ VIN ≤ VDD	-	-	±1	μA

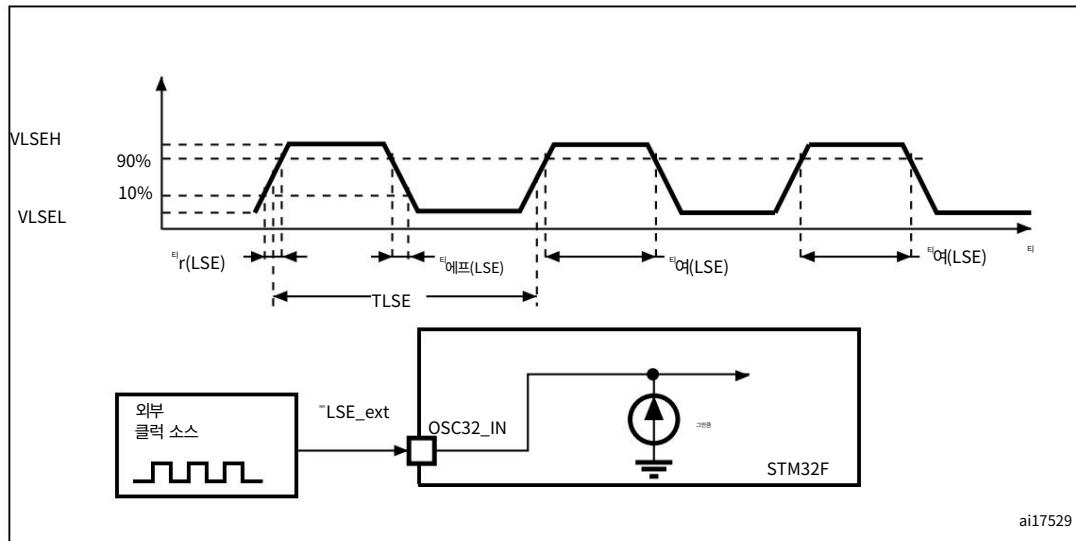
- 설계상 보장되며 생산 시 테스트되지 않았습니다.

그림 30. 고속 외부 클록 소스 AC 타이밍 다이어그램



ai17528

그림 31. 저속 외부 클록 소스 AC 타이밍 다이어그램



ai17529

### 크리스털/세라믹 공진기에서 생성된 고속 외부 클록

고속 외부(HSE) 클록은 4~26MHz 크리스털/세라믹 공진 발진기와 함께 제공될 수 있습니다. 이 단락에 제공된 모든 정보는 표 31에 지정된 일반적인 외부 구성 요소를 사용하여 얻은 특성화 결과를 기반으로 합니다. 애플리케이션에서 공진기와 부하 커패시터는 출력 왜곡을 최소화하기 위해 발진기 핀에 최대한 가깝게 배치해야 합니다. 그리고 시동 안정화 시간, 공진기 특성(주파수, 패키지, 정확도)에 대한 자세한 내용은 수정 공진기 제조업체에 문의하세요.

표 31. HSE 4~26MHz 오실레이터 특성(1) (2)

상징	매개변수	정황	최소	유형	최대	단위
fOSC_IN	발진기 주파수		4	-	26MHz	
RF	피드백 저항기		-	200	-	kΩ
IDD HSE	전류 소비	VDD=3.3V, ESR= 30Ω, CL=5pF@25MHz	-	449	-	μA
		VDD=3.3V, ESR= 30Ω, CL=10pF@25MHz	-	532	-	
GM	발진기 상호 컨덕턴스	시작	5	-	-	mA/V
tSU(HSE(3))	시작 시간	VDD 가 안정화되었습니다.	-	2	-	ms

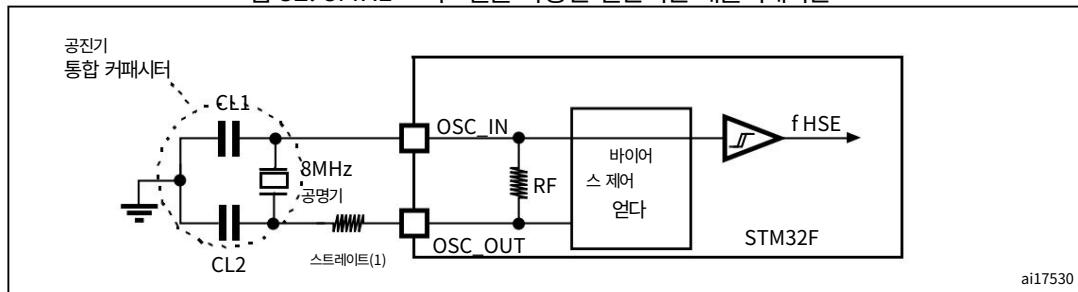
- 수정/세라믹 공진기 제조업체가 제공하는 공진기 특성.
- 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.
- tSU(HSE)는 (소프트웨어에 의해) 활성화된 순간부터 안정화된 8MHz까지 측정된 시작 시간입니다.  
진동에 노출했습니다. 이 값은 표준 크리스탈 공진기에 대해 측정되었으며 크리스탈 제조업체에 따라 크게 달라질 수 있습니다.

CL1 및 CL2의 경우 고주파 애플리케이션으로 설계되고 크리스탈 또는 공진기의 요구 사항에 맞게 선택된 5pF ~ 25pF 범위(일반)의 고품질 외부 세라믹 커패시터를 사용하는 것이 좋습니다(그림 참조). 32). CL1과 CL2는 일반적으로 크기가 동일합니다. 크리스탈 제조업체는 일반적으로 CL1과 CL2의 직렬 조합인 부하 커패시턴스를 지정합니다. CL1 및 CL2 크기를 조정할 때 PCB 및 MCU 핀 정전 용량을 포함해야 합니다(결합된 핀 및 보드 정전 용량의 대략적인 추정치로 10pF를 사용할 수 있음).

## 메모:

크리스탈 선택에 대한 자세한 내용은 ST 웹사이트([www.st.com](http://www.st.com))에서 제공되는 애플리케이션 노트 AN2867 "ST 마이크로컨트롤러용 발진기 설계 가이드"를 참조하세요.

그림 32. 8MHz 크리스탈을 사용한 일반적인 애플리케이션



- REXT 값은 크리스탈 특성에 따라 달라집니다.

## 크리스탈/세라믹 공진기에서 생성된 저속 외부 클록

저속 외부(LSE) 클록은 32.768kHz 수정/세라믹 공진 발진기와 함께 제공될 수 있습니다. 이 단락에 제공된 모든 정보는 표 32에 지정된 일반적인 외부 구성 요소를 사용하여 얻은 특성화 결과를 기반으로 합니다. 애플리케이션에서 공진기와 부하 커패시터는 출력 왜곡을 최소화하기 위해 발진기 핀에 최대한 가깝게 배치해야 합니다. 그리고 시동 안정화 시간, 공진기 특성(주파수, 패키지, 정확도)에 대한 자세한 내용은 수정 공진기 제조업체에 문의하세요.

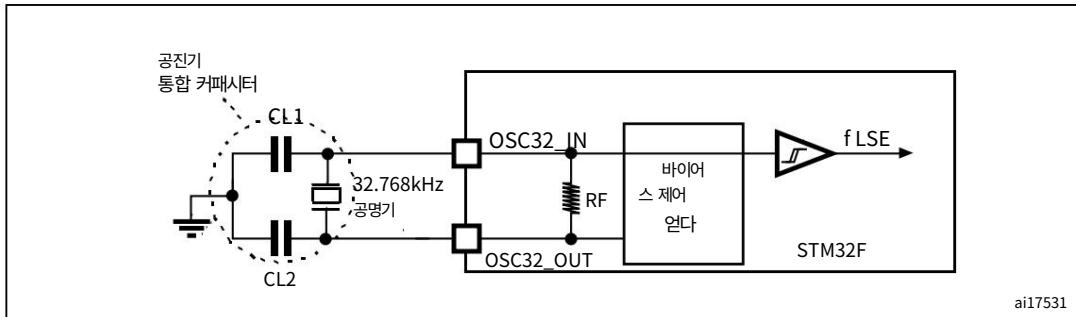
표 32. LSE 발진기 특성 ( $f_{LSE} = 32.768\text{kHz}$ ) (1)

상징	매개변수	정황	최소 유형	최대 단위		
RF	피드백 저항기		-	18.4	-MΩ	
IDD LSE	전류 소비		-	-	1	μA
GM	발진기 상호컨덕턴스		2.8	-	-	μA/V
tSU(LSE)(2)	시작 시간	VDD 가 안정화되었습니다.	-	2	-	ms

1. 설계상 보장되며 생산 시 테스트되지 않았습니다.
2. tSU(LSE)는 (소프트웨어에 의해) 활성화된 순간부터 안정화된 순간까지 측정된 시작 시간입니다.  
 $32.768\text{kHz}$  진동에 도달했습니다. 이 값은 표준 크리스탈 공진기에 대해 측정되었으며 크리스탈 제조업체에 따라 크게 달라질 수 있습니다.

메모: 크리스탈 선택에 대한 자세한 내용은 ST 웹사이트([www.st.com](http://www.st.com))에서 제공되는 애플리케이션 노트 AN2867 "ST 마이크로컨트롤러용 발진기 설계 가이드"를 참조하세요.

그림 33. 32.768kHz 크리스탈을 사용한 일반적인 애플리케이션



ai17531

### 5.3.9 내부 클록 소스 특성

표 33 및 표 34에 제공된 매개변수는 표 14에 요약된 주변 온도 및 VDD 공급 전압 조건에서 수행된 테스트에서 파생되었습니다.

#### 고속 내부(HSI) RC 발진기

표 33. HSI 오실레이터 특성 (1)

상징	매개변수	정황	최소 유형	최대 단위		
fHSI	빈도		-	16	-MHz	
악시	HSI 발진기의 정확도	RCC_CR 레지스터를 사용하여 사용자 트리밍됨	-	- 1%		
		공장에서 교정됨	TA = -40 ~ 105 °C(2)	-8	-	4.5%
			TA = -10 ~ 85 °C(2)	-4	-	4%
tsu(HSI)(3)	HSI 발진기 시동 시간	τ = 25°C	-1	-	1 %	
			-	2.2	4	μs
IDD(HSI)	HSI 발진기 전력 소비		-	60	80	μA

1. 별도로 지정하지 않는 한 VDD = 3.3V, TA = -40 ~ 105°C.
2. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.
3. 설계상 보장되며 생산 시 테스트되지 않았습니다.

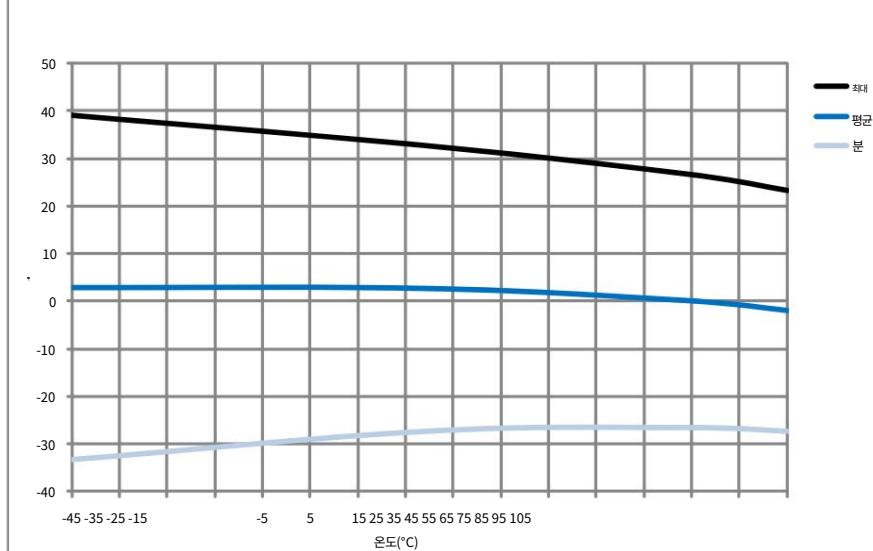
### 저속 내부(LSI) RC 발진기

표 34. LSI 발진기 특성 (1)

상징	매개변수	최소	유형	최대 단위	
fLSI(2)	빈도	17	32	47	kHz
tsu(LSI)(3)	LSI 발진기 시동 시간	-	15	40	μs
IDD(LSI)(3)	LSI 발진기 전력 소비	-	0.4	0.6	μA

1. 별도로 지정하지 않는 한 VDD = 3V, TA = -40 ~ 105°C.
2. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.
3. 설계상 보장되며 생산 시 테스트되지 않았습니다.

그림 34. ACCLSI 와 온도 비교



MS19013V1

### 5.3.10 PLL 특성

표 35 및 표 36에 제공된 매개변수는 표 14에 요약된 온도 및 VDD 공급 전압 조건에서 수행된 테스트에서 파생되었습니다.

표 35. 주요 PLL 특성

상징	매개변수	정황	최소	유형	최대 단위	
fPLL_IN	PLL 입력 클럭(1)		0.95(2)	1	2.10MHz	
fPLL_OUT	PLL 곱셈기 출력 클록		24	-	168MHz	
fPLL48_OUT	48MHz PLL 체배기 출력 클록		-	48	75	MHz
fVCO_OUT	PLL VCO 출력		192	-	432MHz	
tLOCK	PLL 잠금 시간	VCO 주파수 = 192MHz	75	-	200	$\mu$ s
		VCO 주파수 = 432MHz	100	-	300	
불안감 (3)	사이클 간 지터	시스템 시계 120MHz	RMS -	25	-	추신
	주기 지터		최고점	-	$\pm 150$	
			정점			
			RMS -	15	-	
	메인 클록 출력(MCO) RMII 이더넷	1000개 샘플에서 50MHz로 순환	최고점	-	$\pm 200$	
	MII용 메인 클록 출력(MCO) 이더넷		정점			
	비트 시간 CAN 지터		-	32	-	
IDD(PLL)(4) VDD에서의 PLL 전력 소비		VCO 주파수 = 192MHz	0.15	-	0.40	엄마
IDDA(PLL)(4)	PLL 전력 소비 VDDA	VCO 주파수 = 432MHz	0.45	-	0.75	
		VCO 주파수 = 192MHz	0.30	-	0.40	엄마
		VCO 주파수 = 432MHz	0.55	-	0.85	

1. 지정된 PLL 입력 클럭 값을 얻으려면 적절한 분할 계수 M을 사용하십시오. M 팩터는 PLL과 PLLI2S 간에 공유됩니다.

2. 설계상 보장되며 생산 시 테스트되지 않았습니다.
3. 2개의 PLL을 병렬로 사용하면 지터가 최대 +30%까지 저하될 수 있습니다.
4. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.

표 36. PLLI2S(오디오 PLL) 특성

상징	매개변수	정황	최소	유형	최대 단위	
fPLLI2S_IN	PLLI2S 입력 클럭(1)		0.95(2)	1	2.10MHz	
fPLLI2S_OUT	PLLI2S 승수 출력 클럭 fVCO_OUT		-	-	216MHz	
	PLLI2S VCO 출력		192	-	432MHz	
tLOCK	PLLI2S 잠금 시간	VCO 주파수 = 192MHz	75	-	200	$\mu$ s
		VCO 주파수 = 432MHz	100	-	300	

표 36. PLLI2S(오디오 PLL) 특성 (계속)

상징	매개변수	정황	최소	유형	최대 단위	
불안감 (3)	마스터 I2S 클록 지터	48KHz 주기에서 12.288MHz로 순환 하는 순환, N=432, R=5	RMS - 최고점 정점	90 - -	- ±280 -	
		평균 주파수 12.288MHz  N = 432, R = 5  1000개의 샘플에 대해	-	90	-	추신
	WS I2S 클록 지터	48KHz로 순환  1000개의 샘플에 대해	-	400	-	추신
IDD(PLLI2S)(4)	PLLI2S 전력 소비 VDD	VCO 주파수 = 192MHz VCO 주파수 = 432MHz	0.15 0.45	-	0.40 0.75	엄마
IDDA(PLLI2S)(4)	PLLI2S 전력 소비 VDDA	VCO 주파수 = 192MHz VCO 주파수 = 432MHz	0.30 0.55	-	0.40 0.85	엄마

1. 지정된 PLL 입력 클럭 값을 갖기 위해 적절한 분할 계수 M을 사용하도록 주의하십시오.
2. 설계상 보장되며 생산 시 테스트되지 않았습니다.
3. 메인 PLL 실행 시 제공되는 값입니다.
4. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.

### 5.3.11 PLL 확산 스펙트럼 클럭 생성(SSCG) 특성

SSCG(확산 스펙트럼 클럭 생성) 기능을 사용하면 전자기 간섭을 줄일 수 있습니다( 표 43: EMI 특성 참조). 이는 메인 PLL에서만 사용할 수 있습니다.

표 37. SSCG 매개변수 제약조건

상징	매개변수	최소	일반 최대(1)	단위
fMod	변조 주파수	-	-	10 KHz
MD	피크 변조 깊이	0.25	-	2 %
MODEPER * INCSTEP		-	-	215 1 -

1. 설계상 보장되며 생산 시 테스트되지 않았습니다.

방정식 1

주파수 변조 기간(MODEPER)은 아래 방정식으로 제공됩니다.

$$\text{MODEPER} \text{ 라운드} = \frac{f_{\text{PLL\_IN}}}{4[f_{\text{Mod}}]} \quad ( \times )$$

$f_{\text{PLL\_IN}}$  및  $f_{\text{Mod}}$ 는 Hz로 표시되어야 합니다.

예로서:

$f_{\text{PLL\_IN}} = 1\text{MHz}$ 이고  $f_{\text{MOD}} = 1\text{kHz}$  인 경우 변조 깊이(MODEPER)는 방정식 1로 제공됩니다.

$$\text{MODEPER} \text{ 라운드} = 1064103 [ () ] \times = 250$$

## 방정식 2

방정식 2를 사용하면 증분 단계(INCSTEP)를 계산할 수 있습니다.

$$\text{INCSTEP 라운드} = 215 [ (( - \text{mdPLLN} \times ) (1005 \times \times \text{MODEPER})) ]$$

)]

fVCO\_OUT은 MHz로 표현되어야 합니다.

변조 깊이(md) = ±2%(4% 피크 대 피크) 및 PLLN = 240(MHz)인 경우:

$$\text{INCSTEP 라운드} = 215 [ (( - 240 \times ) (1005 \times \times 250)) ] = 126\text{md(양자화)%}$$

선형 변조 프로파일은 MODEPER 및 INCSTEP의 양자화된 값(가장 가까운 정수로 반올림됨)을 취하여 얻어지기 때문에 진폭 양자화 오류가 발생할 수 있습니다. 결과적으로 달성된 변조 깊이가 양자화됩니다. 양자화된 변조 깊이 백분율은 다음 공식으로 제공됩니다.

$$\text{mdQuantized\%} = \frac{\text{MD}}{\text{MODEPER INCSTEP}} \times (( - 1 \times \text{PLLN}) \times 100 \times 5215) \quad )$$

결과적으로:

$$\text{mdQuantized\%} = 126 \times 240 \times 5215 \times 2.002\%(\text{피크}) \quad ) =$$

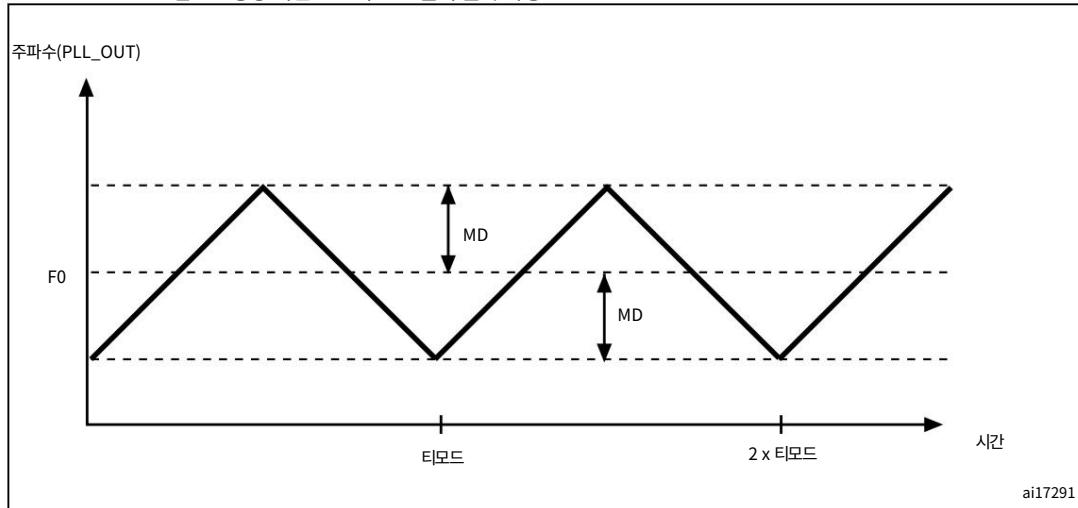
[그림 35](#) 와 [그림 36](#)은 중앙 확산 모드와 하향 확산 모드의 주요 PLL 출력 클록 파형을 보여줍니다.

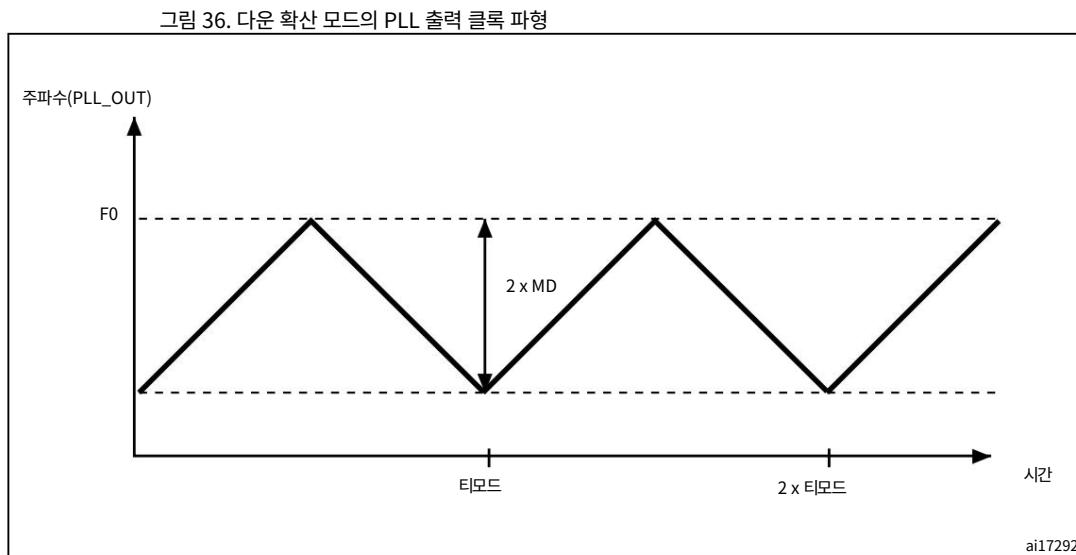
F0은 fPLL\_OUT 공칭입니다.

Tmode는 변조 기간입니다.

md는 변조 깊이입니다.

그림 35. 중앙 확산 모드의 PLL 출력 클록 파형





### 5.3.12 메모리 특성

#### 플래시 메모리

달리 지정하지 않는 한 특성은 TA = -40 ~ 105°C에서 나타납니다.

장치는 플래시 메모리가 지원된 상태로 고객에게 배송됩니다.

표 38. 플래시 메모리 특성

상징	매개변수	정황	최소	유형	최대 단위	
IDD	공급 전류	쓰기/삭제 8비트 모드, VDD = 1.8V	-	5	-	엠파
		쓰기/삭제 16비트 모드, VDD = 2.1V -		8	-	
		쓰기/삭제 32비트 모드, VDD = 3.3V -		12	-	

표 39. 플래시 메모리 프로그래밍

상징	매개변수	정황	최소(1)	일반	최대(1)	단위	
tprog	워드 프로그래밍 시간	프로그램/삭제 병렬성 (PSIZE) = x 8/16/32	-	16	100(2)	μs	ms
		프로그램/삭제 병렬성 (PSIZE) = x 8	-	400	800		
		프로그램/삭제 병렬성 (PSIZE) = x 16	-	300	600		
		프로그램/삭제 병렬성 (PSIZE) = x 32	-	250	500		

표 39. 플래시 메모리 프로그래밍 (계속)

상징	매개변수	정황	최소(1)	일반	최대(1)	단위	
tERASE64KB	섹터(64KB) 삭제 시간	프로그램/삭제 병렬성 (PSIZE) = x 8	-	1200	2400		ms
		프로그램/삭제 병렬성 (PSIZE) = x 16	-	700	1400		
		프로그램/삭제 병렬성 (PSIZE) = x 32	-	550	1100		
tERASE128KB	섹터(128KB) 삭제 시간	프로그램/삭제 병렬성 (PSIZE) = x 8	-24				ms
		프로그램/삭제 병렬성 tERASE128KB (PSIZE) = x 16	-	1.3	2.6		
		프로그램/삭제 병렬성 (PSIZE) = x 32	-12				
tME	대량 삭제 시간	프로그램/삭제 병렬성 (PSIZE) = x 8	-	16	32		ms
		프로그램/삭제 병렬성 (PSIZE) = x 16	-	11	22		
		프로그램/삭제 병렬성 (PSIZE) = x 32	-	8	16		
Vprog	프로그래밍 전압	32비트 프로그램 작동	2.7	-	3.6V		mV
		16비트 프로그램 작동	2.1	-	3.6V		
		8비트 프로그램 작동	1.8	-	3.6V		

1. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.

2. 최대 프로그래밍 시간은 100K 지우기 작업 후에 측정됩니다.

표 40. VPP를 사용한 플래시 메모리 프로그래밍

상징	매개변수	정황	최소(1)	유형	최대(1)		단위
tprog	더블 워드 프로그래밍	TA = 0 ~ +40°C VDD = 3.3V VPP = 8.5V	-	16	100(2)	ms	μs
tERASE16KB 셸터(16KB) 삭제 시간			-	230	-		
tERASE64KB 셸터(64KB) 삭제 시간			-	490	-		
tERASE128KB 셸터(128KB) 삭제 시간			-	875	-		
tME	대량 삭제 시간		-	6.9	-		㎲s
Vprog	프로그래밍 전압		2.7	-	3.6V		
VPP	VPP 전압 범위		7	-	9		언제
IPP	VPP 핀에 싱크된 최소 전류		10	-	- 염마		
tVPP(3)	VPP 가 적용되는 누적 시간		-	-	1		시간

- 설계상 보장되며 생산 시 테스트되지 않았습니다.
- 최대 프로그래밍 시간은 100K 지우기 작업 후에 측정됩니다.
- VPP는 프로그래밍/삭제 중에만 연결해야 합니다.

표 41. 플래시 메모리 내구성 및 데이터 보존

기호 매개변수	정황	값	단위
		최소(1)	
NEND 내구성	TA = -40 ~ +85 °C(6개 접미사 버전) TA = -40 ~ +105°C(7개 접미사 버전) TA = 85°C 에	10	kcycles
tRET 데이터 보존	서 1kcycle(2)	30	연령
	1k사이클 (2) TA = 105°C 에서	10	
	10k사이클(2) TA = 55°C 에서	20	

- 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.
- 전체 온도 범위에 걸쳐 사이클링이 수행됩니다.

### 5.3.13 EMC 특성

민감성 테스트는 장치 특성화 중에 샘플을 기준으로 수행됩니다.

#### 기능성 EMS(전자기 민감성)

장치에서 간단한 애플리케이션이 실행되는 동안(I/O 포트를 통해 2개의 LED 전환) 장치는 오류가 발생할 때까지 두 가지 전자기 이벤트로 인해 스트레스를 받습니다. 오류는 LED로 표시됩니다.

- 기능 장애가 발생할 때까지 정전기 방전(ESD) (양극 및 음극)이 모든 장치 핀에 적용됩니다. 이 테스트는 IEC 61000-4-2 표준을 준수합니다.
- FTB: 빠른 과도 전압 버스트(양수 및 음수)가 VDD 및 VSS에 적용됩니다.  
기능 장애가 발생할 때까지 100pF 커패시터를 통해. 이 테스트는 IEC 61000-4-4 표준을 준수합니다.

장치 재설정을 통해 정상적인 작업을 재개할 수 있습니다.

테스트 결과는 [표 42](#)에 나와 있습니다. 이는 애플리케이션 노트 AN1709에 정의된 EMS 레벨 및 클래스를 기반으로 합니다.

표 42. EMS 특성

상정	매개변수	정황	수준/ 수업
VFESD	기능 방해를 유발하기 위해 모든 I/O 핀에 적용되는 전압 제한	VDD = 3.3V, LQFP176, TA = +25°C, fHCLK = 168MHz, IEC 61000-4-2 준수	2B
웹사이트	기능 장애를 유도하기 위해 VDD 및 VSS 핀에서 100pF 를 통해 적용되는 빠른 과도 전압 버스트 제한	VDD = 3.3V, LQFP176, TA = +25°C, fHCLK = 168MHz, IEC 61000-4-2 준수	4A

### 소음 문제를 피하기 위해 강화된 소프트웨어 설계

EMC 특성화 및 최적화는 일반적인 애플리케이션 환경과 단순화된 MCU 소프트웨어를 사용하여 구성 요소 수준에서 수행됩니다. 우수한 EMC 성능은 사용자 애플리케이션과 특히 소프트웨어에 따라 크게 달라집니다.

따라서 사용자는 자신의 애플리케이션에 요구되는 EMC 수준과 관련하여 EMC 소프트웨어 최적화 및 사전 인증 테스트를 적용하는 것이 좋습니다.

#### 소프트웨어 권장 사항

소프트웨어 흐름도에는 다음과 같은 런아웨이 조건 관리가 포함되어야 합니다.

- 손상된 프로그램 카운터
- 예상치 못한 재설정
  - 중요한 데이터 손상(제어 레지스터...)

#### 사전 자격 시험

대부분의 일반적인 오류(예기치 않은 재설정 및 프로그램 카운터 손상)는 NRST 핀 또는 오실레이터 핀을 1초 동안 수동으로 로우 상태로 설정하여 재현할 수 있습니다.

이러한 시험을 완료하기 위해 ESD 스트레스를 사양 값 범위에 걸쳐 장치에 직접 적용할 수 있습니다. 예상치 못한 동작이 감지되면 복구할 수 없는 오류가 발생하지 않도록 소프트웨어를 강화할 수 있습니다(애플리케이션 노트 AN1015 참조).

### 전자기 간섭(EMI)

장치에서 방출되는 전자기장은 간단한 애플리케이션인 EEMBC?를 실행하는 동안 모니터링됩니다. 코드가 실행 중입니다. 이 방출 테스트는 테스트 보드와 핀 로딩을 지정하는 SAE IEC61967-2 표준을 준수합니다.

표 43. EMI 특성

기호 매개변수	정황	모니터링됨 주파수 대역	최대 대 [fHSE/fCPU]		단위
			25/168MHz		
두 가지 연립 주제	최고 수준	VDD = 3.3V, TA = 25°C, LQFP176 패키지, SAE J1752/3 EEMBC 준수, ART 가속기가 활성화 된 플래시에서 코드 실행	0.1~30MHz	32	dBuV
			30~130MHz	25	
			130MHz~1GHz	29	
			SAE EMI 레벨	4	
	최고 수준	VDD = 3.3V, TA = 25°C, LQFP176 패키지, SAE J1752/3 EEMBC 준수, ART 가속기 및 PLL 확 산 스펙트럼이 활성화된 플래시에서 코드 실행	0.1~30MHz	19	dBuV
			30~130MHz	16	
			130MHz~1GHz	18	
			SAE EMI 레벨	3.5	

### 5.3.14 절대 최대 정격(전기 감도)

특정 측정 방법을 사용한 세 가지 테스트(ESD, LU)를 기반으로 장치에 스트레스를 가하여 전기 감도 측면에서 성능을 결정합니다.

#### 정전기 방전(ESD)

각 핀 조합에 따라 각 샘플의 핀에 정전기 방전(1초 간격으로 양극 펄스와 음극 펄스)이 적용됩니다. 샘플 크기는 장치의 공급 핀 수(3개 부품 × (n+1) 공급 핀)에 따라 달라집니다. 이 테스트는 JESD22-A114/C101 표준을 준수합니다.

표 44. ESD 절대 최대 정격

상징	평가	정황	수업	최고 값(1)	단위
VESD(HBM)	정전기 방전 전압(인체 모델)	TA = JESD22-A114에 따른 +25°C 2		2000(2)	안에
VESD(CDM)	정전기 방전 전압(충전 장치 모델)	TA = JESD22-C101에 따른 +25°C	II	500	

1. 특성화 결과를 기준으로 하며 생산 시 테스트되지 않았습니다.

2. VBAT 핀에서 VESD(HBM)은 1000V로 제한됩니다.

#### 정적 래치업

래치업 성능을 평가하려면 6개 부품에 대해 두 가지 보완적인 정적 테스트가 필요합니다. •

각 전원 공급

장치 핀에 공급 과전압이 적용됩니다.

• 각 입력, 출력 및 구성 가능한 I/O 핀에 전류 주입이 적용됩니다.

이 테스트는 EIA/JESD 78A IC 래치업 표준을 준수합니다.

표 45. 전기 감도

상징	매개변수	정황	수업
루	정직 래치업 클래스	TA = +105°C, JEDEC78A에 따름	II 레벨 A

### 5.3.15 I/O 전류 주입 특성

일반적으로 정상적인 제품 작동 중에는 VSS 미만 또는 VDD (표준의 경우 3V 가능 I/O 핀) 이상의 외부 전압으로 인해 I/O 핀에 전류 주입을 피해야 합니다. 그러나 실수로 비정상적인 주입이 발생한 경우 마이크로컨트롤러의 견고성을 표시하기 위해 장치 특성화 중에 민감성 테스트가 샘플을 기반으로 수행됩니다.

#### I/O 전류 주입에 대한 기능적 민감성

간단한 애플리케이션이 장치에서 실행되는 동안 장치는 플로팅 입력 모드로 프로그래밍된 I/O 핀에 전류를 주입하여 스트레스를 받습니다. I/O 핀에 전류가 한 번에 하나씩 주입되는 동안 장치의 기능 오류가 검사됩니다.

오류는 범위를 벗어난 매개변수로 표시됩니다. 특정 한도(>5 LSB TUE)를 초과하는 ADC 오류, 인접 핀에 유도된 누설 전류의 기준 한도(5uA/+0uA 범위 외)를 벗어나거나 기타 기능적 오류 오류(예: 재설정, 발진기 주파수 편차).

음의 유도 누설 전류는 음의 주입에 의해 발생하고 양의 유도 누설 전류는 양의 주입에 의해 발생합니다.

시험 결과는 [표 46에 제시되어 있다.](#)

표 46. I/O 전류 주입 민감도

상징	설명	기능적 감수성		단위
		부정적인 주입	양성주사	
IINJ(1)	모든 FT 핀에 전류 주입	-5	+0	엄마
	다른 핀에 전류 주입	-5	+5	

1. 잠재적으로 주입될 수 있는 쇼트키 다이오드(접지 핀)를 아날로그 핀에 추가하는 것이 좋습니다.  
부정적인 전류.

### 5.3.16 I/O 포트 특성

#### 일반적인 입출력 특성

별도로 지정하지 않는 한, [표 47](#)에 제공된 매개변수는 [표 14](#)에 요약된 조건에서 수행된 테스트에서 파생됩니다. 모든 I/O는 CMOS 및 TTL과 호환됩니다.

표 47. I/O 정적 특성

상징	매개변수	정황	최소	유형	맥스	단위	
할 것이다	입력 저레벨 전압	TTL 포트 2.7V VDD 3.6V	-	-	0.8	mV	
VIH(1) 입력 하이 레벨 전압			2.0	-	-		
할 것이다	입력 저레벨 전압	CMOS 포트 1.8V VDD 3.6V	-	-	0.3VDD	mV	
VIH(1) 입력 하이 레벨 전압			0.7VDD	-	-		
			-	-	-		
Vphys	I/O 슈미트 트리거 전압 하스테리시스(2)		-	200	-	μA	
	IO FT 슈미트 트리거 전압 하스테리시스(2)		5% VDD(3)	-	-		
일kg	I/O 입력 누설 전류 (4)	VSS ≤ VIN ≤ VDD	-	-	±1	kΩ	
	I/O FT 입력 누설 전류 (4)	빈 = 5V	-	-	삼		
RPU	약한 풀업 등가 저항기(5)	제외한 모든 핀 PA10 및 PB12	빈 = VSS	30	40	50	pF
		PA10 및 PB12		8	11	15	
RPD	약한 풀다운 등가 저항기	제외한 모든 핀 PA10 및 PB12	VIN = VDD	30	40	50	
		PA10 및 PB12		8	11	15	
CIO(6) I/O 핀 용량				5		pF	

1. 프로덕션 환경에서 테스트되었습니다.

2. 슈미트 트리거 스위칭 레벨 사이의 하스테리시스 전압. 특성화를 기반으로 하며 프로덕션 환경에서 테스트되지 않았습니다.

3. 최소 100mV.

4. 인접한 핀에 음의 전류가 주입되면 누출이 최대값보다 높아질 수 있습니다.

5. 풀업 및 풀다운 저항은 전환 가능한 PMOS/NMOS와 직렬로 연결된 실제 저항으로 설계되었습니다. 이것  
직렬 저항에 대한 MOS/NMOS 기어는 최소입니다 (~10% 차수).

6. 설계상 보장되며 생산 시 테스트되지 않았습니다.

모든 I/O는 CMOS 및 TTL과 호환됩니다(소프트웨어 구성이 필요하지 않음). 이들의 특성은 엄격한  
CMOS 기술이나 TTL 매개변수 그 이상을 포함합니다.

### 출력 구동 전류

GPIO(범용 입력/출력)는 최대 ±8mA까지 싱크 또는 소싱할 수 있으며 최대 ±20mA(완화 VOL/VOH 사용)  
까지 싱크 또는 소싱 할 수 있습니다. 단 PC13, PC14 및 PC15는 최대 ±8mA까지 싱크 또는 소싱할 수  
있습니다. 3mA. 출력 모드에서 PC13~PC15 GPIO를 사용하는 경우 속도는 최대 부하 30pF에서 2MHz  
를 초과해서는 안 됩니다.

사용자 애플리케이션에서 전류를 구동할 수 있는 I/O 핀 수는 [섹션 5.2에](#) 지정된 절대 최대 정격을 준수하도록 제한되어야 합니다. 특히:

- VDD 의 모든 I/O에서 발생하는 전류의 합계 와 최대 Run

VDD를 기반으로 하는 MCU의 소비는 절대 최대 정격 IVDD를 초과할 수 없습니다 ( 표 12 참조). • VSS 의 모든 I/O에 의해 가라앉은 전류 와 최대 Run

#### 의 합

VSS 에 가라앉은 MCU의 소비는 절대 최대 정격 IVSS를 초과할 수 없습니다 ( 표 12 참조).

## 출력 전압 레벨

달리 지정하지 않는 한, [표 48](#)에 제공된 매개변수는 [표 14](#)에 요약된 주변 온도 및 VDD 공급 전압 조건에서 수행된 테스트에서 파생됩니다. 모든 I/O는 CMOS 및 TTL과 호환됩니다.

**표 48. 출력 전압 특성(1)**

상징	매개변수	정황	최소	최대 단위	
권(2)	8핀이 동시에 싱크될 때 I/O 핀에 대한 로우 레벨 전압 출력	CMOS 포트 IIO = +8mA 2.7V < VDD < 3.6V	-	0.4	인에
VOH(3)	8개 핀이 동시에 소싱될 때 I/O 핀에 대한 높은 수준의 전압 출력		VDD-0.4	-	
8핀 (2) I/O 핀에 대한 출력 로우 레벨 전압 이 동시에 가라앉을 때의 VOL	(3) I/O 핀에 대한 출력 하이 레벨 전압 이 동시에 소싱될 때 VOH	TTL 포트 IIO = + 8mA 2.7V < VDD < 3.6V	-	0.4	인에
8핀 (3) I/O 핀에 대한 출력 하이 레벨 전압 이 동시에 소싱될 때 VOH(3)(4)			2.4	-	
권(2)(4)	8핀이 동시에 싱크될 때 I/O 핀에 대한 로우 레벨 전압 출력	IIO = +20mA 2.7V < VDD < 3.6V	-	1.3	인에
8핀이 동시에 소싱되는 경우 VOH(3)(4)	I/O 핀에 대한 출력 하이 레벨 전압		VDD-1.3	-	
권(2)(4)	8핀이 동시에 싱크될 때 I/O 핀에 대한 로우 레벨 전압 출력	IIO = +6mA 2V < VDD < 2.7V	-	0.4	인에
8핀이 동시에 소싱되는 경우 VOH(3)(4)	I/O 핀에 대한 출력 하이 레벨 전압		VDD-0.4	-	

1. PC13, PC14, PC15, PI8은 전원 스위치를 통해 전원이 공급됩니다. 스위치는 제한된 양의 전류(3mA)만 싱크하므로 출력 모드에서 GPIO PC13-PC15 및 PI8의 사용이 제한됩니다. 속도는 최대 부하 30pF에서 2MHz를 초과해서는 안 되며 이러한 I/O는 다음을 충족해야 합니다. 전류 소스(예: LED 구동)로 사용되지 않습니다.

- 장치에 의해 흡수된 IIO 전류는 항상 [표 12](#)에 지정된 절대 최대 정격을 준수해야 합니다.  
IIO (I/O 포트 및 제어 핀) 의 합은 IVSS를 초과할 수 없습니다 .
- 장치에서 공급되는 IIO 전류는 항상 다음에 지정된 절대 최대 정격을 준수해야 합니다.  
[표 12](#) 와 IIO (I/O 포트 및 제어 핀) 의 합은 IVDD를 초과할 수 없습니다 .
- 특성화 데이터를 기반으로 하며 생산 시 테스트되지 않았습니다.

## 입출력 AC 특성

입력/출력 AC 특성의 정의와 값은 각각 [그림 37](#) 과 [표 49](#)에 나와 있습니다 .

## 전기적 특성

STM32F405xx, STM32F407xx

달리 지정하지 않는 한, 표 49에 제공된 매개변수는 표 14에 요약된 주변 온도 및 VDD 공급 전압 조건에서 수행된 테스트에서 파생됩니다.

표 49. I/O AC 특성(1)(2)(3)

OSPEEDRY [1:0] 비 트 값(1)	상징	매개변수	정황	최소	유형	최대	단위	
00	fmax(IO)out 최대 주파수(4)		CL = 50pF, VDD > 2.70V	-	-	2	MHz	
			CL = 50pF, VDD > 1.8V	-	-	2		
			CL = 10pF, VDD > 2.70V	-	- 미정			
			CL = 10pF, VDD > 1.8V	-	- 미정			
	tf(IO) 출력	출력 하이에서 로우 레벨 하강 시 간	CL = 50pF, VDD = 1.8V ~ 3.6V	-	- 미정		ns	
				-	- 미정			
	tr(IO)아웃	낮은 레벨에서 높은 레벨까지의 출력 상승 시간	CL = 50pF, VDD > 2.70V	-	-	25	MHz	
				-	-	12.5(5)		
				-	-	50(5)		
				-	- 미정			
01	fmax(IO)out 최대 주파수(4)		CL = 50pF, VDD < 2.7V	-	- 미정		ns	
			CL = 10pF, VDD > 2.7V	-	- 미정			
	tr(IO)아웃	낮은 레벨에서 높은 레벨까지의 출력 상승 시간	CL = 50pF, VDD < 2.7V	-	- 미정			
			CL = 10pF, VDD > 2.7V	-	- 미정			
10	fmax(IO)out 최대 주파수(4)		CL = 40pF, VDD > 2.70V	-	-	50(5)	MHz	
			CL = 40pF, VDD > 1.8V	-	-	25		
			CL = 10pF, VDD > 2.70V	-	-	100(5)		
			CL = 10pF, VDD > 1.8V	-	- 미정			
	tf(IO) 출력	출력 하이에서 로우 레벨 하강 시 간	CL = 50pF, 2.4 < VDD < 2.7V	-	- 미정		ns	
			씨 <sub>ff</sub> = 10pF, VDD > 2.7V	-	- 미정			
	tr(IO)아웃	낮은 레벨에서 높은 레벨까지의 출력 상승 시간	CL = 50pF, 2.4 < VDD < 2.7V	-	- 미정		ns	
			CL = 10pF, VDD > 2.7V	-	- 미정			

표 49. I/O AC 특성(1)(2)(3) (계속)

OSPEEDR [1:0] 비 트 값(1)	상징	매개변수	정황	최소	유형	최대	단위		
11	Fmax(IO)ou t <sub>r</sub>	최대 주파수(4)	CL = 30pF, VDD > 2.70V	-	-	100(5)	MHz		
			CL = 30pF, VDD > 1.8V	-	-	50(5)			
			CL = 10pF, VDD > 2.70V	-	-	200(5)			
			CL = 10pF, VDD > 1.8V	-	- 미정				
	tf(IO) 출력	출력 하이에서 로우 레벨 하강 시간	CL = 20pF, 2.4 < VDD < 2.7V	-	- 미정		ns		
			CL = 10pF, VDD > 2.7V	-	- 미정				
	tr(IO)아웃	낮은 레벨에서 높은 레벨까지의 출력 상승 시간	CL = 20pF, 2.4 < VDD < 2.7V	-	- 미정		ns		
			CL = 10pF, VDD > 2.7V	-	- 미정				
-	tEXTIPw	EXTI 컨트롤러가 감지한 외부 신호의 펄스 폭		10	-	-	ns		

1. 특성화 데이터를 기반으로 하며 생산 시 테스트되지 않습니다.

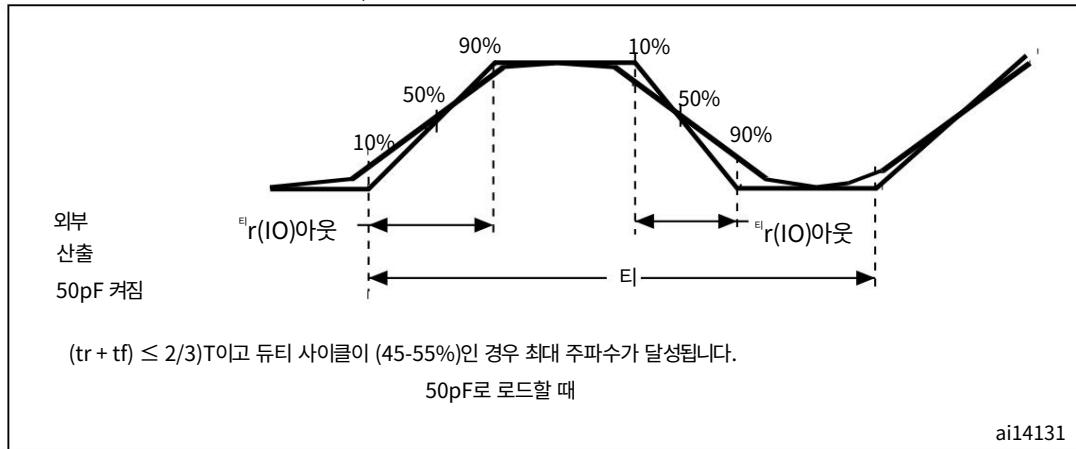
2. I/O 속도는 OSPEEDR[1:0] 비트를 사용하여 구성됩니다. 자세한 내용은 STM32F20/21xxx 참조 매뉴얼을 참조하세요.  
GPIOx\_SPEEDR GPIO 포트 출력 속도 레지스터에 대한 설명입니다.

3. TBD는 “정의될 것”을 의미합니다.

4. 최대 주파수는 [그림 37에 정의되어 있습니다](#).

5. 50MHz를 초과하는 최대 주파수의 경우 보상 셀을 사용해야 합니다.

그림 37. I/O AC 특성 정의



### 5.3.17 NRST 핀 특성

NRST 핀 입력 드라이버는 CMOS 기술을 사용합니다. 이는 영구 풀업 저항 RPU에 연결됩니다 ([표 47 참조](#)).

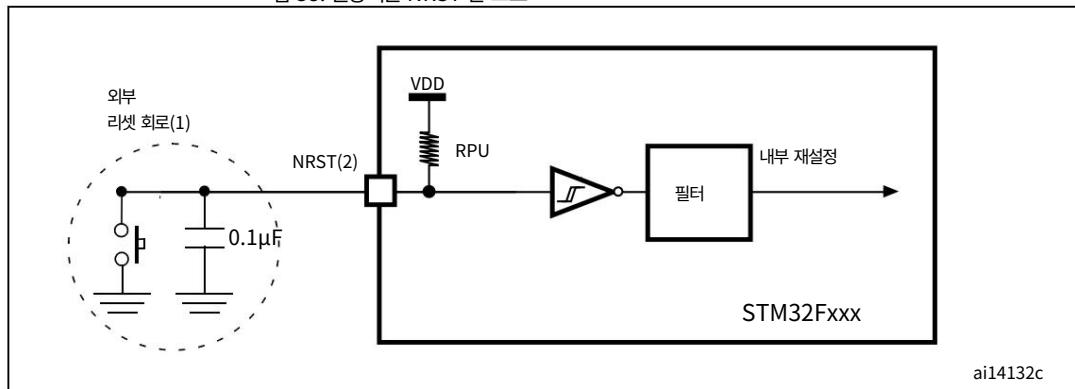
달리 명시하지 않는 한, [표 50](#)에 제공된 매개변수는 [표 14](#)에 요약된 주변 온도 및 VDD 공급 전압 조건에서 수행된 테스트에서 파생됩니다.

표 50. NRST 핀 특성

상징	매개변수	정황	최소	유형	최대 단위	
월(NRST)(1)	NRST 입력 저레벨 전압	TTL 포트 2.7V ≤ VDD 3.6V 이하	-	-	0.8	mV
VIH(NRST)(1)	NRST 입력 하이 레벨 전압		2	-	-	
VIL(NRST)(1)	NRST 입력 낮은 레벨 전압	CMOS 포트 1.8V ≤ VDD 3.6V 이하	-	-	0.3VDD	
VIH(NRST)(1)	NRST 입력 하이 레벨 전압		0.7VDD	-	-	
Vphys(NRST)	NRST 슈미트 트리거 전압 히스테리시스		-	200	-	mV
RPU	약한 풀업 등가 저항기(2)	빈 = VSS	30	40	50	kΩ
VF(NRST)(1)	NRST 필터링된 입력 펄스		-	-	100	ns
VNF(NRST)(1)	NRST 필터링되지 않은 입력 펄스	VDD > 2.7V 300		-	-	ns
TNRST_OUT	생성된 리셋 펄스 지속 시간	내부 소스 재설정	20	-	-	μs

- 설계상 보장되어 생산 시 테스트되지 않았습니다.
- 풀업은 전환 가능한 PMOS와 직렬로 연결된 실제 저항으로 설계되었습니다. 직렬 저항에 대한 PMOS 기여도는 최소 (~10% 차수)여야 합니다.

그림 38. 권장되는 NRST 핀 보호



- 재설정 네트워크는 기생 재설정으로부터 장치를 보호합니다.
- 사용자는 NRST 핀의 레벨이 VIL(NRST) 최대 레벨 아래로 떨어질 수 있는지 확인해야 합니다.  
[표 50](#). 그렇지 않으면 장치에서 재설정을 고려하지 않습니다.

### 5.3.18 TIM 타이머 특성

[표 51](#) 및 [표 52](#)에 제공된 매개변수는 설계에 따라 보장됩니다.

입력/출력 대체 기능 특성( 출력 비교, 입력 캡처, 외부 클럭, PWM 출력)에 대한 자세한 내용은 [섹션 5.3.16: I/O 포트 특성을 참조하십시오](#).

표 51. APB1 도메인에 연결된 TIMx의 특성(1)

상징	매개변수	정황	최소	맥스	단위	
세(TIM)	타이머 해결 시간	1과 다른 AHB/ APB1 프리스케일러, $f_{TIMxCLK} = 84MHz$	1	- $t_{TIMxCLK}$		
		AHB/APB1 프 리스케일러 = 1, $f_{TIMxCLK} = 42MHz$	11.9	-	ns	
fEXT	CH1~CH4의 타이머 외부 클 록 주파수	$f_{TIMxCLK} = 84MHz$ $APB1 = 42MHz$	1	- $t_{TIMxCLK}$		
			23.8	-	ns	
나머지	타이머 해상도		0	$f_{TIMxCLK}/2$	MHz	
			0	42	MHz	
t카운터	내부 클록이 선택된 경우 16 비트 카운터 클록 주기		-	16/32	조금	
			1	65536	$t_{TIMxCLK}$	
tMAX_COUNT	내부 클록이 선택된 경우 32 비트 카운터 클록 주기		0.0119	780	$\mu s$	
			1	- $t_{TIMxCLK}$		
tMAX_COUNT 가능 최대 개수			0.0119	51130563	$\mu s$	
			-	$65536 \times 65536 t_{TIMxCLK}$		
			-	51.1	예스	

1. TIMx는 TIM2, TIM3, TIM4, TIM5, TIM6, TIM7, TIM12 타이머를 지칭하는 일반적인 용어로 사용됩니다.

표 52. APB2 도메인에 연결된 TIMx의 특성(1)

상징	매개변수	정황	최소	맥스	단위	
tres(TIM) 타이머 해결 시간	1과 다른 AHB/APB2 프리스케일러, fTIMxCLK = 168MHz	1	-tTIMxCLK			
		5.95	-	ns		
	AHB/APB2 프리스케일러 = 1, fTIMxCLK = 84MHz	1	-tTIMxCLK			
		11.9	-	ns		
fEXT	CH1의 타이머 외부 클록 주파수 CH4	fTIMxCLK = 168MHz APB2 = 84MHz	0	fTIMxCLK/2	MHz	
			0	84	MHz	
나머지	타이머 해상도		-	16	조금	
t카운터	내부 클록이 선택된 경우 16비트 카운터 클록 주기		1	65536	tTIMxCLK	
			-	32768	tTIMxCLK	
tMAX_COUNT	가능한 최대 개수					

1. TIMx는 TIM1, TIM8, TIM9, TIM10, TIM11 타이머를 지칭하는 일반적인 용어로 사용됩니다.

### 5.3.19 통신 인터페이스

#### I<sup>2</sup>C 인터페이스 특성

STM32F405xx 및 STM32F407xx I

I<sup>2</sup>C 인터페이스는 다음의 요구 사항을 충족합니다.

다음 제한 사항이 있는 표준 I<sup>2</sup>C 통신 프로토콜: 매핑된 I/O 핀 SDA 및 SCL은 "진정한" 오픈 드레인아닙니다. 오픈 드레인으로 구성하면 I/O 핀과 VDD 사이에 연결된 PMOS가 비활성화되지만 여전히 존재합니다.

I<sup>2</sup>C 특성은 표 53에 설명되어 있습니다. 입력/출력 대체 기능 특성(SDA 및 SCL)에 대한 자세한 내용은 섹션 [5.3.16: I/O 포트 특성을 참조하십시오.](#)

표 53. I<sup>2</sup>C 특성

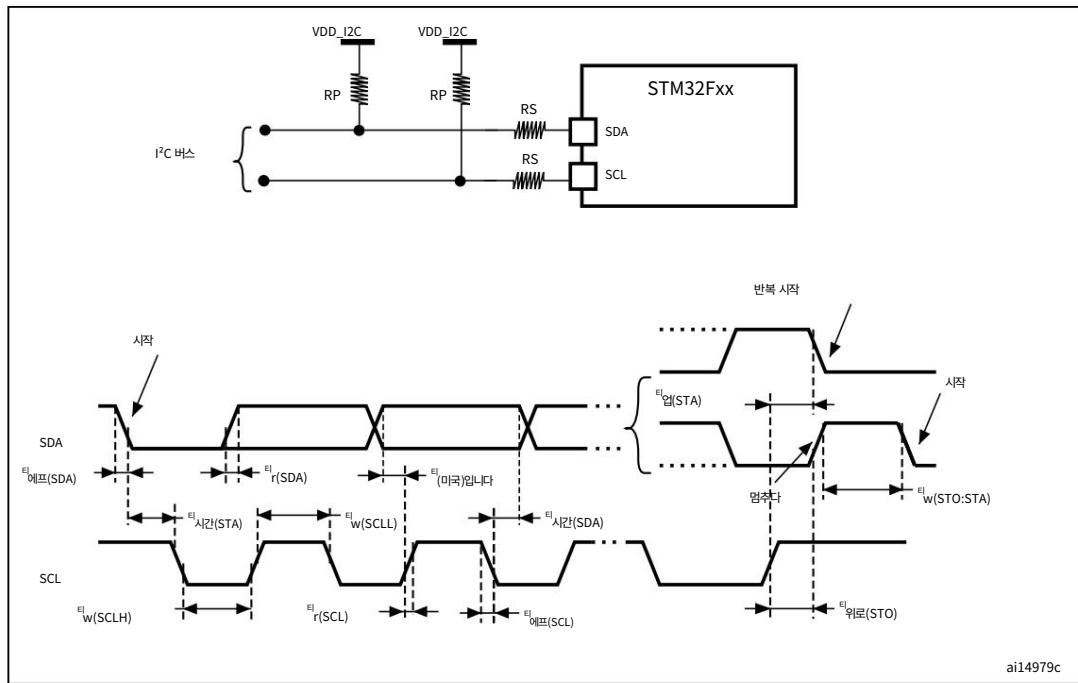
상징	매개변수	표준 모드 I <sup>2</sup> C(1) 고속 모드 I <sup>2</sup> C(1)(2)				단위
		최소	맥스	최소	맥스	
tw(SCLL) SCL 클록 로우 시간		4.7	-	1.3	-	$\mu$ s
		4.0	-	0.6	-	
SDA 설정 시간 th(SDA) SDA 데이		250	-	100	-	ns
		0(3)	-	0	900(4)	
터 유지 시간 tr(SDA)	SDA 및 SCL 상승 시간	-	1000	20 + 0.1Cb	300	
		-	300	-	300	
TF(SDA) tf(SCL)	SDA 및 SCL 하강 시간	-				

표 53. I2C 특성 (계속)

상정	매개변수	표준 모드 I2C(1) 고속 모드 I2C(1)(2)				단위
		최소	맥스	최소	맥스	
일(STA)	시작 조건 유지 시간	4.0	-	0.6	-	$\mu\text{s}$
tsu(STA)	반복 시작 조건 설정 시간	4.7	-	0.6	-	
tsu(STO) 정지 조건 설정 시간	정지-시작 조건 시간(버스 없음)	4.0	-	0.6	-	$\mu\text{s}$
tw(STO:STA)	정지-시작 조건 시간(버스 없음)	4.7	-	1.3	-	
CB	각 버스 라인의 용량 부하	-	400	-	400	pF

- 설계상 보장되며 생산 시 테스트되지 않았습니다.
- 표준 모드 I2C 주파수를 달성하려면  $f_{\text{PCLK10}} > 2\text{MHz}$  이상이어야 합니다. 최소  $4\text{MHz}$  이상이어야 합니다.  
고속 모드 I2C 주파수를 달성하고  $10\text{MHz}$ 의 배수를 달성하여 최대  $400\text{kHz}$  I2C 고속 모드 클록에 도달합니다.
- 장치는 SCL 하강 에지의 정의되지 않은 영역을 브리지하기 위해 SDA 신호에 대해 최소  $300\text{ns}$ 의 유지 시간을 내부적으로 제공해야 합니다.
- 최대 데이터 유지 시간은 인터페이스가 SCL의 낮은 기간을 확장하지 않는 경우에만 충족되어야 합니다.  
신호.

그림 39. I2C 버스 AC 파형 및 측정 회로



- $R_s$  = 직렬 보호 저항기.
- $R_p$  = 외부 풀업 저항기.
- VDD\_I2C는 I2C 버스 전원 공급 장치입니다.

표 54. SCL 주파수 (fPCLK1= 42MHz., VDD = 3.3V )(1)(2)

fSCL (kHz)	I2C_CCR 값
	RP = 4.7kΩ
400	0x8019
300	0x8021
200	0x8032
100	0x0096
50	0x012C
20	0x02EE

1. RP = 외부 풀업 저항, fSCL = I2C 속도,
2. 약 200kHz 속도의 경우 달성된 속도에 대한 허용 오차는  $\pm 5\%$ 입니다. 다른 속도 범위의 경우 달성된 속도의 허용 오차는  $\pm 2\%$ 입니다. 이러한 변화는 애플리케이션을 설계하는 데 사용되는 외부 구성 요소의 정확성에 따라 달라집니다.

#### SPI 인터페이스 특성

달리 지정하지 않는 한, SPI에 대해 표 55 에 제공된 매개변수는 다음 구성을 사용하여 표 14 에 요약 된 주변 온도, fPCLKx 주파수 및 VDD 공급 전압 조건에서 수행된 테스트에서 파생됩니다.

- 출력 속도는 OSPEEDRy[1:0] = 10으로 설정됩니다.
- 용량성 부하 C = 30pF
- 측정 지점은 CMOS 레벨: 0.5 VDD 에서 수행됩니다.

입력/출력 대체 기능 특성(NSS, SCK, MOSI, MISO)에 대한 자세한 내용은 [섹션 5.3.16: I/O 포트 특성을 참조하십시오 .](#)

표 55. SPI 동적 특성(1)

상징	매개변수	정황	최소	유형	최대 단위	
fSCK	SPI 클록 주파수	마스터 모드, SPI1, 2.7V < VDD < 3.6V	-	-	42	MHz
		슬레이브 모드, SPI1, 2.7V < VDD < 3.6V			42	
1/tc(SCK)		마스터 모드, SPI1/2/3, 1.7V < VDD < 3.6V	-	-	21	
		슬레이브 모드, SPI1/2/3, 1.7V < VDD < 3.6V			21	
의무(SCK)	SPI 클록 주파수의 둑티 사이클	슬레이브 모드	30	50	70	%

표 55. SPI 동적 특성(1) (계속)

상징	매개변수	정황	최소	유형	최대 단위	
tw(SCKH)	SCK 하이 및 로우 시간	마스터 모드, SPI presc = 2, 2.7V < VDD < 3.6V	TPCLK-0.5	TPCLK	TPCLK+0.5	ns
트위(SCKL)		마스터 모드, SPI presc = 2, 1.7V < VDD < 3.6V	TPCLK-2	TPCLK	TPCLK+2	
tsu(NSS) NSS 설정 시간 th(NSS) tsu(MI)		슬레이브 모드, SPI presc = 2	4 x TPCLK	-	-	
tsu(SI)	NSS 보유 시간	슬레이브 모드, SPI presc = 2	2 x TPCLK	-	-	
th(MI)	데이터 입력 설정 시간	마스터 모드	6.5	-	-	
th(SI)		슬레이브 모드	2.5	-	-	
ta(SO)	데이터 입력 유지 시간	마스터 모드	2.5	-	-	
(2)		슬레이브 모드	4	-	-	
	데이터 출력 액세스 시간	슬레이브 모드, SPI presc = 2	0	-	4 x TPCLK	
tdis(SO)(3) 데이터 출력 비활성화 시간		슬레이브 모드, SPI1, 2.7V < VDD < 3.6V	0	-	7.5	ns
		슬레이브 모드, SPI1/2/3 1.7V < VDD < 3.6V	0	-	16.5	
tv(SO) 일(SO)	데이터 출력 유효/유지 시간	슬레이브 모드(에지 활성화 후), SPI1, 2.7V < VDD < 3.6V	-	11	13	
		슬레이브 모드(에지 활성화 후), SPI2/3, 2.7V < VDD < 3.6V	-	12	16.5	
		슬레이브 모드(에지 활성화 후), SPI1, 1.7V < VDD < 3.6V	-	15.5	19	
		슬레이브 모드(에지 활성화 후), SPI2/3, 1.7V < VDD < 3.6V	-	18	20.5	
TV(MO)	데이터 출력 유효 시간	마스터 모드(에지 활성화 후), SPI1 2.7V < VDD < 3.6V	-	-	2.5	
		마스터 모드(에지 활성화 후), SPI1/2/3 1.7V < VDD < 3.6V	-	-	4.5	
일(MO)	데이터 출력 유지 시간	마스터 모드(에지 활성화 후)	0	-	-	

1. 생산 시 테스트되지 않은 특성화 결과를 기반으로 한 데이터입니다.
2. 최소 시간은 출력을 구동하는 최소 시간이고, 최대 시간은 데이터를 검증하는 최대 시간입니다.
3. 최소 시간은 출력이 무효화되는 최소 시간이고, 최대 시간은 데이터를 Hi-Z에 넣는 최대 시간입니다.

그림 40. SPI 타이밍 다이어그램 - 슬레이브 모드 및 CPHA = 0

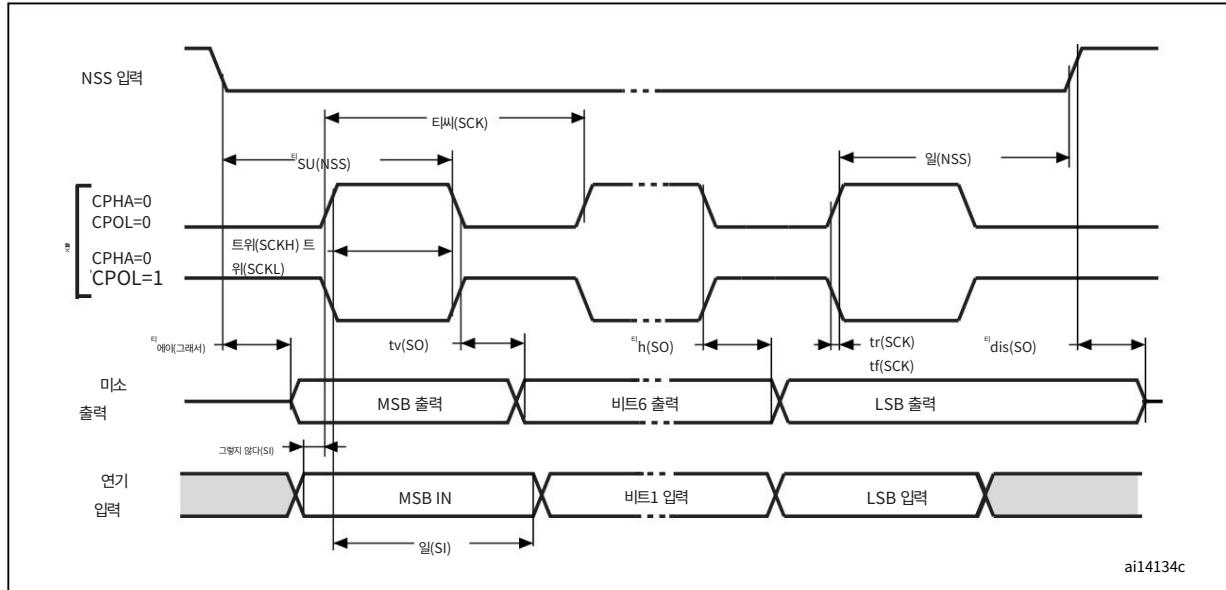


그림 41. SPI 타이밍 다이어그램 - 슬레이브 모드 및 CPHA = 1

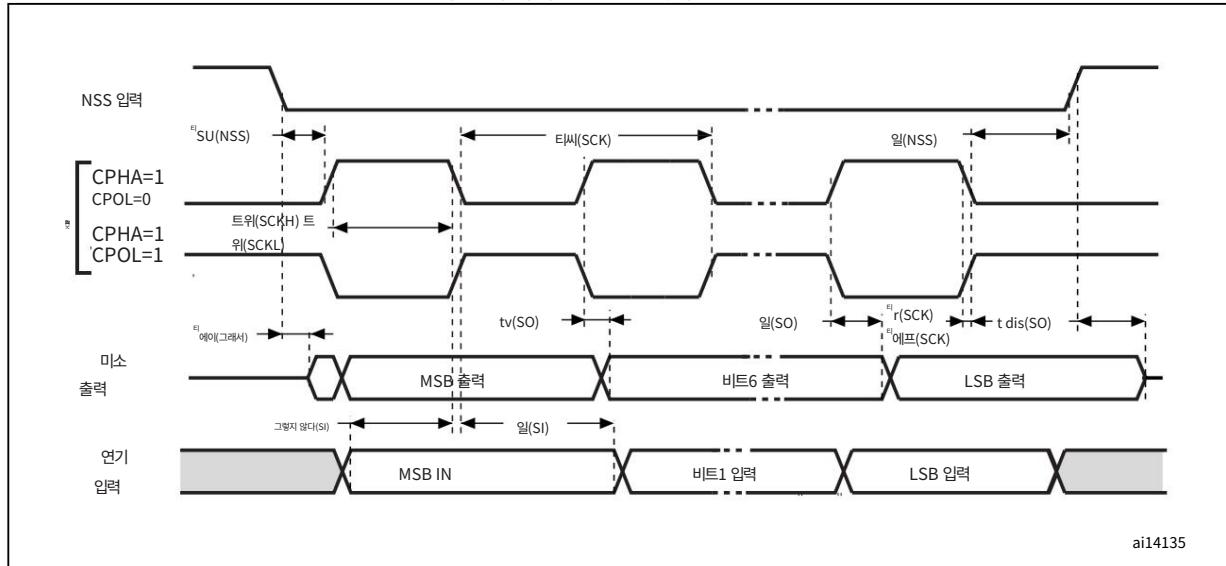
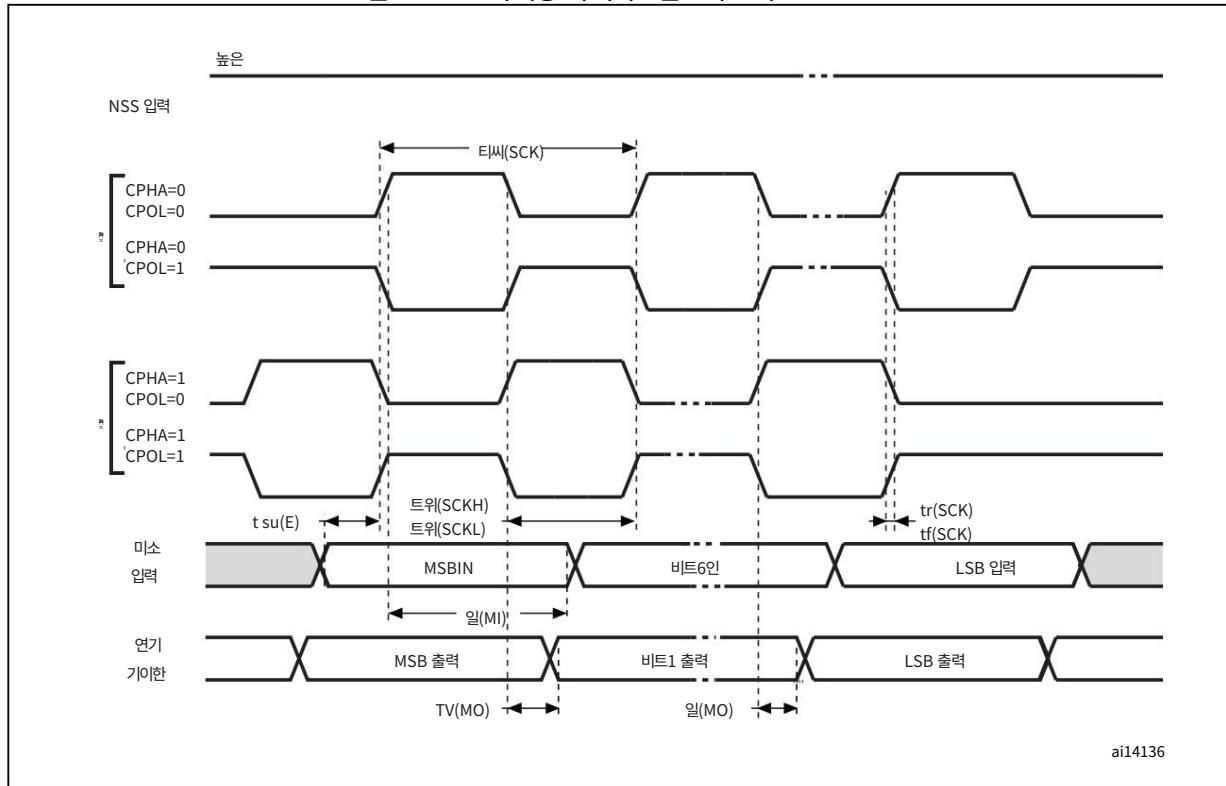


그림 42. SPI 타이밍 다이어그램 - 마스터 모드



ai14136

## I2S 인터페이스 특성

달리 지정하지 않는 한, I2S 인터페이스에 대해 표 56에 제공된 매개변수는 주변 온도, fPCLKx 주파수 및 VDD에서 수행된 테스트에서 파생됩니다.

표 14에 요약된 공급 전압 조건은 다음과 같습니다.

- 출력 속도는 OSPEEDRy[1:0] = 10으로 설정됩니다.
- 용량성 부하 C = 30pF
- 측정 지점은 CMOS 레벨: 0.5 VDD에서 수행됩니다.

입력/출력 대체 기능 특성(CK, SD, WS)에 대한 자세한 내용은 [섹션 5.3.16: I/O 포트 특성을 참조하십시오.](#)

표 56. I2S 동적 특성(1)

상징	매개변수	정황	최소	맥스	단위
fMCK	I2S 메인 클록 출력	-	256x 8K	256xFS_(2)	MHz
fCK	I2S 클록 주파수	마스터 데이터: 32비트	-	64× FS	MHz
		슬레이브 데이터: 32비트	-	64× FS	
DCK	I2S 클록 주파수 듀티 사이클 슬레이브 수신기		30	70	%
tv(WS)	WS 유효 시간	마스터 모드	0	6	ns
th(WS)	WS 보유 시간	마스터 모드	0	-	
tsu(WS) WS	설정 시간 th(WS)	슬레이브 모드	1	-	
	WS 보유 시간	슬레이브 모드	0	-	
tsu(SD_MR)	데이터 입력 설정 시간	마스터 리시버	7.5	-	
tsu(SD_SR)		슬레이브 수신기	2	-	
th(SD_MR)	데이터 입력 유지 시간	마스터 리시버	0	-	
th(SD_SR)		슬레이브 수신기	0	-	
tv(SD_ST)	데이터 출력 유효시간	슬레이브 송신기(에지 활성화 후)	-	27	
th(SD_ST)		마스터 송신기(에지 활성화 후)	-	20	
tv(SD_MT)	데이터 출력 유지 시간	마스터 송신기(에지 활성화 후)	2.5	-	

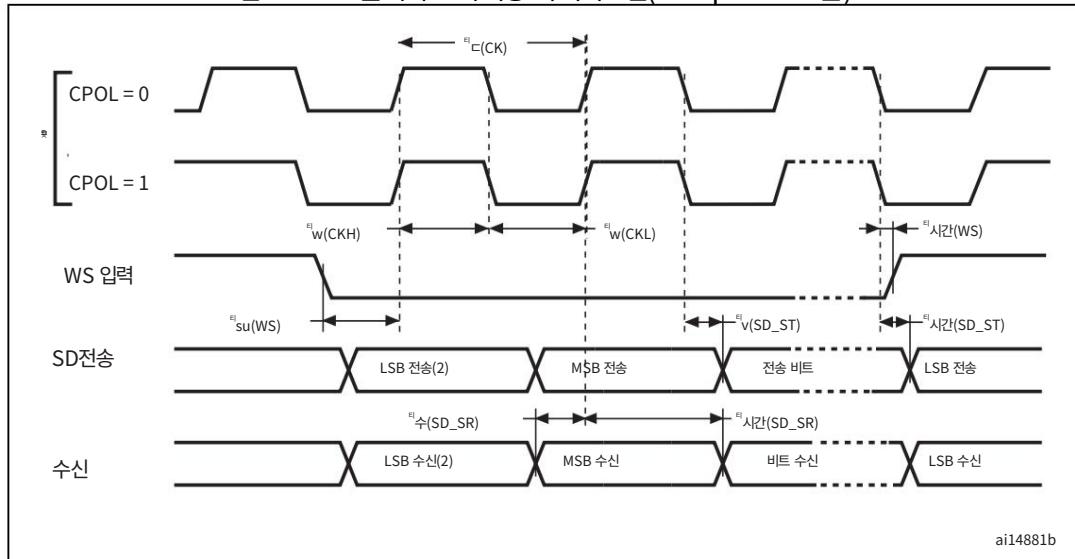
1. 생산 시 테스트되지 않은 특성화 결과를 기반으로 한 데이터입니다.

2. 256 x FS의 최대값은 42MHz(APB1 최대 주파수)입니다.

메모: 샘플링 주파수(FS)에 대한 자세한 내용은 RM0090 참조 매뉴얼의 I2S 섹션을 참조하세요. fMCK, fCK 및 DCK 값은 디지털 주변 장치 동작만 반영합니다. 이러한 매개변수의 값은 소스 클럭 정확도에 따라 약간의 영향을 받을 수 있습니다. DCK

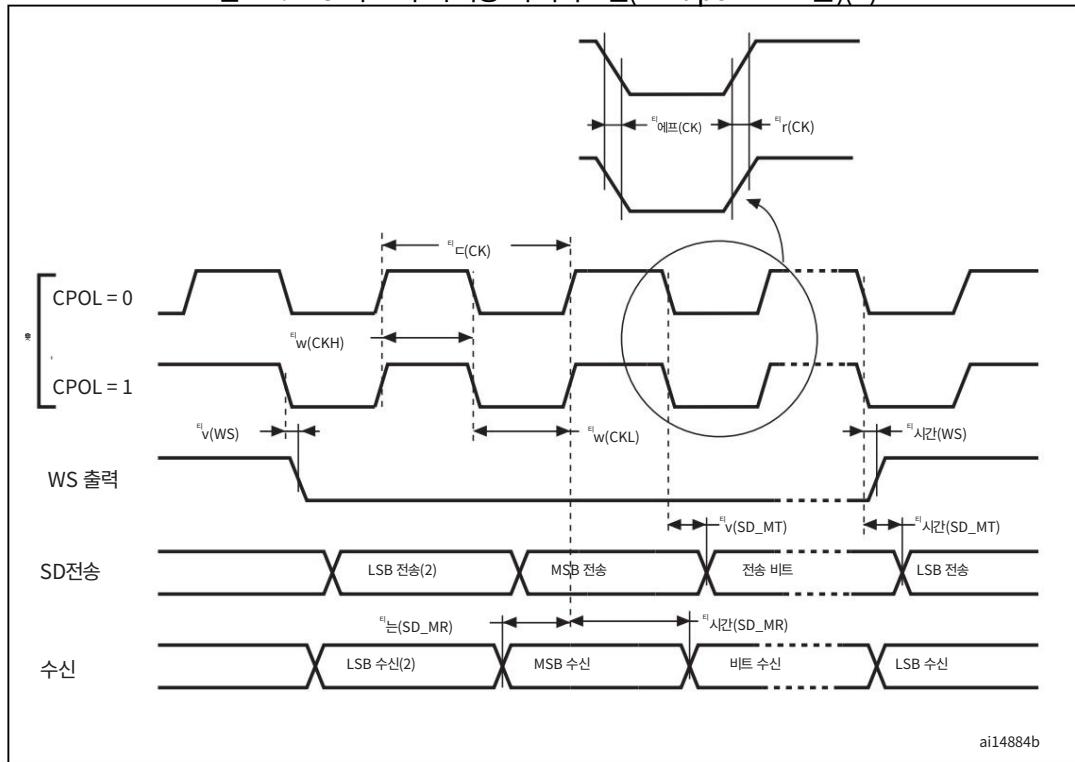
주로 ODD 비트 값에 따라 달라집니다. 디지털 기여는 최소값 I2SDIV / (2 × I2SDIV + ODD)와 최대값 (I2SDIV + ODD) / (2 × I2SDIV + ODD)로 이어집니다. 각 모드/조건에 대해 FS 최대값이 지원됩니다.

그림 43. I2S 슬레이브 타이밍 다이어그램(Philips 프로토콜)



1. 이전에 전송된 바이트의 LSB 전송/수신. 첫 번째 전송 이전에는 LSB 전송/수신이 전송되지 않습니다. 바이트.

그림 44. I2S 마스터 타이밍 다이어그램(Philips 프로토콜)(1)



1. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.
2. 이전에 전송된 바이트의 LSB 전송/수신. 첫 번째 전송 이전에는 LSB 전송/수신이 전송되지 않습니다. 바이트.

### USB OTG FS 특성

이 인터페이스는 USB OTG HS 및 USB OTG FS 컨트롤러 모두에 존재합니다.

표 57. USB OTG FS 시작 시간

상징	매개변수	맥스	단위
t스타트업(1)	USB OTG FS 트랜시버 시작 시간	1	μs

1. 설계상 보장되며 생산 시 테스트되지 않았습니다.

표 58. USB OTG FS DC 전기적 특성

상징	매개변수	정황	최소(1)	유형 최대(1)	단위	
입력 레벨	VDD	USB OTG FS 작동 전압		3.0(2)	-	3.6V
	VDI(3)	차동 입력 감도	나(USB_FS_DP/DM, USB_HS_DP/DM)	0.2	-	-
	VCM <sup>(3)</sup>	차동 공통 모드 범위	VDI 제품군 포함	0.8	-	2.5
	모두(3)	단일 종단 수신기 임계값		1.3	-	2.0
출력 레벨	VOL 정적 출력 레벨 낮음	1.5kΩ ~ 3.6V 의 RL (4)	-	-	0.3	안에
	VOH 정적 출력 레벨 높음	VSS에 대한 15kΩ의 RL (4)	2.8	-	3.6	
RPD	PA11, PA12, PB14, PB15 (USB_FS_DP/DM, USB_HS_DP/DM)	VIN = VDD	17	21	24	kΩ
	PA9, PB13 (OTG_FS_VBUS, OTG_HS_VBUS)		0.65 1.1		2.0	
RPU	PA12, PB15(USB_FS_DP, USB_HS_DP)	빈 = VSS	1.5	1.8	2.1	
	PA9, PB13 (OTG_FS_VBUS, OTG_HS_VBUS)	빈 = VSS	0.25 0.37 0.55			

- 모든 전압은 로컬 접지 전위에서 측정됩니다.
- STM32F405xx 및 STM32F407xx USB OTG FS 기능은 2.7V까지 보장되지만 2.7~3.0V VDD 전압 범위에서 저하되는 전체 USB OTG FS 전기적 특성은 보장되지 않습니다.
- 설계상 보장되며 생산 시 테스트되지 않았습니다.
- RL은 USB OTG FS 드라이버에 연결된 로드입니다.

그림 45. USB OTG FS 타이밍: 데이터 신호 상승 및 하강 시간 정의

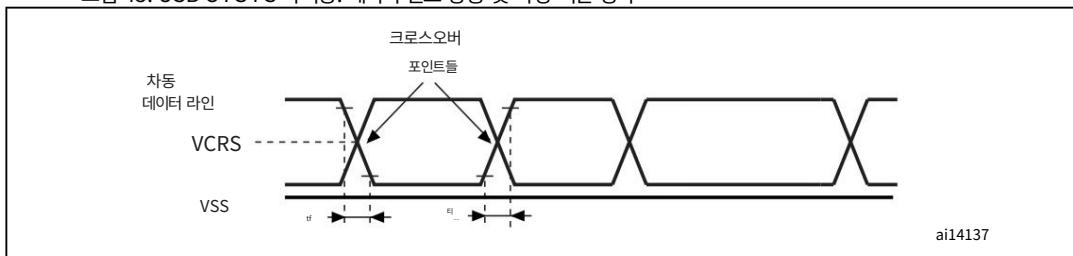


표 59. USB OTG FS 전기적 특성(1)

드라이버 특성					
상징	매개변수	정황	최소	맥스	단위
tr	상승 시간(2)	CL = 50pF	4	20	ns
tf	가을 시간(2)	CL = 50pF	4	20	ns
tfm	상승/하강 시간 매칭	TR/TF	90	110	%
VCRS 출력 신호 교차 전압			1.3	2.0	안에

- 설계상 보장되며 생산 시 테스트되지 않았습니다.
- 데이터 신호의 10%~90%까지 측정됩니다. 자세한 내용은 USB를 참고하세요.  
사양 - 7장(버전 2.0).

### USB HS 특성

달리 명시하지 않는 한, ULPI에 대해 표 62에 제공된 매개변수는 표 61에 요약된 fHCLK 주파수, 주변 온도에서 수행된 테스트에서 파생됩니다.

VDD 공급 전압 조건은 표 60에 요약되어 있으며 다음 구성을 사용합니다.

- 출력 속도는 OSPEEDRy[1:0] = 10으로 설정됩니다.
- 용량성 부하 C = 30pF
- 측정 지점은 CMOS 레벨: 0.5VDD에서 수행됩니다.

입력/출력 특성에 대한 자세한 내용은 섹션 5.3.16: I/O 포트 특성을 참조하십시오.

표 60. USB HS DC 전기적 특성

상징	매개변수	최소(1)	최대(1)	단위
입력 레벨	VDD USB OTG HS 작동 전압	2.7	3.6	안에

- 모든 전압은 로컬 접지 전위에서 측정됩니다.

표 61. USB HS 클록 타이밍 매개변수(1)

매개변수	상징	최소 공칭	최대 단위		
적절한 작동을 보장하는 fHCLK 값 USB HS 인터페이스		30			MHz
빈도(첫 번째 전환)	8비트 ±10% FSTART_8BIT	54	60	66MHz	
주파수(정상 상태) ±500ppm	FSTADY	59.97	60	60.03MHz	
듀티 사이클(첫 번째 전환)	8비트 ±10% DSTART_8BIT	40	50	60%	
듀티 사이클(정상 상태) ±500ppm	디스테디	49.975	50	50.025%	
첫 번째 전환 후 정상 상태 주파수 및 듀티 사이클에 도달하는데 걸리는 시간	T <sub>ff</sub> 준함	-	-	1.4ms	
SuspendM의 선언 해제 후 시계 시작 시간	주변기기	TSTART_DEV	-	5.6	ms
	주인	TSTART_HOST	-	-	
입력 클록의 첫 번째 전환 후 PHY 준비 시간	TPREP	-	-	-	μs

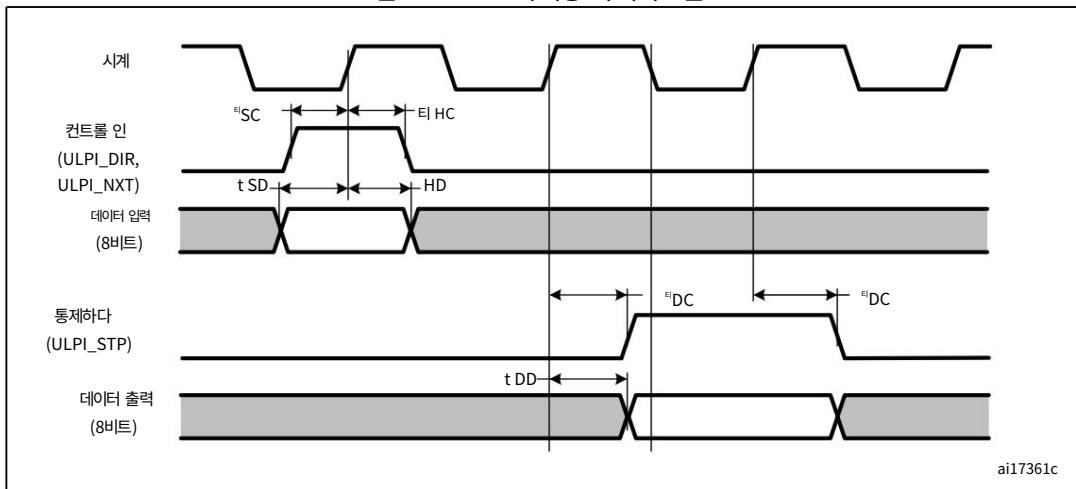
1. 설계상 보장되며 생산 시 테스트되지 않았습니다.

표 62. ULPI 타이밍

매개변수	상징	값(1)		단위
		최소	최대.	
(ULPI_DIR) 설정 시간 제어	tSC	-	2.0	ns
(ULPI_NXT) 설정 시간 제어		-	1.5	
(ULPI_DIR, ULPI_NXT) 유지 시간 제어	tHC	0	-	
설정 시간의 데이터	tSD	-	2.0	
보류 시간의 데이터	tHD	0	-	
제어 출력(ULPI_STP) 설정 시간 및 유지 시간	tDC	-	9.2	
클럭 상승 에지에서 데이터 출력 가능	tDD	-	10.7	

1. VDD = 2.7V ~ 3.6V 및 TA = -40 ~ 85°C.

그림 46. ULPI 타이밍 다이어그램



### 이더넷 특성

달리 지정하지 않는 한, SMI, RMII 및 MII에 대해 표 64, 표 65 및 표 66에 제공된 매개변수는 주변 온도, 표 14에 요약된 fHCLK 주파수 및 표 63에 요약된 VDD 공급 전압 조건에서 수행된 테스트에서 파생됩니다. 다음 구성:

- 출력 속도는 OSPEEDR[y1:y0] = 10으로 설정됩니다.
- 용량성 부하 C = 30pF
- 측정 지점은 CMOS 레벨: 0.5VDD에서 수행됩니다.

입력/출력 특성에 대한 자세한 내용은 [섹션 5.3.16: I/O 포트 특성을 참조하십시오.](#)

표 63. 이더넷 DC 전기적 특성

상정	매개변수	최소(1)	최대(1)	단위
입력 레벨	VDD 이더넷 작동 전압	2.7	3.6	언데

1. 모든 전압은 로컬 접지 전위에서 측정됩니다.

표 64는 SMI(스테이션 관리 인터페이스)에 대한 이더넷 MAC 신호 목록을 제공하고 그림 47은 해당 타이밍 다이어그램을 보여줍니다.

그림 47. 이더넷 SMI 타이밍 다이어그램

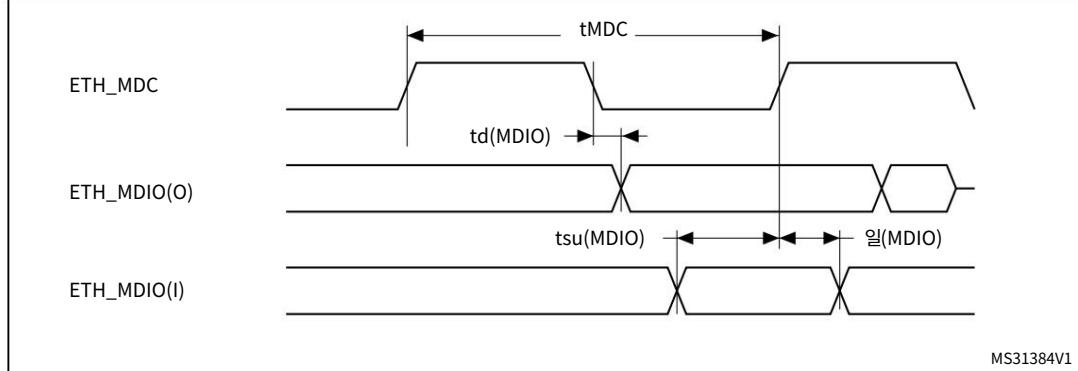


표 64. 동적 특성: SMI용 이더넷 MAC 신호 (1)

상정	매개변수	최소	유형	맥스	단위
tMDC	MDC 사이클 시간(2.38MHz)	411	420	425	ns
	Td(MDIO)	6	10	13	
	tsu(MDIO) 읽기 데이터 설정 시간 th(MDIO)	12	-	-	
	읽기 데이터 보유 시간	0	-	-	

1. 생산 시 테스트되지 않은 특성화 결과를 기반으로 한 데이터입니다.

표 65는 RMII에 대한 이더넷 MAC 신호 목록을 제공하고 그림 48은 해당 타이밍 다이어그램을 보여줍니다.

그림 48. 이더넷 RMII 타이밍 다이어그램

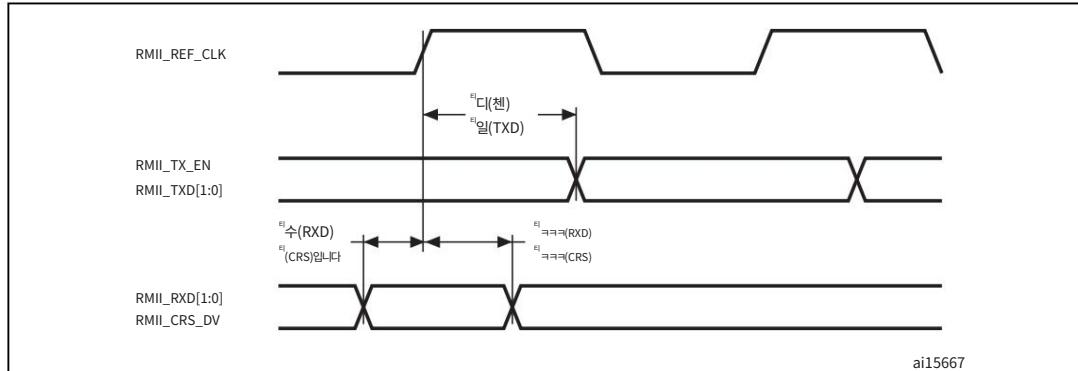


표 65. 동적 특성: RMII용 이더넷 MAC 신호

상징	평가	최소	유형	맥스	단위
tsu(RXD)	수신 데이터 설정 시간	2	-	-	ns
tih(RXD)	수신 데이터 보유 시간	1	-	-	ns
tsu(CRS)	캐리어 감지 설정 시간	0.5	-	-	ns
tih(CRS)	캐리어 감지 유지 시간	2	-	-	ns
td(TXEN)	전송 활성화 유효 지연 시간	8	9.5	11	ns
td(TXD)	데이터 유효 지연 시간 전송	8.5	10	11.5	ns

표 66은 MII에 대한 이더넷 MAC 신호 목록을 제공하고 그림 48은 해당 타이밍 다이어그램을 보여줍니다.

그림 49. 이더넷 MII 타이밍 다이어그램

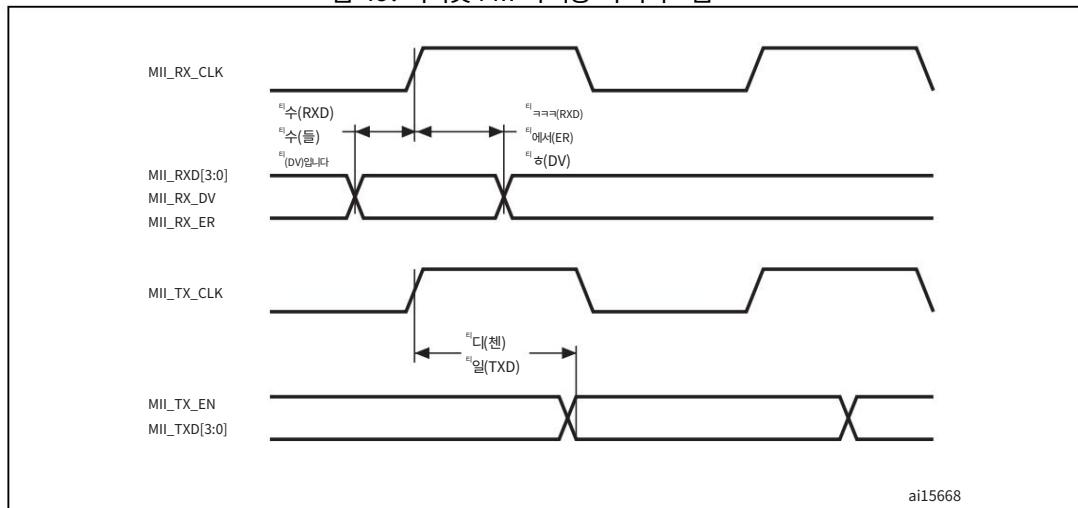


표 66. 동적 특성: MII용 이더넷 MAC 신호(1)

상징	매개변수	최소	유형	맥스	단위
tsu (RXD)	수신 데이터 설정 시간	9	ns	-	ns
tih (RXD)	수신 데이터 보유 시간	10		-	
tsu (DV)	데이터 유효 설정 시간	9		-	
tih (DV)	데이터 유효 보유 시간	8		-	
tsu (ER)	오류 설정 시간	6		-	
tih (ER)	오류 보류 시간	8		-	
td (TXEN)	전송 활성화 유효 지연 시간	0		10	
td (TXD)	데이터 유효 지연 시간 전송	0		10	

1. 생산 시 테스트되지 않은 특성화 결과를 기반으로 한 데이터입니다.

## CAN(컨트롤러 영역 네트워크) 인터페이스

입력/출력 대체 기능 특성(CANTX 및 CANRX)에 대한 자세한 내용은 [섹션 5.3.16: I/O 포트 특성을 참조하십시오.](#)

## 5.3.20 12비트 ADC 특성

달리 지정하지 않는 한, [표 67](#)에 제공된 매개변수는 [표 14](#)에 요약된 주변 온도, fPCLK2 주파수 및 VDDA 공급 전압 조건에서 수행된 테스트에서 파생됩니다.

표 67. ADC 특성

상징	매개변수	정황	최소	유형	최대 단위	
VDDA 전원	공급 장치		1.8(1)	-	3.6	안데
VREF+ 포지티브 기준 전압			1.8(1)(2)(3)	-	VDDA	V
fADC ADC 클록 주파수		VDDA = 1.8(1)(3) ~ 2.4V	0.6	15	18	MHz
		VDDA = 2.4~3.6V (3)	0.6	30	36	MHz
fTRIG(4) 외부 트리거 주파수		fADC = 30MHz, 12비트 분해능	-	-	1764년	kHz
			-	-	17	1/fADC
오직	변환 전압 범위(5)		0 (VSSA 또는 VREF 가 접지에 연결됨)	-	VREF+ V	
RAIN(4) 외부	입력 임피던스	자세한 내용은 <a href="#">방정식 1</a> 을 참조하세요.	-	-	50	~ 씨
RADC(4)(6)	샘플링 스위치 저항		-	-	6	~ 씨
CADC(4)	내부 샘플 및 홀드 커패시터		-	4	-	pF
및(4)	주입 트리거 변환 자연 시간	fADC = 30MHz	-	-	0.100	μs
			-	-	-3(7)	1/fADC
tltr(4)	일반 트리거 변환 대기 시간	fADC = 30MHz	-	-	0.067	μs
			-	-	-2(7)	1/fADC
에스 (4) E	샘플링 시간	fADC = 30MHz	0.100	-	16	μs
			삼	-	480	1/fADC
tSTAB(4)	전원 켜기 시간		-	2	삼	μs

표 67. ADC 특성 (계속)

상징	매개변수	정황	최소	유형	최대 단위	
tCONV(4)	총 변환 시간(샘플링 시간 포함)	fADC = 30MHz 12비트 분해능	0.50	-	16.40	μs
		fADC = 30MHz 10비트 분해능	0.43	-	16.34	μs
		fADC = 30MHz 8비트 분해능	0.37	-	16.27	μs
		fADC = 30MHz 6비트 분해능	0.30	-	16.20	μs
		9 ~ 492( 샘플링을 위한 tS + 연속 근사를 위한 n비트 분해능)				1/fADC
FS (4)	샘플링 속도 (fADC = 30MHz, tS = 3 ADC 주기)	12비트 분해능 단일 ADC	-	-	2	msps
		12비트 분해능 인터리브 듀얼 ADC 모드	-	-	3.75Msps	
		12비트 분해능 인터리브 트리플 ADC 모드	-	-	6	msps
IVREF+(4)	변환 모드에서 ADC VREF DC 전류 소비		-	300	500	μA
IVDDA(4)	변환 모드에서 ADC VDDA DC 전류 소비		-	1.6	1.8mA	

1. 장치가 감소된 온도 범위에서 작동하고 다음을 사용하면 VDD/VDDA 최소값 1.7V를 얻을 수 있습니다.  
외부 전원 공급 장치 감시기( [섹션: 내부 재설정 OFF](#) 참조 )

2. VREF+ 와 VDDA 간의 전압 차이를 1.8V 미만으로 유지하는 것이 좋습니다.
3. VDDA -VREF+ < 1.2V.
4. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.
5. VREF+ 는 내부적으로 VDDA 에 연결되고 VREF- 는 내부적으로 VSSA에 연결됩니다 .
6. VDD=1.8V 에 대해 RADC 최대값이 제공되고 VDD=3.3V 에 대해 최소값이 제공됩니다.
7. 외부 트리거의 경우 표 67에 지정된 지연 시간에 1/fPCLK2 의 지연을 추가해야 합니다 .

#### 방정식 1: RAIN 최대 공식

$$비 = \frac{(k 0.5 - )}{N^{+2}} - RADC$$

fADC × ADC × ln( 2 )

위의 공식 ([식 1](#))은 LSB의 1/4 미만 오류에 허용되는 최대 외부 임피던스를 결정하는 데 사용됩니다. N = 12(12비트 분해능 기준)이고 k는 ADC\_SMPR1 레지스터에 정의된 샘플링 기간 수입니다.

표 68. fADC = 30MHz 에서의 ADC 정확도 (1)

상정	매개변수	시험 조건	유형	맥스(2)	단위
ET 조정되지 않은 총 오류	$f_{PCLK2} = 60MHz$ , $f_{ADC} = 30MHz$ , RAIN < 10kΩ, VDDA = 1.8(3) ~ 3.6V		±2	±5	LSB
EO 오프셋 오류			±1.5	±2.5	
EG 개인 오류			±1.5	±3	
ED 미분 선형성 오류			±1	±2	
EL 적분 선형성 오류			±1.5	±3	

1. 제한된 VDD, 주파수 및 온도 범위에서 더 나은 성능을 얻을 수 있습니다.

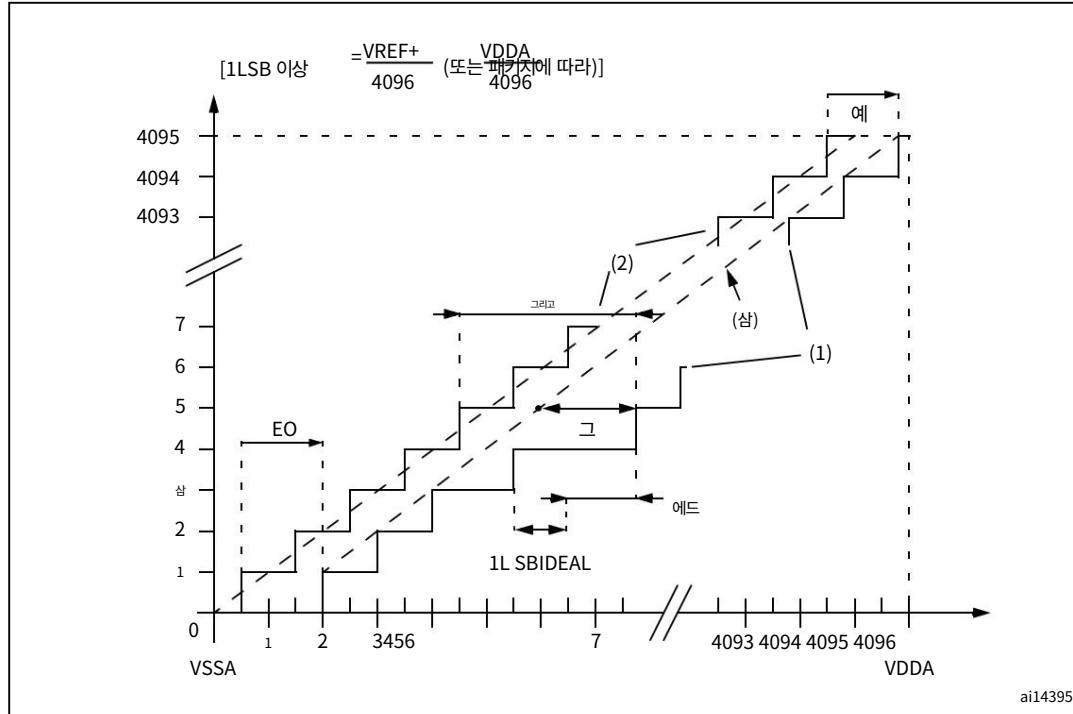
2. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.

3. 장치가 감소된 온도 범위에서 작동하고 외부 전원 공급 장치 감시 장치를 사용하면 VDD/VDDA 최소값 1.7V가 얻어집니다( [섹션: 내부 재설정 OFF 참조](#)).

**메모:** ADC 정확도 대 음의 주입 전류: 아날로그 입력 핀에 음의 전류를 주입하는 것은 피해야 합니다. 이렇게 하면 다른 아날로그 입력에서 수행되는 변환의 정확도가 크게 떨어지기 때문입니다. 잠재적으로 음전류를 주입할 수 있는 쇼트키 다이오드(접지 핀)를 아날로그 핀에 추가하는 것이 좋습니다.

[섹션 5.3.16](#) 의 IINJ(PIN) 및 ΣIINJ(PIN)에 대해 지정된 제한 내의 양의 주입 전류는 ADC 정확도에 영향을 미치지 않습니다.

그림 50. ADC 정확도 특성



1. [표 68도 참조하십시오.](#)

2. 실제 전달 곡선의 예.

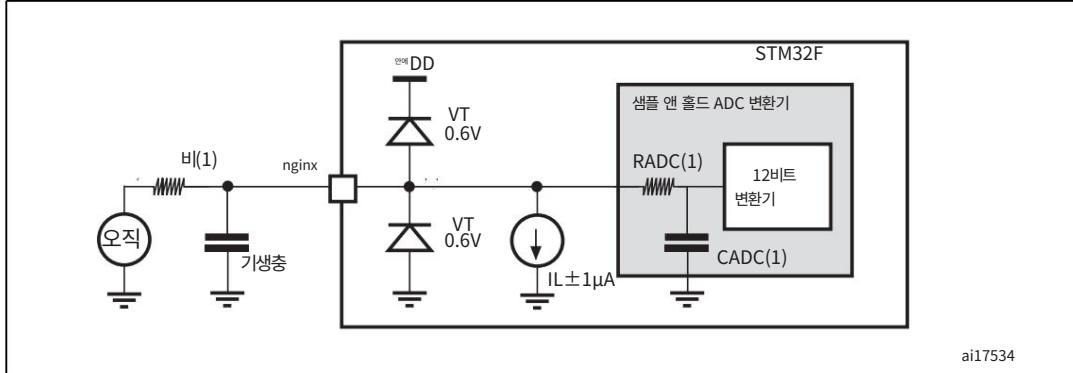
3. 이상적인 전달 곡선.

4. 종점 상관선.

5. ET = 조정되지 않은 총 오류: 실제 전달 곡선과 이상적인 전달 곡선 사이의 최대 편차.  
EO = 오프셋 오류: 첫 번째 실제 전환과 첫 번째 이상적인 전환 간의 편차입니다.

EG = 개인 오류: 마지막 이상적인 전환과 마지막 실제 전환 사이의 편차입니다.  
 ED = 미분 선형성 오류: 실제 단계와 이상적인 단계 사이의 최대 편차.  
 EL = 적분 선형성 오류: 실제 전환과 끝점 상관 선 사이의 최대 편차입니다.

그림 51. ADC를 사용한 일반적인 연결 다이어그램

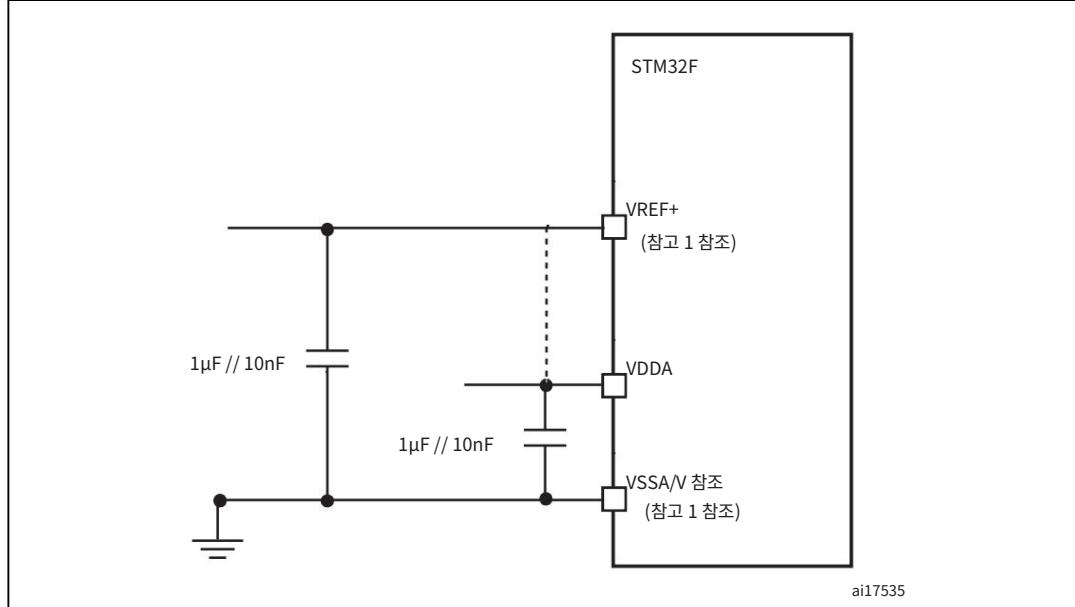


1. RAIN, RADC 및 CADC 값은 [표 67](#)을 참조하십시오.
2. Cparasitic은 PCB의 정전 용량(납땜 및 PCB 레이아웃 품질에 따라 다름)에 패드 정전 용량(약 5pF)을 더한 값을 나타냅니다. Cparasitic 값이 높으면 변환 정확도가 저하됩니다. 이 문제를 해결하려면 fADC를 줄여야 합니다.

### 일반 PCB 설계 지침

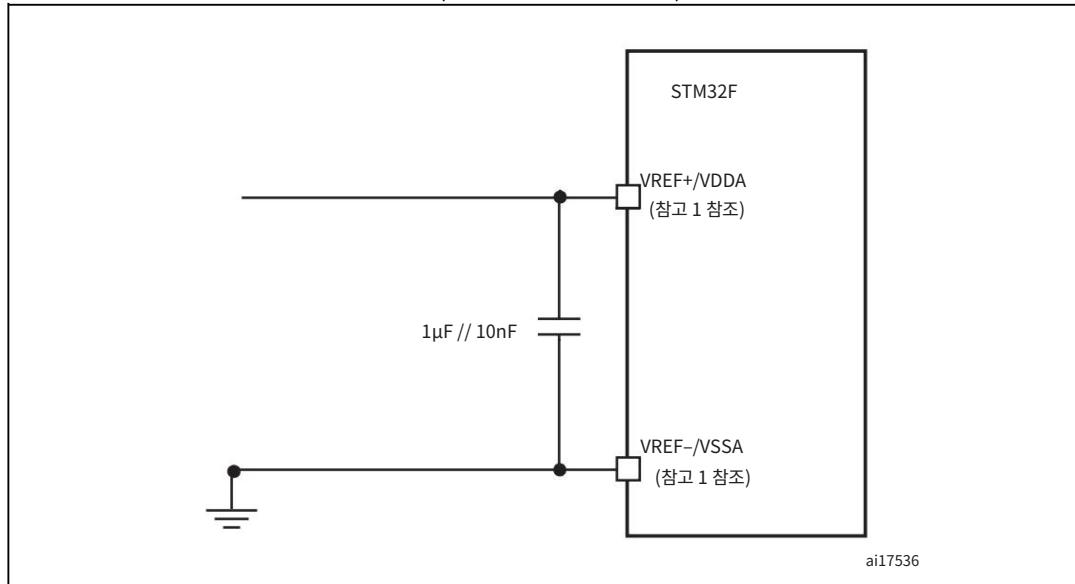
VREF+가 VDDA에 연결되었는지 여부에 따라 [그림 52](#) 또는 [그림 53](#)에 표시된 대로 전원 공급 장치 분리를 수행해야 합니다. 10nF 커패시터는 세라믹(좋은 품질)이어야 합니다. 가능한 한 칩에 가깝게 배치해야 합니다.

그림 52. 전원 공급 장치 및 기준 디커플링 (VDDA에 연결되지 않은 VREF+)



1. VREF+ 및 VREF- 입력은 모두 UFBGA176에서 사용할 수 있습니다. VREF+ 는 LQFP100, LQFP144 및 LQFP176에서도 사용 할 수 있습니다. VREF+ 및 VREF-를 사용할 수 없는 경우 내부적으로 VDDA 및 VSSA에 연결됩니다.

그림 53. 전원 공급 장치 및 기준 디커플링 (VDDA에 연결된 VREF+)



1. VREF+ 및 VREF- 입력은 모두 UFBGA176에서 사용할 수 있습니다. VREF+ 는 LQFP100, LQFP144 및 LQFP176에서도 사용 할 수 있습니다. VREF+ 및 VREF-를 사용할 수 없는 경우 내부적으로 VDDA 및 VSSA에 연결됩니다.

### 5.3.21 온도 센서 특성

표 69. 온도 센서 특성

상징	매개변수	최소	유형	최대	단위
Tel(1)	온도에 따른 VSENSE 선형성	-	±1	±2	°C
Avg_Slope(1) 평균	경사	-	2.5		mV/°C
V25(1)	25°C에서의 전압	-	0.76		안에
tSTART(2)	시작 시간	-	6	10	μs
TS_temp(3)(2)	온도를 읽을 때 ADC 샘플링 시간(1°C 정확도) 10		-	-	μs

1. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.
2. 설계상 보장되며 생산 시 테스트되지 않았습니다.
3. 애플리케이션에서 여러 번의 반복을 통해 최단 샘플링 시간을 결정할 수 있습니다.

표 70. 온도 센서 교정 값

상징	매개변수	메모리 주소
TS_CAL1	30°C 온도에서 획득된 TS ADC 원시 데이터, VDDA=3.3 V 0x1FFF 7A2C - 0x1FFF 7A2D	
TS_CAL2	TS ADC 원시 데이터는 110°C 온도에서 획득됨, VDDA=3.3 V 0x1FFF 7A2E - 0x1FFF 7A2F	

### 5.3.22 VBAT 모니터링 특성

표 71. VBAT 모니터링 특성

상징	매개변수	최소	유형	맥스	단위
극치	VBAT 용 저항 브리지	-	50	-	KΩ
큐	VBAT 측정 비율	-	2	-	
입니다(1)	Q에 오류가 있습니다.	-1	-	+1	%
TS_vbat(2)(2)	VBAT 1mV 정확도를 읽을 때 ADC 샘플링 시간	5	-	-	μs

1. 설계상 보장되며 생산 시 테스트되지 않았습니다.
2. 애플리케이션에서 여러 번의 반복을 통해 최단 샘플링 시간을 결정할 수 있습니다.

## 5.3.23 내장 기준 전압

표 72에 주어진 매개변수는 표 14에 요약된 주변 온도 및 VDD 공급 전압 조건에서 수행된 테스트에서 파생되었습니다.

표 72. 내장된 내부 기준 전압

상징	매개변수	정황	최소	유형	최대	단위	
VREFINT 내부	기준 전압	-40°C < TA < +105°C	1.18	1.21	1.24		안에
TS_vrefint(1)	내부 기준 전압을 읽을 때 ADC 샘플링 시간			10	-	-	μs
VRERINT_s(2)	온도 범위에 걸쳐 확산되는 내부 기준 전압	VDD = 3V	-	삼	5	mV	
TCoeff(2) 온도	계수 tSTART(2) 시작 시간		-30	50			ppm/°C
			-6		10		μs

1. 애플리케이션에서 여러 번의 반복을 통해 최단 샘플링 시간을 결정할 수 있습니다.

2. 설계상 보장되며 생산 시 테스트되지 않았습니다.

표 73. 내부 기준 전압 교정 값

상징	매개변수	메모리 주소
VREFIN_CAL	30°C, VDDA=3.3V 의 온도에서 수집된 원시 데이터	0x1FFF 7A2A - 0x1FFF 7A2B

## 5.3.24 DAC 전기적 특성

표 74. DAC 특성

상징	매개변수	내 취향		맥스	단위	코멘트
VDDA 아날로그 공급 전압	1.8(1)	-	3.6		안에	
VREF+ 기준 공급 전압	1.8(1)	-	3.6		VREF+ ≤ VDDA	
VSSA	지면	0	-	0		안에
로드(2)	버퍼가 있는 저항 부하 에	5 --			kΩ	
RO (2)	버퍼가 꺼진 상태에서 임피 던스 출력	-	-	15	kΩ	버퍼가 OFF일 때, 사이의 최소 저항 부하 1% 정확도를 갖는 DAC_OUT 및 VSS는 1.5MΩ입니다.
CLOAD(2) 용량성 부하		-	-	50	pF	DAC_OUT 핀의 최대 용량성 부하(버퍼 가 ON일 때).
DAC_OUT 최소(2)	버퍼 ON으로 DAC_OUT 전압 낮추 기	0.2	-	-	안에	이는 DAC의 최대 출력 편위를 제공합니 다. VREF+ = 3.6 V에서 12비트 입력 코드 (0x0E0) ~ (0xF1C) 및 VREF+ = 1.8 V에서 (0x1C7) ~ (0xE38)에 해 당합니다.
DAC_OUT 최대(2)	버퍼 ON 시 더 높은 DAC_OUT 전압	-VDDA - 0.2V				

표 74. DAC 특성 (계속)

상징	매개변수	내 취향		맥스	단위	코멘트
DAC_OUT 최소(2)	버퍼를 끄면 DAC_OUT 전압이 낮아집니다.	-	0.5	-	mV	
DAC_OUT 최대(2)	버퍼가 꺼진 상태에서 더 높은 DAC_OUT 전압	-	VREF+ - 1LSB	V		
IVREF+(4)	대기 모드(대기 모드)에서 DAC DC VREF 전류 소비	-	170	240	$\mu\text{A}$	부하가 없는 경우 입력 DC 소비 측면에서 VREF+ = 3.6V에서 최악의 코드(0x800)
		-	50	75		부하가 없는 경우 VREF+ = 3.6V에서 입력의 DC 소비 측면에서 최악의 코드(0xF1C)
S(4)	대기 모드에서의 DAC DC VDDA 전류 소비(3)	-	280	380	$\mu\text{A}$	로드가 없으면 입력의 중간 코드(0x800)
		-	475	625	$\mu\text{A}$	부하가 없는 경우 VREF+ = 3.6V에서 입력의 DC 소비 측면에서 최악의 코드(0xF1C)
DNL(4)	미분 비선형성 두 가지의 차이점 연속코드-1LSB)	-	-	$\pm 0.5$	LSB	10비트 구성의 DAC에 대해 제공됩니다.
		-	-	$\pm 2$	LSB	12비트 DAC에 대해 제공됨 구성.
INL(4)	적분 비선형성(Code i에서 측정된 값의 차이)	-	-	$\pm 1$	LSB	10비트 DAC에 대해 제공됨 구성.
	그리고 코드 i의 값은 코드 0 사이에 그려진 선 및 마지막 코드 1023)	-	-	$\pm 4$	LSB	12비트 DAC에 대해 제공됨 구성.
오프셋(4)	오프셋 오류 (코드(0x800)에서의 측정값 과 이상값의 차이) $= \text{VREF+}/2$	-	-	$\pm 10$	mV	12비트 DAC에 대해 제공됨 구성
		-	-	$\pm 3$	LSB	10비트 DAC에 대해 주어진다. VREF+ = 3.6V
		-	-	$\pm 12$	LSB	12비트 DAC에 대해 주어진다. VREF+ = 3.6V
개인 오류(4)	이득 오류	-	-	$\pm 0.5$	%	12비트 DAC에 대해 제공됨 구성
t정산(4)	정착 시간(전체 범위: 최저값과 최저값 사이의 10비트 입력 코드 전환용) 가장 높은 입력 코드 DAC_OUT이 최종 값 $\pm 4$ LSB에 도달함	-	삼	6	$\mu\text{s}$	클라우드 $\leq 50\text{pF}$ , RLOAD $\geq 5\text{k}\Omega$
THD(4)	총 고조파 왜곡 버퍼 ON	-	-	-	데시벨	클라우드 $\leq 50\text{pF}$ , RLOAD $\geq 5\text{k}\Omega$

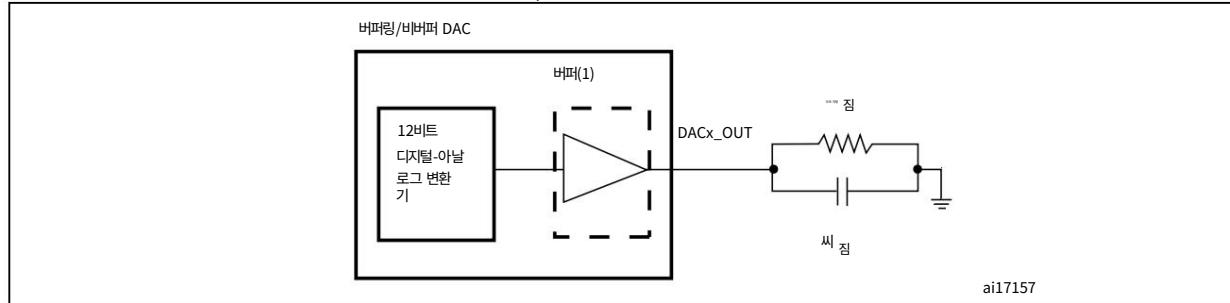
표 74. DAC 특성 (계속)

상징	매개변수	내 취향		맥스	단위	코멘트
업데이트 속도(2)	올바른 최대 주파수 입력 코드에 작은 변화가 있을 때 DAC_OUT 변경(코드 i에서 i+1LSB 까지)	-	-	1	MS/초	클라우드 $\leq 50\text{pF}$ , $\text{RLOAD} \geq 5\text{k}\Omega$
tWAKEUP(4)	꺼진 상태에서 깨어나는 시간 (ENx 비트를 설정하는 것은 DAC 제어 레지스터)	-	6.5	10	$\mu\text{s}$	$\text{CLOAD} \geq 50\text{pF}$ , $\text{RLOAD} \geq 5\text{k}\Omega$ 가능한 가장 낮은 코드와 가장 높은 코드 사이의 입력 코드입니다.
PSRR+ (2)	전원 공급 거부율(VDDA 대비) (정적 DC 측정)	-	-67	-40	dBR	LOAD 없음, $\text{CLOAD} = 50\text{pF}$

1. 장치가 감소된 온도 범위에서 작동하고 다음을 사용하면 VDD/VDDA 최소값 1.7V를 얻을 수 있습니다.  
외부 전원 공급 장치 감시기( 섹션: 내부 재설정 OFF 참조 )

2. 설계상 보장되며 생산 시 테스트되지 않았습니다.
3. 대기 모드는 DAC가 안정적인 출력 레벨을 유지하여 동적 신호가 발생하지 않도록 하는 상태에 해당합니다.  
소비가 발생합니다.
4. 생산 테스트를 거치지 않고 특성화를 보장합니다.

그림 54. 12비트 버퍼링/비버퍼링 DAC



1. DAC에는 외부 연산 증폭기를 사용하지 않고 출력 임피던스를 줄이고 외부 부하를 직접 구동하는 데 사용할 수 있는 출력 버퍼가 통합되어 있습니다. DAC\_CR 레지스터의 BOFFx 비트를 구성하여 버퍼를 우회할 수 있습니다.

### 5.3.25 FSMC 특성

달리 지정하지 않는 한, FSMC 인터페이스에 대해 표 75 ~ 표 86 에 제공된 매개변수는 다음 구성을 사용하여 표 14 에 요약된 주변 온도, fHCLK 주파수 및 VDD 공급 전압 조건에서 수행된 테스트에서 파생됩니다.

- 출력 속도는 OSPEEDRy[1:0] = 10으로 설정됩니다.
- 용량성 부하 C = 30pF
- 측정 지점은 CMOS 레벨: 0.5VDD에서 수행됩니다.

입력/출력 특성에 대한 자세한 내용은 섹션 [5.3.16: I/O 포트 특성](#)을 참조하십시오 .

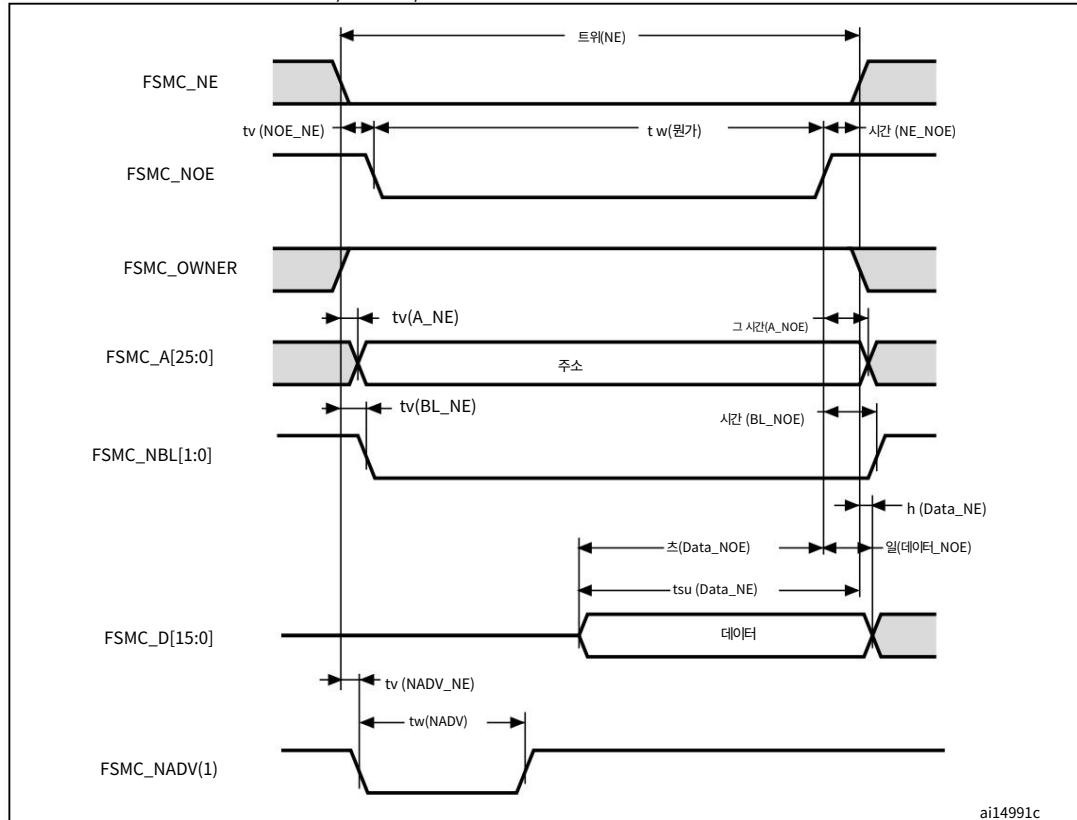
## 비동기식 파형 및 타이밍

그림 55 ~ 그림 58은 비동기 파형을 나타내고 표 75 ~ 표 78은 해당 타이밍을 제공합니다. 이 표에 표시된 결과는 다음 FSMC 구성으로 얻은 것입니다.

- AddressSetupTime = 1
- AddressHoldTime = 0x1
- DataSetupTime = 0x1
- BusTurnAroundDuration = 0x0

모든 타이밍 테이블에서 THCLK는 HCLK 클록 주기입니다.

그림 55. 비동기식 비다중화 SRAM/PSRAM/NOR 읽기 파형



1. 모드 2/B, C, D에만 해당. 모드 1에서는 FSMC\_NADV가 사용되지 않습니다.

표 75. 비동기 비다중화 SRAM/PSRAM/NOR 읽기 타이밍(1/2)

상징	매개변수	최소	맥스	단위
트위(NE)	FSMC_NE 낮은 시간	2THCLK~0.5 2THCLK + 1ns		
tv(NOE_NE)	FSMC_NEx 낮음 ~ FSMC_NOE 낮음	0.5	삼	ns
tw(아무것도)	FSMC_NOE 낮은 시간	2THCLK~2 2THCLK+ 2ns		
th(NE_NOE)	FSMC_NOE 높음 ~ FSMC_NE 높음 유지 시간	0	-	ns
tv(A_NE)	FSMC_NEx 낮음 ~ FSMC_A 유효	-	4.5	ns
째(A_NOE)	FSMC_NOE 높음 이후 주소 유지 시간	4	-	ns

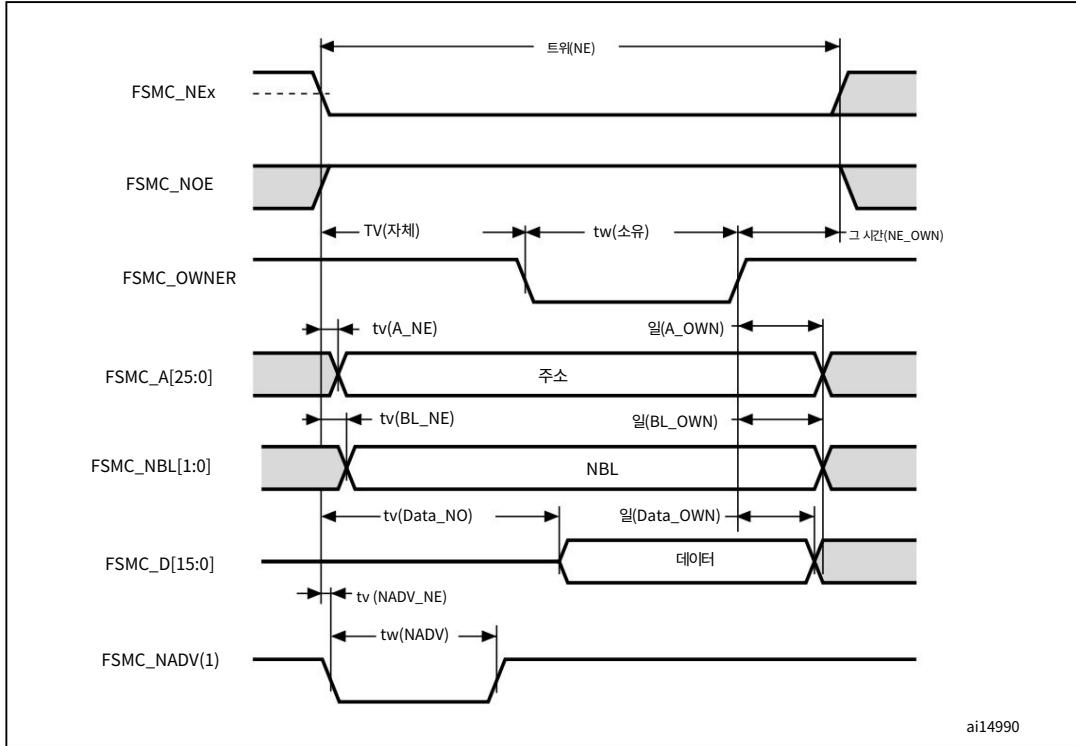
표 75. 비동기 비다중화 SRAM/PSRAM/NOR 읽기 타이밍(1)(2)

tv(BL_NE)	FSMC_NEx 낮음 ~ FSMC_BL 유효	-	1.5	ns
번째(BL_NOE)	FSMC_NOE High 이후 FSMC_BL 유지 시간	0	-	ns
tsu(Data_NE)	Data to FSMC_NEx high setup time	THCLK+4	-	ns
tsu(Data_NOE)	FSMC_NOEx에 대한 데이터 높은 설정 시간	THCLK+4	-	ns
th(Data_NOE)	FSMC_NOE 높음 이후 데이터 유지 시간	0	-	ns
th(Data_NE)	FSMC_NEx 높음 이후 데이터 유지 시간	0	-	ns
tv(NADV_NE)	FSMC_NEx low to FSMC_NADV low	-	2	ns
tw(NADV)	FSMC_NADV 낮은 시간	-	THCLK	ns

1. CL = 30pF.

2. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.

그림 56. 비동기 비다중화 SRAM/PSRAM/NOR 쓰기 파형



1. 모드 2/B, C, D에만 해당. 모드 1에서는 FSMC\_NADV가 사용되지 않습니다.

표 76. 비동기 비다중화 SRAM/PSRAM/NOR 쓰기 타이밍(1)(2)

상징	매개변수	최소	최대 단위	
트위(NE)	FSMC_NE 낮은 시간	3THCLK	3THCLK+ 4ns	
tv(NWE_NE)	FSMC_NEx 낮음 ~ FSMC_NWE 낮음	THCLK-0.5THCLK + 0.5ns		
tw(OWN)	FSMC_OWNER 낮은 시간	THCLK-1	THCLK+ 2ns	
th(NE_NWE)	FSMC_NWE 높음 ~ FSMC_NE 높음 유지 시간	THCLK-1	-	ns
tv(A_NE)	FSMC_NEx 낮음 ~ FSMC_A 유효	-	0	ns

표 76. 비동기 비다중화 SRAM/PSRAM/NOR 쓰기 타이밍(1)(2)

th(A_NWE)	FSMC_NWE 최고 이후 주소 유지 시간	THCLK -2	-	ns
tv(BL_NE) FSMC_NEx low ~ FSMC_BL valid		-	1.5	ns
th(BL_NWE) FSMC_BL 유지 시간 FSMC_NWE high Data ~	THCLK -1	-	-	ns
	FSMC_NEx low ~ Data valid tv(Data_NE)	-	THCLK+ 3ns	
th(Data_NWE) FSMC_NWE 이후 데이터 유지 시간 tv(NADV_NE)	THCLK-1	-	-	ns
FSMC_NEx low FSMC_NADV 로우 tw(NADV) FSMC_NADV	-	2	ns	
로우 시간		-	THCLK+ 0.5ns	

1. CL = 30pF.

2. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.

그림 57. 비동기 다중화된 PSRAM/NOR 읽기 파형

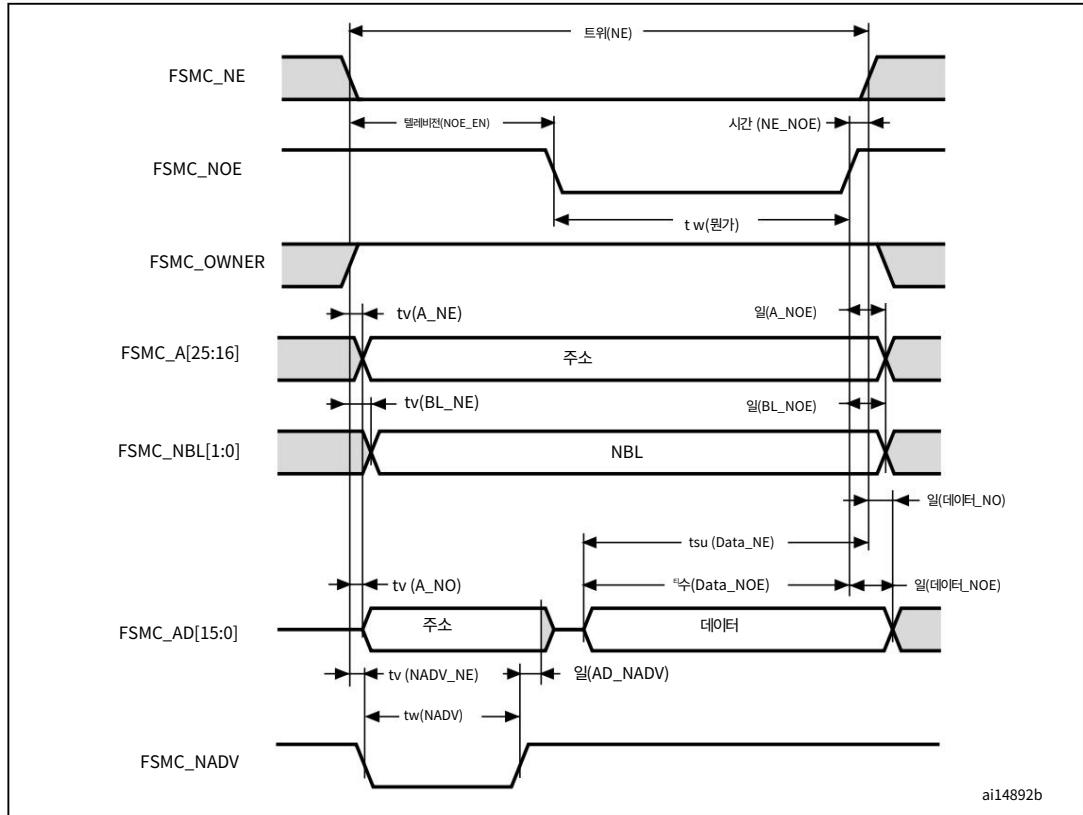


표 77. 비동기 다중화된 PSRAM/NOR 읽기 타이밍(1)(2)

상징	매개변수	최소	맥스	단위
tw(NE) FSMC_NE 로우 시간	3THCLK-1	3THCLK+1	ns	
tv(NOE_NE) FSMC_NEx 로우 ~ FSMC_NOE 로우	2THCLK-0.5	2THCLK+0.5	ns	
tw(NOE) FSMC_NOE 로우 시간	THCLK-1	THCLK+1	ns	
th(NE_NOE) FSMC_NOE 높음 ~ FSMC_NE 높음 유지 시간	0	-	-	ns
tv(A_NE) FSMC_NEx 낮음 ~ FSMC_A 유효	-	삼	-	ns

표 77. 비동기 다중화된 PSRAM/NOR 읽기 타이밍(1)(2) (계속)

		1	2	ns
tv(NADV_NE) FSMC_NEx 로우 ~ FSMC_NADV 로우	tw(NADV)	THCLK -2	THCLK+1	ns
FSMC_NADV 로우 시간				
일(AD_NADV)	FSMC_AD(주소) 이후 유효한 보류 시간 FSMC_NADV 높음	THCLK	-	ns
th(A_NOE) FSMC_NOE high 이후 주소 유지 시간 th(BL_NOE)		THCLK-1	-	ns
FSMC_NOE high 이후 FSMC_BL 시간 tv(BL_NE) FSMC_NEx low		0	-	ns
to FSMC_BL valid tsu(Data_NE) Data to FSMC_NEx high		-	2	ns
setup time tsu(Data_NOE) Data to FSMC_NOE high setup		THCLK+4	-	ns
time th(Data_NE) FSMC_NEx high 이후 데이터 유지 시간		THCLK+4	-	ns
th(Data_NOE) FSMC_NOE high 이후 데이터 유지 시간		0	-	ns
		0	-	ns

1. CL = 30pF.

2. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.

그림 58. 비동기 다중화된 PSRAM/NOR 쓰기 파형

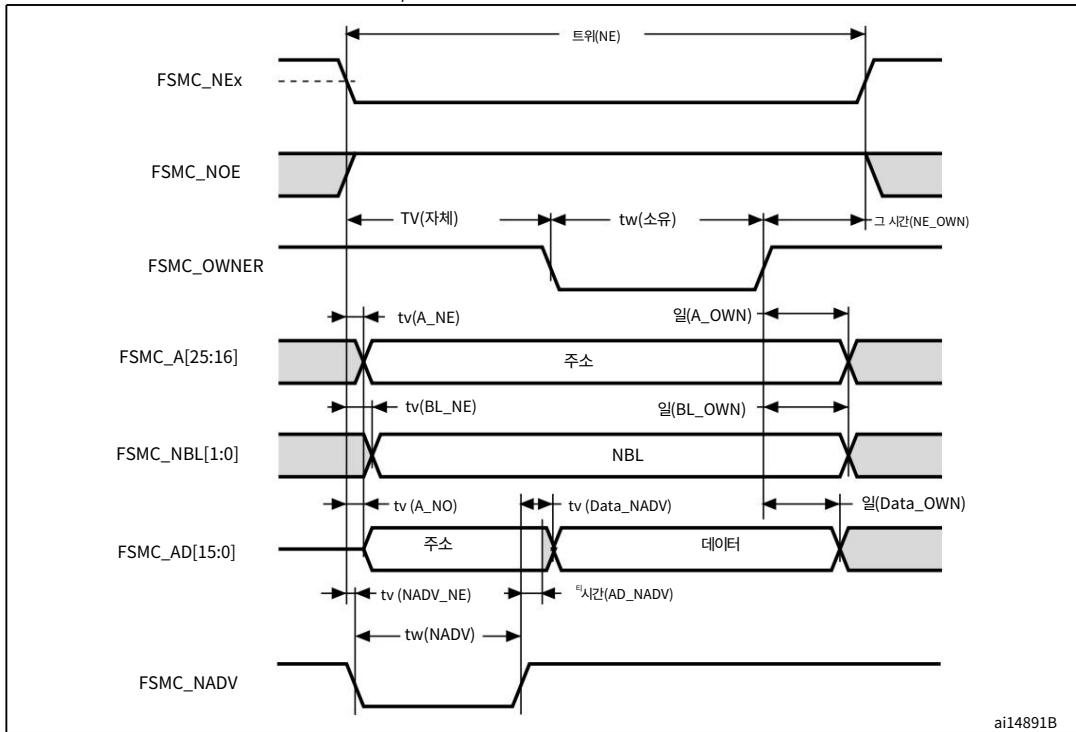


표 78. 비동기 다중화된 PSRAM/NOR 쓰기 타이밍(1)(2)

상징	매개변수	최소	맥스	단위
트위(NE)	FSMC_NE 낮은 시간	4THCLK-0.5	4THCLK+3ns	
tv(NWE_NE) FSMC_NEx 낮음 ~ FSMC_NWE 낮음		THCLK-0.5	THCLK-0.5ns	
tw(OWN) FSMC OWN 낮은 시간		2THCLK-0.5	2THCLK+3	ns

표 78. 비동기 다중화된 PSRAM/NOR 쓰기 타이밍(1)(2)

th(NF_NWF) FSMC_NWF 하이 ~ FSMC_NE 하이 흘드 시간 tv(A_NF)	THCLK	-	ns
FSMC_NEx 로우 ~ FSMC_A 유효한 tv(NADV_NE)	-	0	ns
FSMC_NEx 로우 ~ FSMC_NADV 로우 tw(NADV) FSMC_NADV	1	2	ns
로우 시간	THCLK-2	THCLK+1	ns
일(AD_NADV) FSMC_AD(주소) 이후 유효한 보류 시간 FSMC_NADV 높음)	THCLK-2	-	ns
th(A_NWF) FSMC_NWF high 이후 주소 유지 시간 th(BL_NWE)	THCLK	-	ns
FSMC_NWE high 이후 FSMC_BL 유지 시간 tv(BL_NE) FSMC_NE	THCLK-2	-	ns
low ~ FSMC_BL valid	-	1.5	ns
tv(Data_NADV) FSMC_NADV high to Data valid	-	THCLK- 0.5ns	
th(Data_NWE) FSMC_NWE high 이후 데이터 유지 시간	THCLK	-	ns

1. CL = 30pF.

2. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.

### 동기 파형 및 타이밍

그림 59 ~ 그림 62는 동기 파형을 나타내고 표 80 ~ 표 82는 해당 타이밍을 제공합니다. 이 표에 표시된 결과는 다음 FSMC 구성 통해 얻은 것입니다.

- BurstAccessMode = FSMC\_BurstAccessMode\_Enable;
- 메모리 유형 = FSMC\_MemoryType\_CRAM;
- WriteBurst = FSMC\_WriteBurst\_Enable;
- CLKDivision = 1; (0은 지원되지 않습니다. STM32F40xxx/41xxx 참조 매뉴얼을 참조하세요.)
- NOR 플래시의 경우 DataLatency = 1입니다. PSRAM의 경우 DataLatency = 0

모든 타이밍 테이블에서 THCLK는 HCLK 클록 주기입니다(최대 FSMC\_CLK = 60MHz).

그림 59. 동기식 다중화 NOR/PSRAM 읽기 타이밍

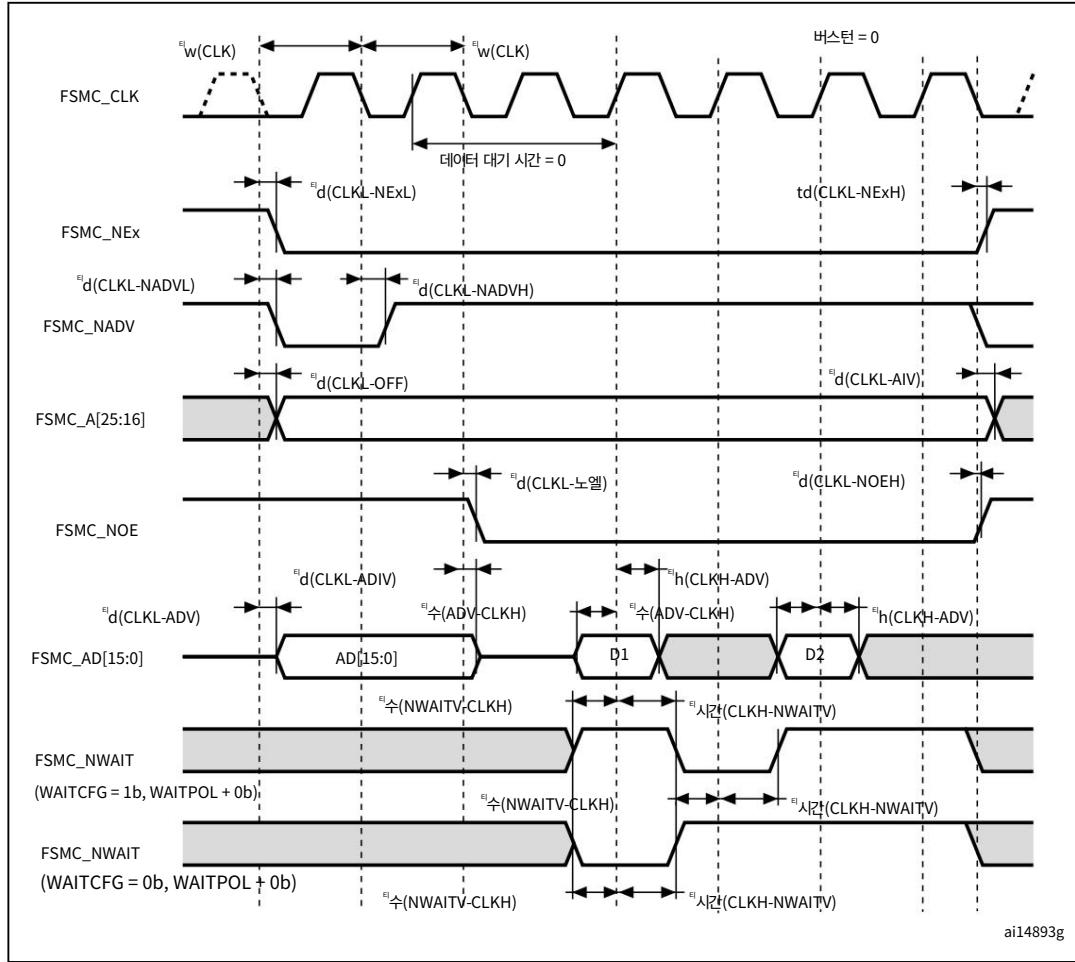


표 79. 동기 다중화 NOR/PSRAM 읽기 타이밍(1)(2)

상징	매개변수	최소	최대 단위
트위(CLK)	FSMC_CLK 기간	2THCLK	- ns
td(CLKL-NExL)	FSMC_CLK 낮음 ~ FSMC_NEx 낮음 ( $x=0..2$ ) td(CLKL-NExH)	-	0 ns
FSMC_CLK 낮음 ~ FSMC_NEx 높음 ( $x=0..2$ ) td(CLKL-NADV)	FSMC_CLK 낮음	2	- ns
음 ~ FSMC_NADV 낮음 td(CLKL-NADVH)	FSMC_CLK 낮음 ~	-	2 ns
FSMC_NADV 높음		2	- ns
td(CLKL-AV)	FSMC_CLK 낮음 ~ FSMC_Ax 유효 ( $x=16..25$ ) td(CLKL-AIV)	-	0 ns
FSMC_CLK 낮음 ~ FSMC_Ax 유효하지 않음 ( $x=16..25$ ) td(CLKL-NOEL)	FSMC_CLK 낮음	0	- ns
낮음 ~ FSMC_NOE 낮음 td(CLKL-NOEH)	FSMC_CLK 낮음 ~	-	0 ns
FSMC_NOE 높음 td(CLKL-ADV)	FSMC_CLK 낮음 ~ FSMC_AD[15:0]	2	- ns
유효 td(CLKL-ADIV)	FSMC_CLK 낮음 ~ FSMC_AD[15:0] 유효하지 않음	-	4.5 ns
tsu(ADV-CLKH)	FSMC_A/D[15:0] FSMC_CLK 높음 이전의 유효한 데이터	0	- ns
		6	- ns

표 79. 동기식 다중화 NOR/PSRAM 읽기 타이밍(1)(2) (계속)

th(CLKH-ADV) FSMC_A/D[15:0] FSMC_CLK 높음 이후 유효한 데이터 tsu(NWAIT-)	0	-	ns
CLKH FSMC_NWAIT FSMC_CLK 높음 이전에 유효 th(CLKH-NWAIT)	4	-	ns
FSMC_NWAIT FSMC_CLK 높음 이후 유효	0	-	ns

1. CL = 30pF.

2. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.

그림 60. 동기식 다중화 PSRAM 쓰기 타이밍

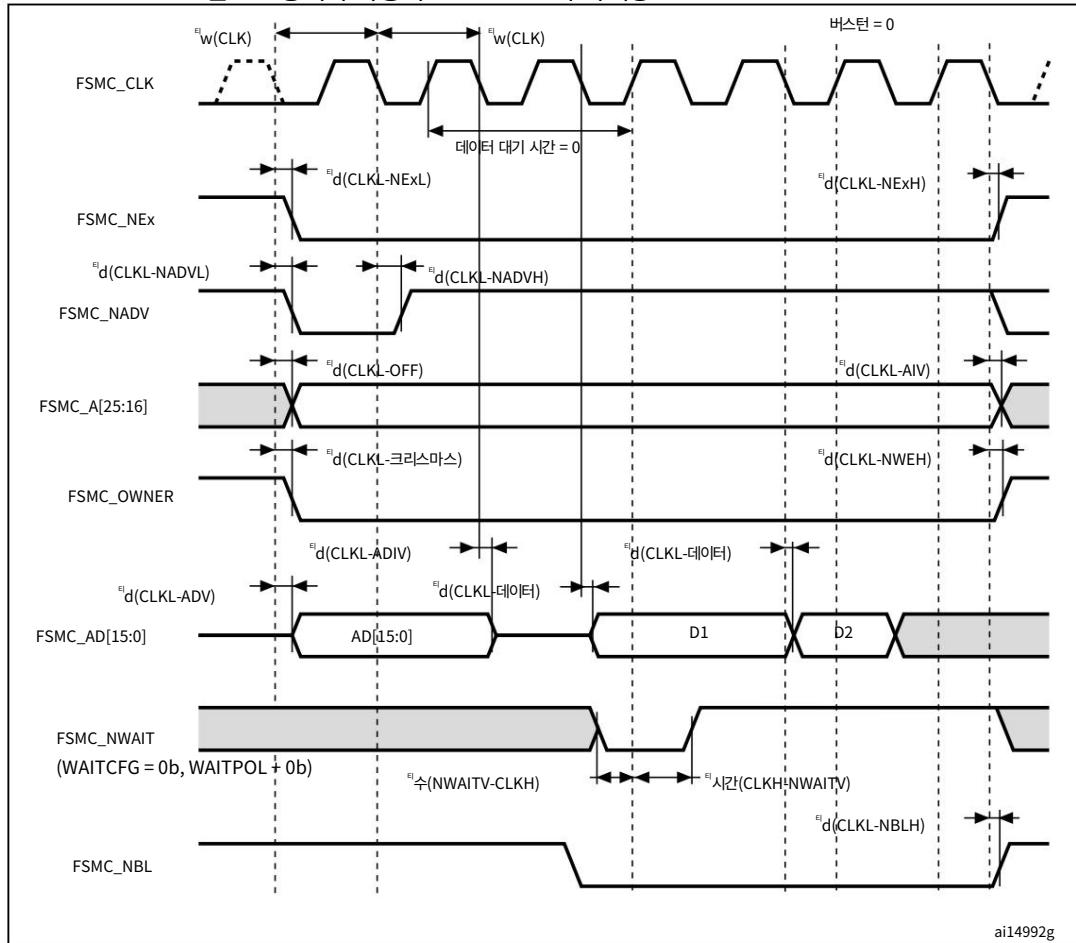


표 80. 동기식 다중화 PSRAM 쓰기 타이밍(1)(2)

상징	매개변수	최소	최대 단위	
트위(CLK)	FSMC_CLK 기간	2THCLK	-	ns
td(CLKL-NExL)	FSMC_CLK 낮음 ~ FSMC_NEx 낮음 ( $x=0..2$ ) td(CLKL-NExH)	-	1	ns
FSMC_CLK 낮음 ~	FSMC_NEx 높음 ( $x=0..2$ ) td(CLKL-NADV) FSMC_CLK 낮음 ~	1	-	ns
음 ~ FSMC_NADV 낮음	td(CLKL-NADVH) FSMC_CLK 낮음 ~	-	0	ns
FSMC_NADV 높음		0	-	ns
td(CLKL-AV)	FSMC_CLK 낮음 ~ FSMC_Ax 유효( $x=16..25$ )	-	0	ns

표 80. 동기식 다중화 PSRAM 쓰기 타이밍(1)(2)

td(CLKL-AIV)	FSMC_CLK 낮음 ~ FSMC_Ax 유효하지 않음 ( $x=16\cdots$ )	8	-	ns
25) td(CLKL-NWEL)	FSMC_CLK 낮음 ~ FSMC_NWE	-	0.5	ns
낮음 td(CLKL-NWEH)	FSMC_CLK 낮음 ~ FSMC_NWE	0	-	ns
높음 td(CLKL-ADIV)	FSMC_CLK 낮음 ~ FSMC_AD [15:0] 유효	0	-	ns
효하지 않은 td(CLKL-DATA)	FSMC_A/D[15:0] FSMC_CLK 하위	-	삼	ns
td(CLKL-NBLH)	FSMC_CLK 하위에서 FSMC_NBL 상	0	-	ns
위 tsu(NWAIT-CLKH)	FSMC_NWAIT FSMC_CLK 상위 th(CLKH)	4	-	ns
이전에 유효) -NWAIT)	FSMC_CLK 높음 이후 FSMC_NWAIT 유효	0	-	ns

1. CL = 30pF.

2. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.

그림 61. 동기식 비다중화 NOR/PSRAM 읽기 타이밍

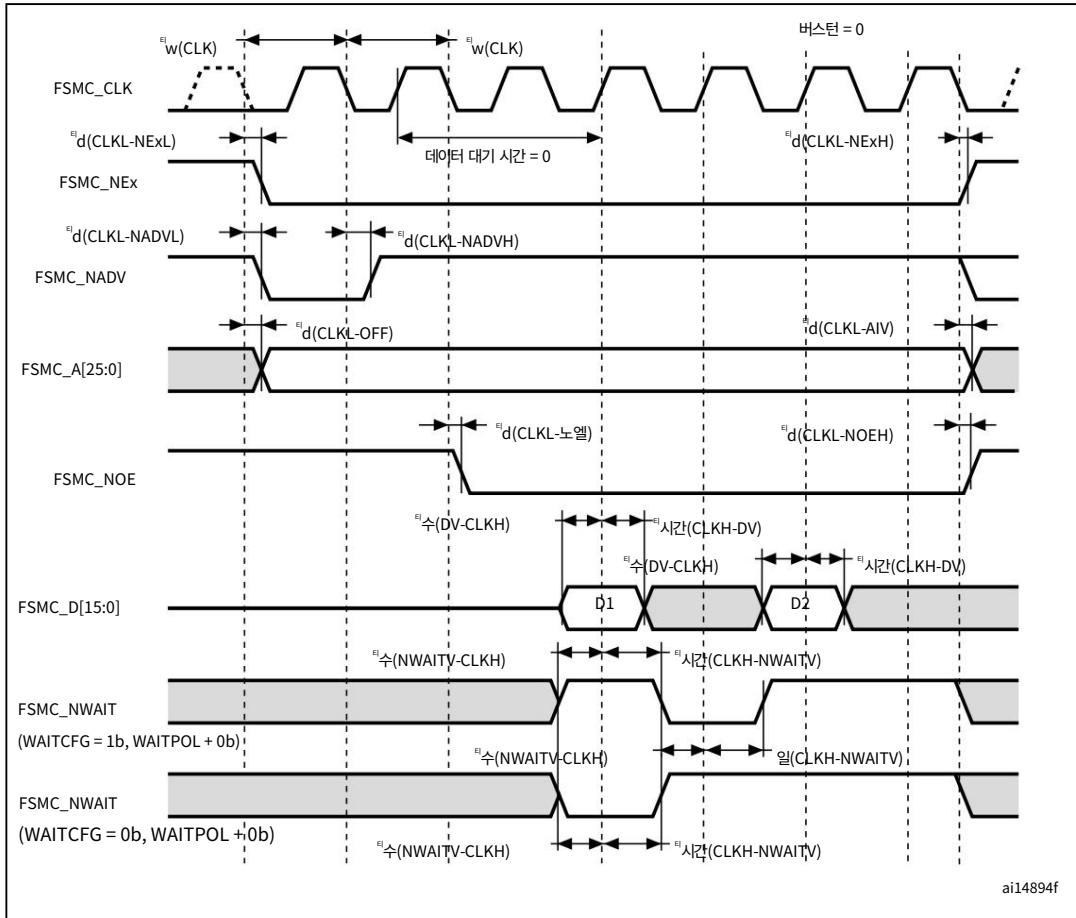


표 81. 동기식 비다중화 NOR/PSRAM 읽기 타이밍(1)(2)

상징	매개변수	최소	최대 단위
	<u>FSMC_CLK 기간</u>	2THCLK -0.5	- ns
tw(CLK) td(CLKL-NExL)	FSMC_CLK 로우 ~ FSMC_NExL 로우(x=0..2)	-	0.5 ns

표 81. 동기식 비다중화 NOR/PSRAM 읽기 타이밍(1)(2) (계속)

td(CLKL-NExH)	FSMC_CLK 낮음 ~ FSMC_NEx 높음(x=0…2)	0	-	ns
td(CLKL-NADVl)	FSMC_CLK 낮음 ~ FSMC_NADV 낮음	-	2	ns
td(CLKL-NADVh)	FSMC_CLK 낮음 ~ FSMC_NADV 높음	삼	-	ns
td(CLKL-AV)	FSMC_CLK 낮음 ~ FSMC_Ax 유효(x=16…25)	-	0	ns
td(CLKL-AIV)	FSMC_CLK 낮음 ~ FSMC_Ax 유효하지 않음(x=16…25)	2	-	ns
td(CLKL-NOEL)	FSMC_CLK 낮음 ~	-	0.5	ns
FSMC_NOE 낮음	td(CLKL-NOEH) FSMC_CLK 낮음 ~	1.5	-	ns
전의 유효한	FSMC_NOE 높음 FSMC_D[15:0] FSMC_CLK 높음 이	6	-	ns
데이터	FSMC_D[15:0] FSMC_CLK 높음 이후 유효한 데이터	삼	-	ns
tsu(DV-CLKH)	tsu(CLKH-DV) tsu(NWAIT-CLKH) FSMC_NWAIT	4	-	ns
는 FSMC_CLK 높음 이전에 유효함	tsu(CLKH-NWAIT) FSMC_NWAIT는 FSMC_CLK 높음 이후 유효함	-	-	ns

1. CL = 30pF.

2. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.

그림 62. 동기식 비다중화 PSRAM 쓰기 타이밍

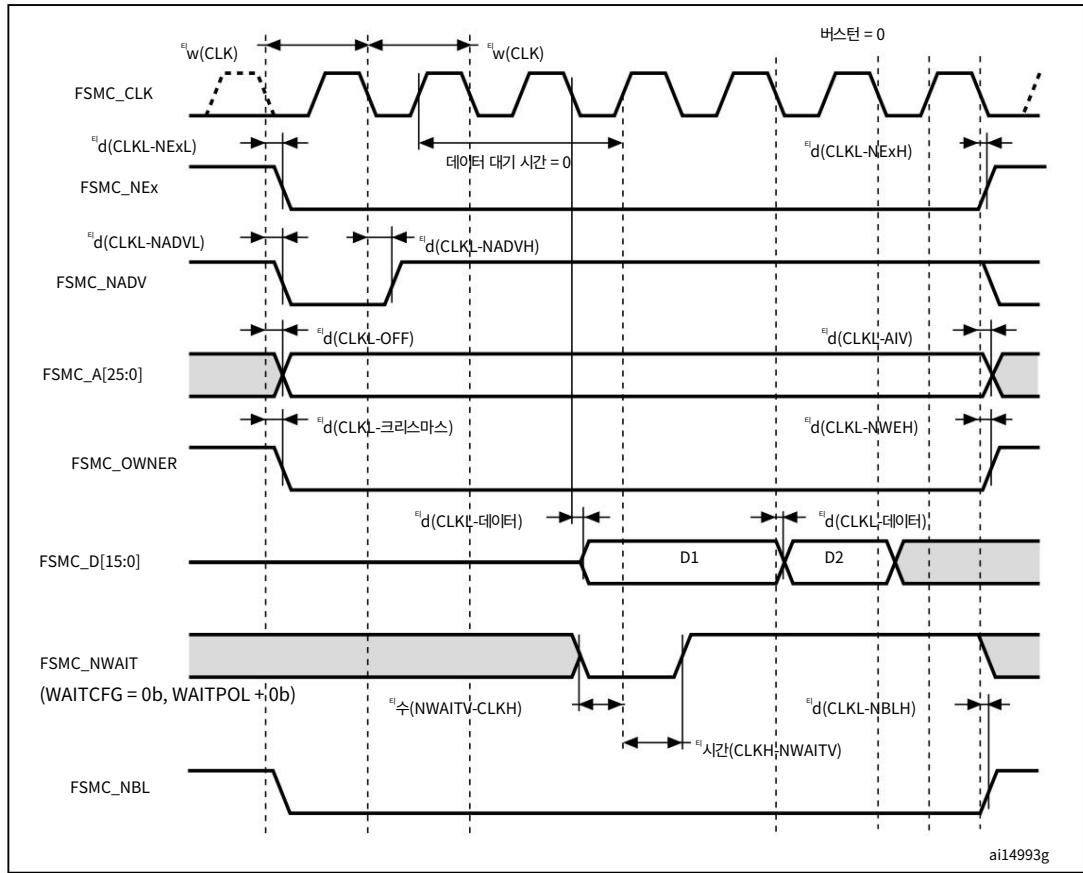


표 82. 동기식 비다중화 PSRAM 쓰기 타이밍(1)(2)

상징	매개변수	최소	최대 단위
트위(CLK)	FSMC_CLK 간격	2THCLK	- ns
td(CLKL-NExL)	FSMC_CLK 높음 ~ FSMC_NExL로우(x=0..2)	-	1 ns
td(CLKL-NExH)	FSMC_CLK 낮음 ~ FSMC_NExH 높음(x=0..2)	1	- ns
td(CLKL-NADVL)	FSMC_CLK 낮음 ~ FSMC_NADV 낮음	-	7 ns
td(CLKL-NADVH)	FSMC_CLK 낮음 ~ FSMC_NADV 높음	6	- ns
td(CLKL-AV)	FSMC_CLK 낮음 ~ FSMC_AX 유효(x=16~25) td(CLKL-AV)	-	0 ns
AIV)	FSMC_CLK 낮음 ~ FSMC_AX 유효하지 않음(x=16~25)	6	- ns
td(CLKL-NWFL)	FSMC_CLK 낮음 ~ FSMC_NWF 낮음	-	1 ns
td(CLKL-NWEH)	FSMC_CLK 낮음 ~ FSMC_NWF 높음	2	- ns
td(CLKL-Data)	FSMC_D[15:0] FSMC_CLK low 이후 유효한 데이터	-	삼 ns
td(CLKL-NBLH)	FSMC_CLK low ~ FSMC_NBL high	삼	- ns
tsu(NWAIT-CLKH)	FSMC_NWAIT는 FSMC_CLK 높음 이전에 유효함	4	- ns
th(CLKH-NWAIT)	FSMC_NWAIT는 FSMC_CLK 높음 이후 유효함	0	- ns

1. CL = 30pF.

2. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.

## PC 카드/CompactFlash 컨트롤러 파형 및 타이밍

그림 63 ~ 그림 68은 동기파형을 나타내고, 표 83 과 표 84 는

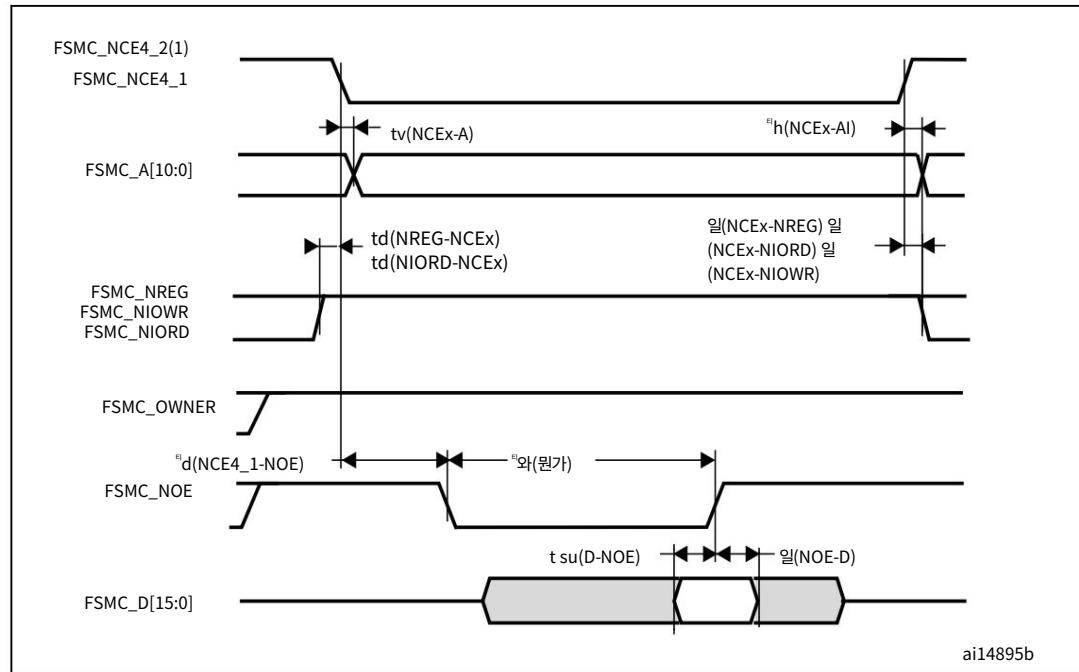
해당 타이밍을 제공합니다. 이 표에 표시된 결과는 다음 FSMC 구성을 통해 얻은 것입니다.

- COM.FSMC\_SetupTime = 0x04;
- COM.FSMC\_WaitSetupTime = 0x07;
- COM.FSMC\_HoldSetupTime = 0x04;
- COM.FSMC\_HiZSetupTime = 0x00;
- ATT.FSMC\_SetupTime = 0x04;
- ATT.FSMC\_WaitSetupTime = 0x07;
- ATT.FSMC\_HoldSetupTime = 0x04;
- ATT.FSMC\_HiZSetupTime = 0x00;
- IO.FSMC\_SetupTime = 0x04;
- IO.FSMC\_WaitSetupTime = 0x07;
- IO.FSMC\_HoldSetupTime = 0x04;
- IO.FSMC\_HiZSetupTime = 0x00;
- TCLRSetupTime = 0;
- TARSetupTime = 0.

모든 타이밍 테이블에서 THCLK 는 HCLK 클록 주기입니다.

그림 63. 공통 메모리 읽기에 대한 PC 카드/CompactFlash 컨트롤러 파형

입장



1. FSMC\_NCE4\_2는 높은 상태로 유지됩니다(8비트 액세스 중에는 비활성화됩니다).

그림 64. 공통 메모리 쓰기를 위한 PC 카드/CompactFlash 컨트롤러 파형

입장

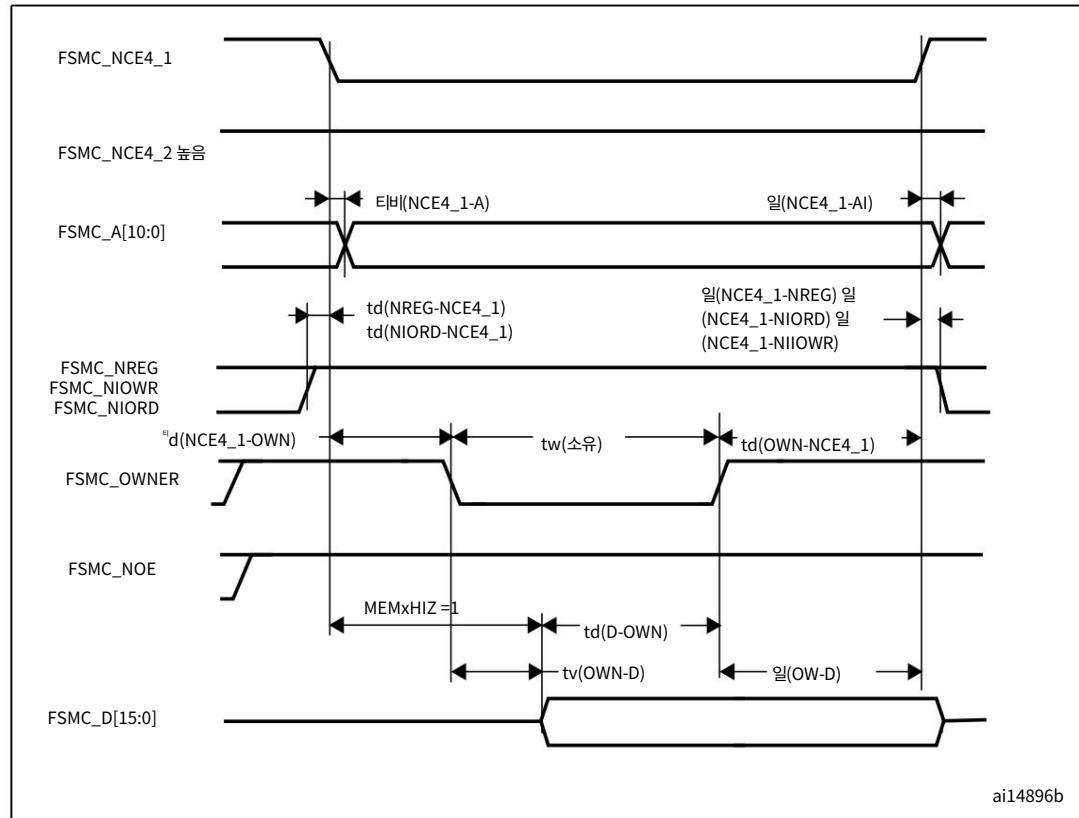
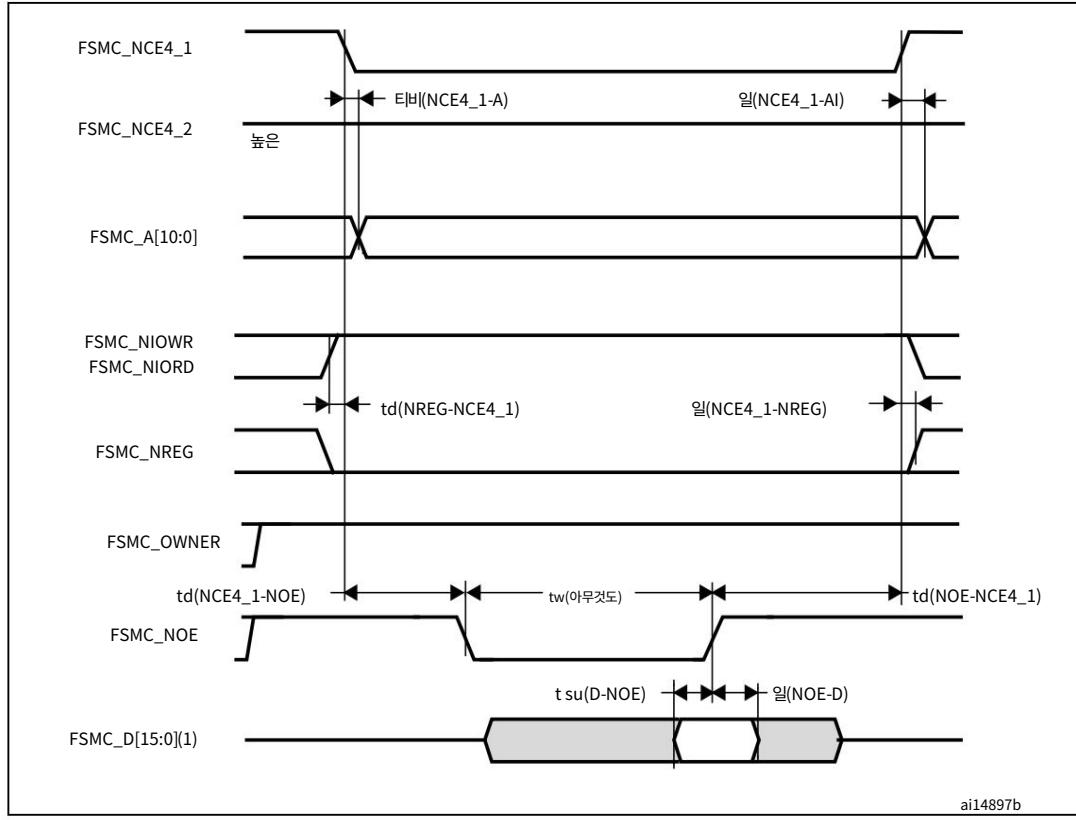


그림 65. 속성 메모리 읽기에 대한 PC 카드/CompactFlash 컨트롤러 파형

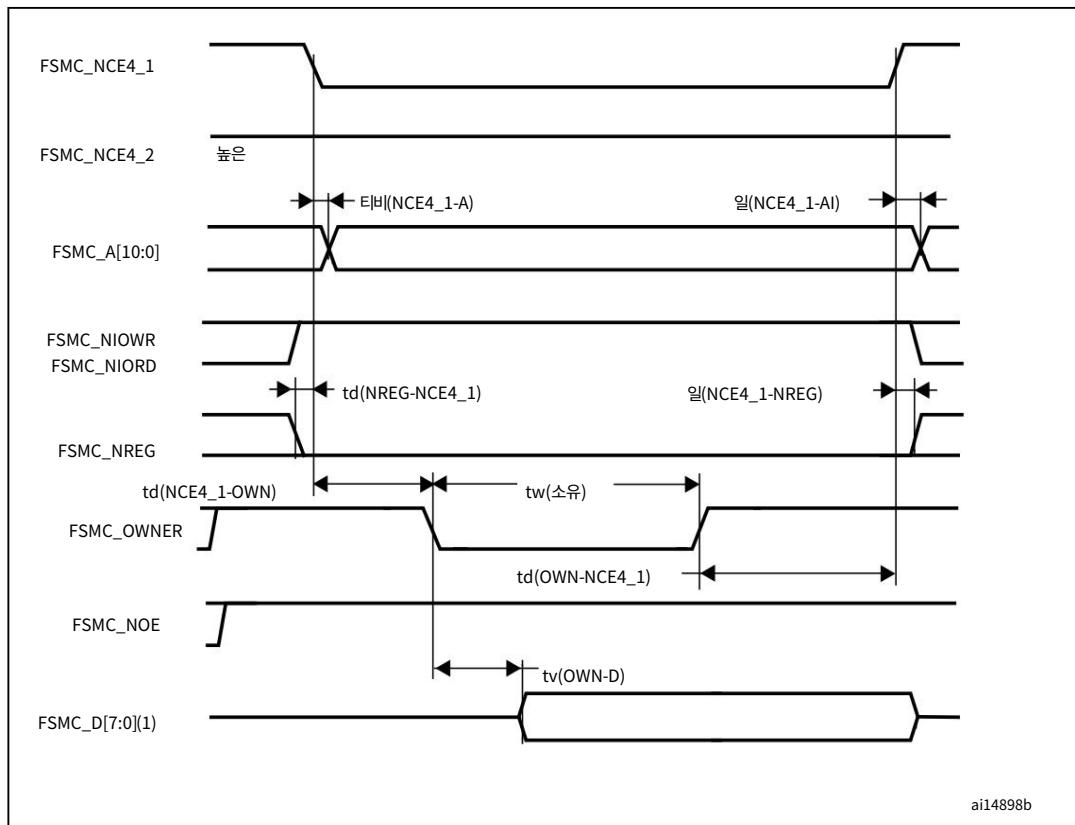
입장



1. 데이터 비트 0~7만 읽어집니다(비트 8~15는 무시됨).

그림 66. 속성 메모리 쓰기에 대한 PC 카드/CompactFlash 컨트롤러 파형

입장



- 데이터 비트 0~7만 구동됩니다(비트 8~15는 Hi-Z로 유지됨).

그림 67. I/O 공간 읽기 액세스를 위한 PC 카드/CompactFlash 컨트롤러 파형

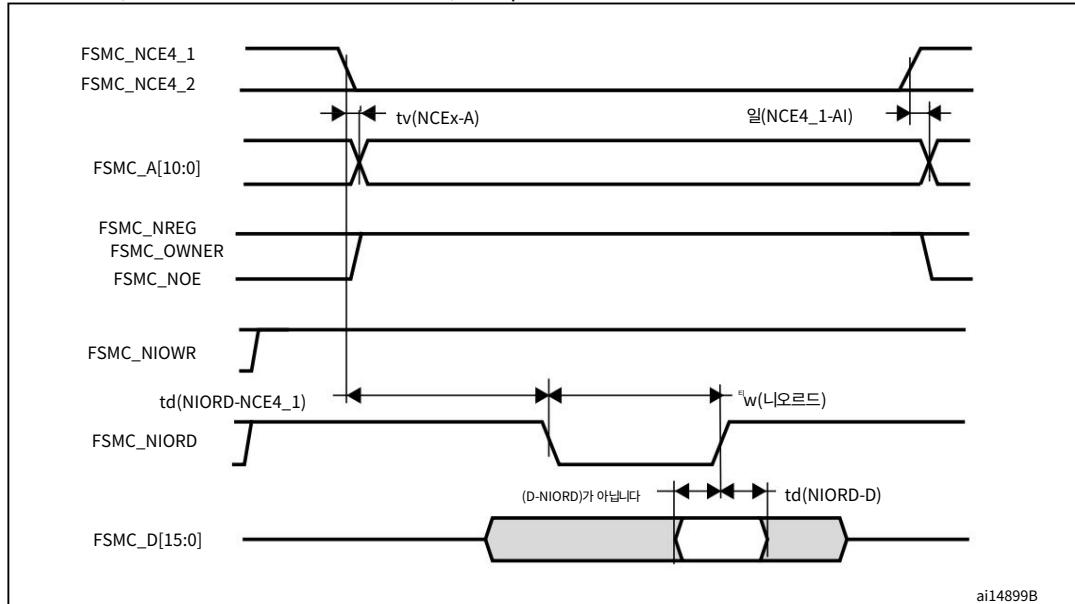
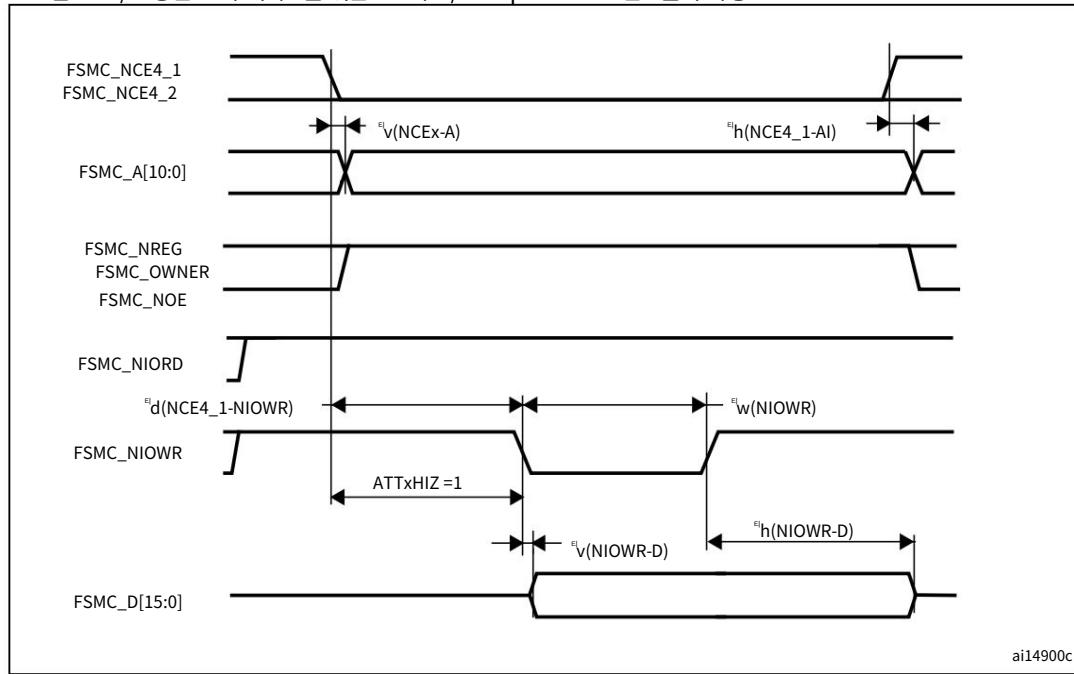


그림 68. I/O 공간 쓰기 액세스를 위한 PC 카드/CompactFlash 컨트롤러 파형

표 83. PC 카드/CF 읽기 및 쓰기 주기의 스위칭 특성  
속성/공용 공간(1)(2)

상징	매개변수	최소	맥스	단위
$t_v(NCEx-A)$	$FSMC\_NCE4_1$ 낮음 ~ $FSMC\_Ay$ 유효	-	0	ns
$t_h(NCEx\_AI)$	$FSMC\_NCE4_1$ 높음 ~ $FSMC\_Ax$ 유효하지 않음	4	-	ns
$td(NREG-NCEx)$	$FSMC\_NCE4_1$ 낮음 ~ $FSMC\_NREG$ 유효	-	3.5	ns
$th(NCEx-NREG)$	$FSMC\_NCE4_1$ 높음 ~ $FSMC\_NREG$ 유효 $td(NCEx-$	THCLK+4	-	ns
$NWE$	$FSMC\_NCE4_1$ 낮음 $FSMC\_NWE$ 낮음 $td(NCEx-NOE)$	-	5THCLK+0.5	ns
$FSMC\_NCE4_1$	$FSMC\_NCE4_1$ 낮음 $FSMC\_NOE$ 낮음	-	5THCLK +0.5	ns
$tw(NOE)$	$FSMC\_NOE$ 낮은 폭	8THCLK-1	8THCLK+1	ns
$td(NOE\_NCEx)$	$FSMC\_NOE$ 높음 ~ $FSMC\_NCE4_1$ 높음	5THCLK+2.5	-	ns
$tsu(D-NOE)$	$FSMC\_D[15:0]$ $FSMC\_NOE$ 높음 이전의 유효한 데이터	4.5	-	ns
$th(NOE-D)$	$FSMC\_NOE$ 높음 ~ $FSMC\_D[15:0]$ 유효하지 않음	삼	-	ns
$tw(NWE)$	$FSMC\_NWE$ 낮은 너비	8THCLK-0.5	8THCLK+ 3	ns
$td(NWE_NCEx)$	$FSMC\_NWE$ 높음 ~ $FSMC\_NCE4_1$ 높음	5THCLK-1	-	ns
$td(NCEx-NWE)$	$FSMC\_NCE4_1$ 낮음 ~ $FSMC\_NWE$ 낮음	-	5THCLK+ 1	ns
$t_v(NWE-D)$	$FSMC\_NWE$ 낮음 ~ $FSMC\_D[15:0]$ 유효 $th(NWE-$	-	0	ns
$D)$	$FSMC\_NWE$ 높음 ~ $FSMC\_D[15:0]$ 유효하지 않음	8THCLK -1	-	ns
$td(D-NWE)$	$FSMC\_D[15:0]$ $FSMC\_NWE$ 최고 이전에 유효함	13THCLK -1	-	ns

1. CL = 30pF.

2. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.

표 84. PC 카드/CF 읽기 및 쓰기 주기의 전환 특성  
I/O 공간(1)(2)

상징	매개변수	최소	맥스	단위
tw(NIOWR) FSMC_NIOWR 낮은 너비		8THCLK -1	-	ns
tv(NIOWR-D) FSMC_NIOWR 낮음 ~ FSMC_D[15:0] 유효 th(NIOWR-		-	5THCLK- 1	ns
D) FSMC_NIOWR 높음 ~ FSMC_D[15:0] 유효하지 않음 td(NCF4_1-		8THCLK- 2	-	ns
NIOWR) FSMC_NCF4_1 낮음 ~ FSMC_NIOWR 유효 th(NCFx-NIORD)		-	5THCLK+ 2.5	ns
FSMC_NCFx 높음 ~ FSMC_NIORD 유효하지 않음 td(NIORD-NCEx)		5THCLK-1.5	-	ns
FSMC_NCFx 낮음 ~ FSMC_NIORD 유효 th(NCFx-NIORD)		-	5THCLK+ 2	ns
FSMC_NCFx 높음 ~ FSMC_NIORD 유효		5THCLK- 1.5	-	ns
tw(NIORD) FSMC_NIORD 낮은 너비 tsu(D-		8THCLK-0.5	-	ns
NIORD) FSMC_D[15:0] FSMC_NIORD 높음 이전에 유효함		9	-	ns
후 유효	FSMC_D[15:0] FSMC_NIORD 상위 td(NIORD-D) 이	0	-	ns

1. CL = 30pF.

2. 특성화를 기반으로 하며 생산 시 테스트되지 않았습니다.

### NAND 컨트롤러 파형 및 타이밍

그림 69 ~ 그림 72는 동기파형을 나타내고, 표 85 와 표 86은

해당 타이밍을 제공합니다. 이 표에 표시된 결과는 다음 FSMC 구성을 통해 얻은 것입니다.

- COM.FSMC\_SetupTime = 0x01;
- COM.FSMC\_WaitSetupTime = 0x03;
- COM.FSMC\_HoldSetupTime = 0x02;
- COM.FSMC\_HiZSetupTime = 0x01;
- ATT.FSMC\_SetupTime = 0x01;
- ATT.FSMC\_WaitSetupTime = 0x03;
- ATT.FSMC\_HoldSetupTime = 0x02;
- ATT.FSMC\_HiZSetupTime = 0x01;
- 은행 = FSMC\_Bank\_NAND;
- MemoryDataWidth = FSMC\_MemoryDataWidth\_16b;
- ECC = FSMC\_ECC\_Enable;
- ECCPageSize = FSMC\_ECCPageSize\_512Bytes;
- TCLRSetupTime = 0;
- TARSetupTime = 0.

모든 타이밍 테이블에서 THCLK 는 HCLK 클록 주기입니다.

그림 69. 읽기 액세스를 위한 NAND 컨트롤러 파형

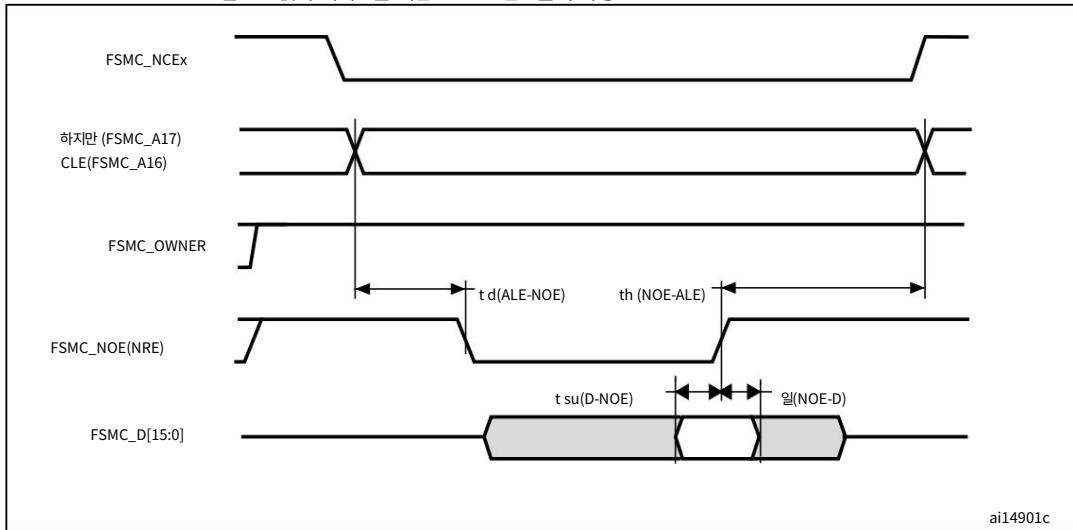


그림 70. 쓰기 액세스를 위한 NAND 컨트롤러 파형

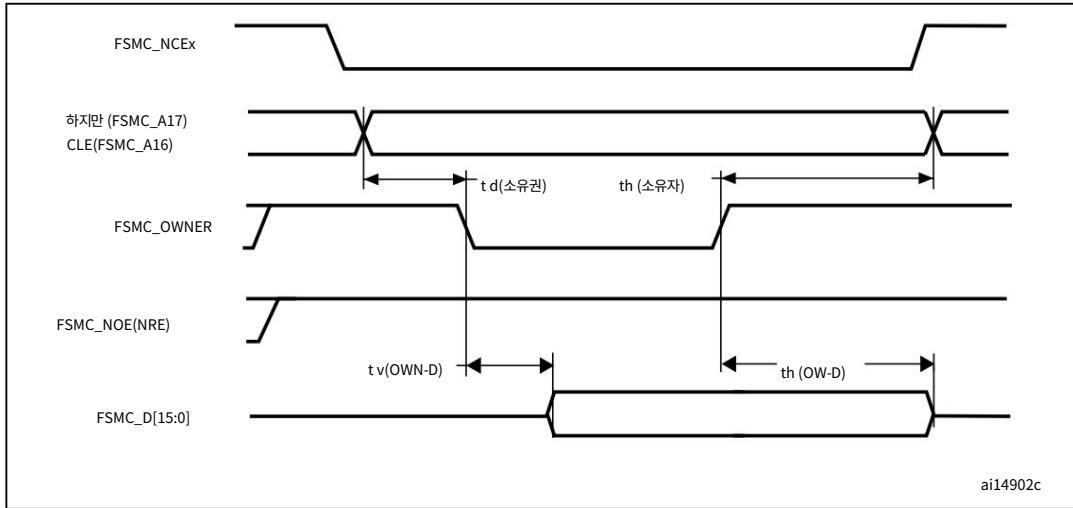


그림 71. 공통 메모리 읽기 액세스를 위한 NAND 컨트롤러 파형

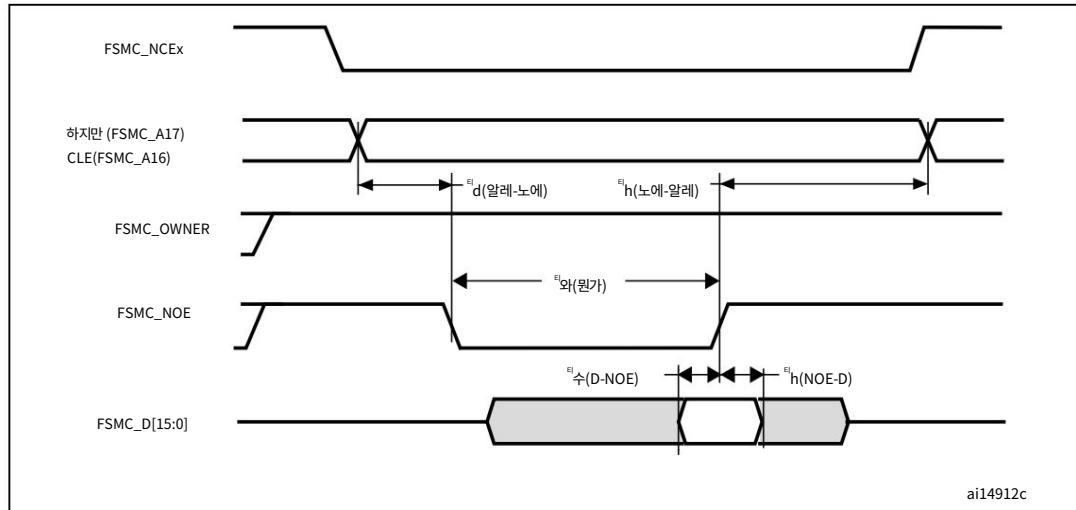


그림 72. 공통 메모리 쓰기 액세스를 위한 NAND 컨트롤러 파형

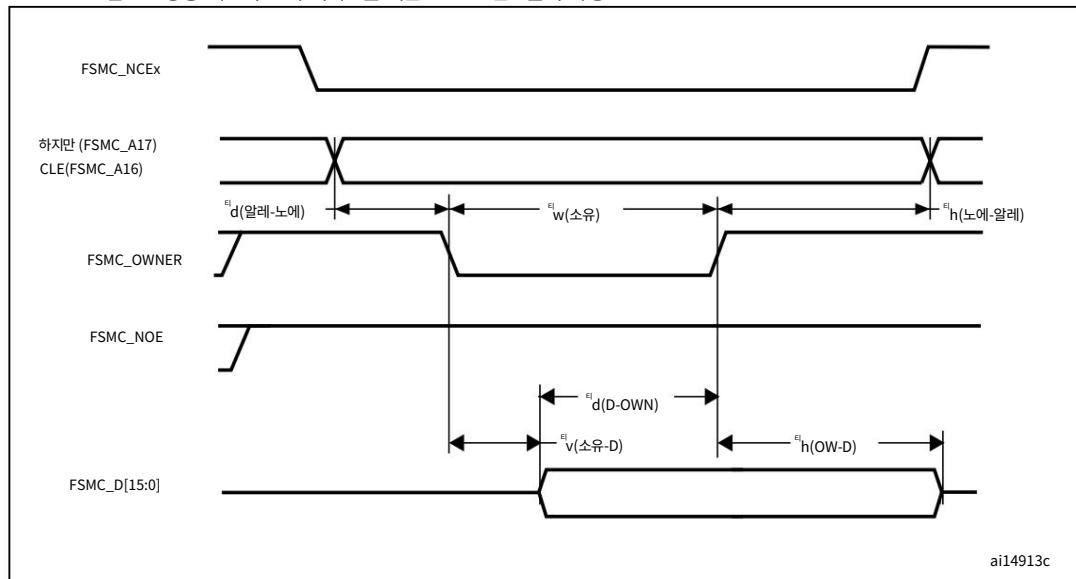


표 85. NAND 플래시 읽기 주기의 스위칭 특성(1)

상징	매개변수	최소	맥스	단위
tw(NOE) FSMC_NOE 낮은 폭		4THCLK-0.5	4THCLK+3	ns
tsu(D-NOE) FSMC_D[15-0] FSMC_NOE high 이전의 유효한 데이터 th(NOE-D)		10	-	ns
D) FSMC_D[15-0] FSMC_NOE high 이후의 유효한 데이터		0	-	ns
td(ALE-NOE) FSMC_ALE는 FSMC_NOE 이전에 유효함 th(NOE-ALE) FSMC_NWE 높음부터 FSMC_ALE는 유효하지 않음		-	3THCLK	ns
		3THCLK-2	-	ns

1. CL = 30pF.

표 86. NAND 플래시 쓰기 주기의 스위칭 특성(1)

상징	매개변수	최소	맥스	단위
tw(NWE) FSMC_NWE 낮은 너비 tv(NWE-D)	4THCLK-1 4THCLK+ 3ns	-	-	
FSMC_NWE 낮음 ~ FSMC_D[15-0] 유효 th(NWE-D) FSMC_NWE 높음 ~	-	0	ns	
FSMC_D[15-0] 유효하지 않음	3THCLK -2	-	-	ns
td(ALE-) FSMC_D[15-0] FSMC_NWE 상위 이전에 유효 5THCLK-3 td(D-NWE)	-	-	-	ns
NWE) FSMC_ALE FSMC_NWE 하위 이전에 유효 th (NWE-ALE)	-	3THCLK	ns	
FSMC_NWE 상위 FSMC_ALE 무효	3THCLK-2	-	-	ns

1. CL = 30pF.

### 5.3.26 카메라 인터페이스(DCMI) 타이밍 사양

달리 지정하지 않는 한, DCMI에 대해 표 87에 제공된 매개변수는 다음 구성을 사용하여 표 13에 요약 된 주변 온도, fHCLK 주파수 및 VDD 공급 전압에서 수행된 테스트에서 파생됩니다.

- PCK 극성: 하강
- VSYNC 및 HSYNC 극성: 높음
- 데이터 형식: 14비트

그림 73. DCMI 타이밍 다이어그램

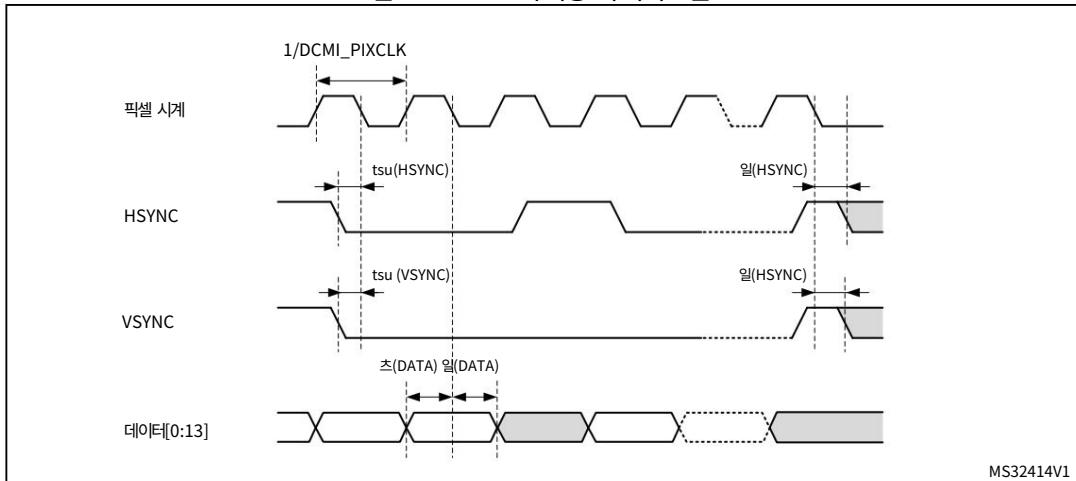


표 87. DCMI 특성(1)

상징	매개변수	최소	맥스	단위
	주파수 비율 DCMI_PIXCLK/fHCLK	-	0.4	
DCMI_PIXCLK 픽셀 클록 입력	-	54	MHz	
디피셀	픽셀 클록 입력 듀티 사이클	30	70	%

표 87. DCMI 특성(1) (계속)

상징	매개변수	최소	맥스	단위
tsu(DATA)	데이터 입력 설정 시간	2.5	-	ns
일(데이터)	데이터 보유 시간	1	-	
tsu(HSYNC), tsu (VSYNC)	HSYNC/VSYNC 입력 설정 시간	2	-	
일(HSYNC), 일(VSYNC)	HSYNC/VSYNC 입력 유지 시간	0.5	-	

1. 생산 시 테스트되지 않은 특성화 결과를 기반으로 한 데이터입니다.

### 5.3.27 SD/SDIO MMC 카드 호스트 인터페이스(SDIO) 특성

달리 지정하지 않는 한, 표 88에 제공된 매개변수는 다음 구성을 사용하여 표 14에 요약된 주변 온도, fPCLKx 주파수 및 VDD 공급 전압 조건에서 수행된 테스트에서 파생됩니다.

- 출력 속도는 OSPEEDR[1:0] = 10으로 설정됩니다.
- 용량성 부하 C = 30pF
- 측정 지점은 CMOS 레벨: 0.5VDD에서 수행됩니다.

입력/출력 특성에 대한 자세한 내용은 [섹션 5.3.16: I/O 포트 특성을 참조하십시오.](#)

그림 74. SDIO 고속 모드

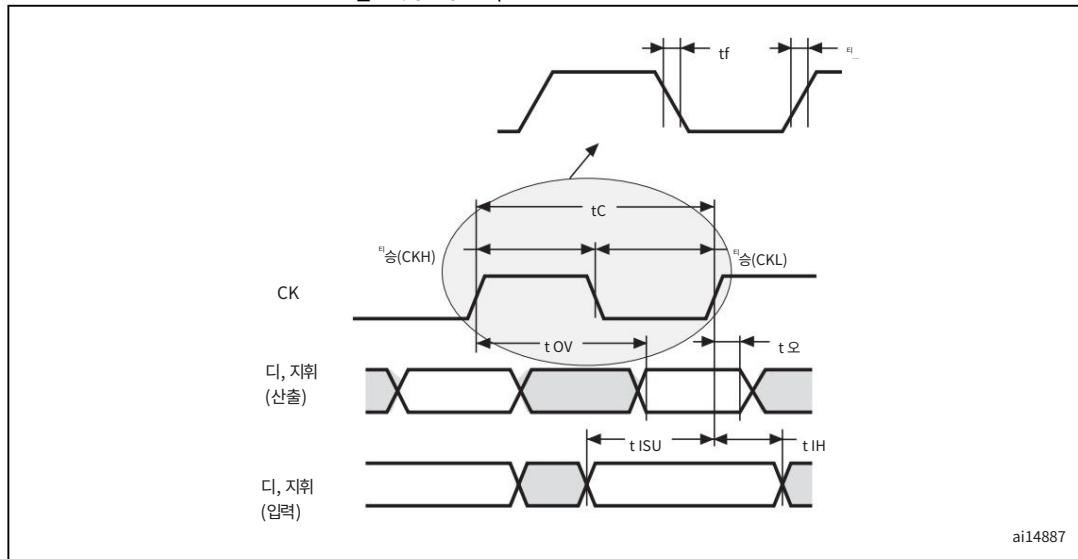


그림 75. SD 기본 모드

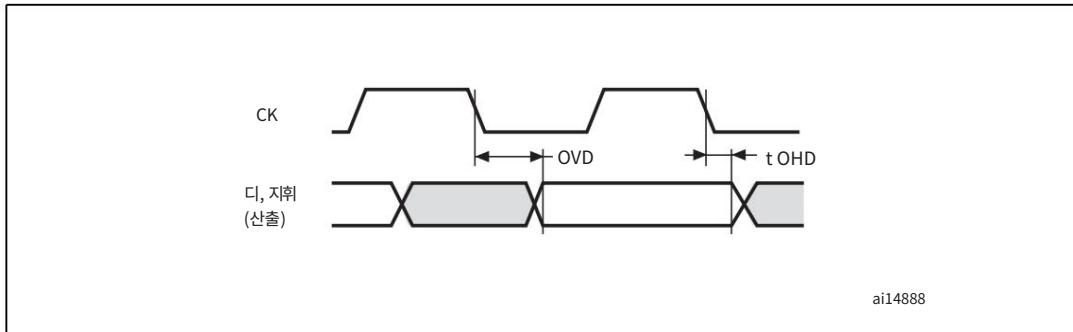


표 88. 동적 특성: SD/MMC 특성(1)

상징	매개변수	정황	최소	유형	최대	단위
fPP	데이터 전송 모드의 클록 주파수		0	-	48MHz	
	SDIO_CK/fPCLK2 주파수 비율		-	-	8/3	
트와트(CKL)	시계가 낮은 시간	fpp = 48MHz	8.5	9	-	ns
트와트(CKH)	시계 최고 시간	fpp = 48MHz	8.3	10	-	
MMC 및 SD HS 모드의 CMD, D 입력(CK 참조)						
문제	입력 설정 시간 HS	fpp = 48MHz	삼	-	-	ns
ㅋ	입력 유지 시간 HS	fpp = 48MHz	0	-	-	
MMC 및 SD HS 모드의 CMD, D 출력(CK 참조)						
토브	출력 유효시간 HS	fpp = 48MHz	-	4.5	6	ns
예	출력 유지 시간 HS	fpp = 48MHz	1	-	-	
SD 기본 모드의 CMD, D 입력(CK 참조)						
tISUD	입력 설정 시간 SD	fpp = 24MHz	1.5	-	-	ns
tIHd	입력 유지 시간 SD	fpp = 24MHz	0.5	-	-	
SD 기본 모드의 CMD, D 출력(CK 참조)						
토OVD	유효한 기본 시간 출력 SD	fpp = 24MHz	-	4.5	7	ns
TOHD	출력 유지 기본 시간 SD	fpp = 24MHz	0.5	-	-	

1. 생산 시 테스트되지 않은 특성화 결과를 기반으로 한 데이터입니다.

### 5.3.28 RTC 특성

표 89. RTC 특성

상징	매개변수	정황	최소	맥스
-	fPCLK1/RTCCLK 주파수 비율	RTC 레지스터와의 읽기/쓰기 작업	4	-

## 6 패키지 특성

### 6.1 패키지 기계 데이터

환경 요구 사항을 충족하기 위해 ST는 환경 준수 수준에 따라 다양한 등급의 ECOPACK® 패키지로 이러한 장치를 제공합니다. 에코팩®  
사양, 등급 정의 및 제품 상태는 [www.st.com](http://www.st.com)에서 확인할 수 있습니다.  
ECOPACK® 은 ST의 상표입니다.

그림 76. WLCSP90 - 0.400mm 피치 웨이퍼 레벨 칩 크기 패키지 개요

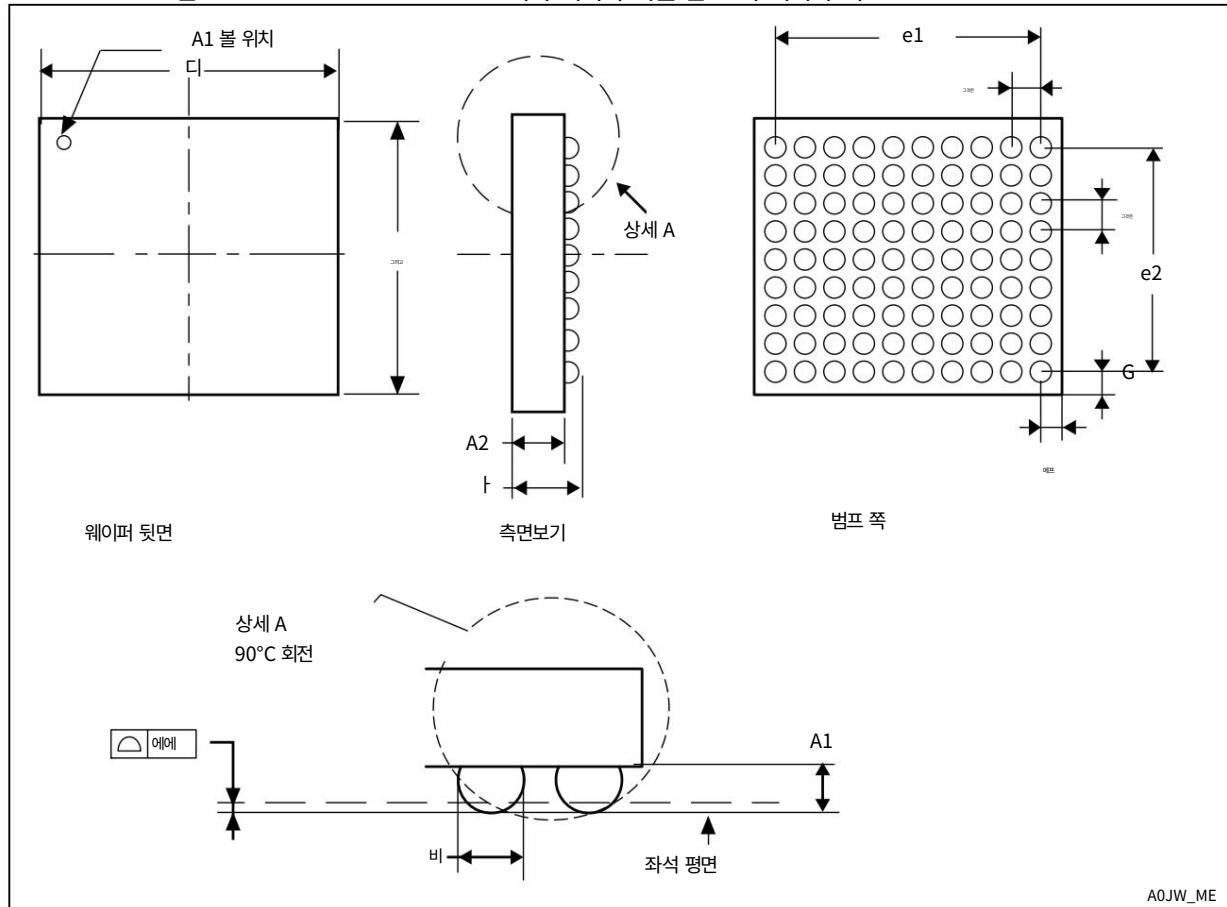
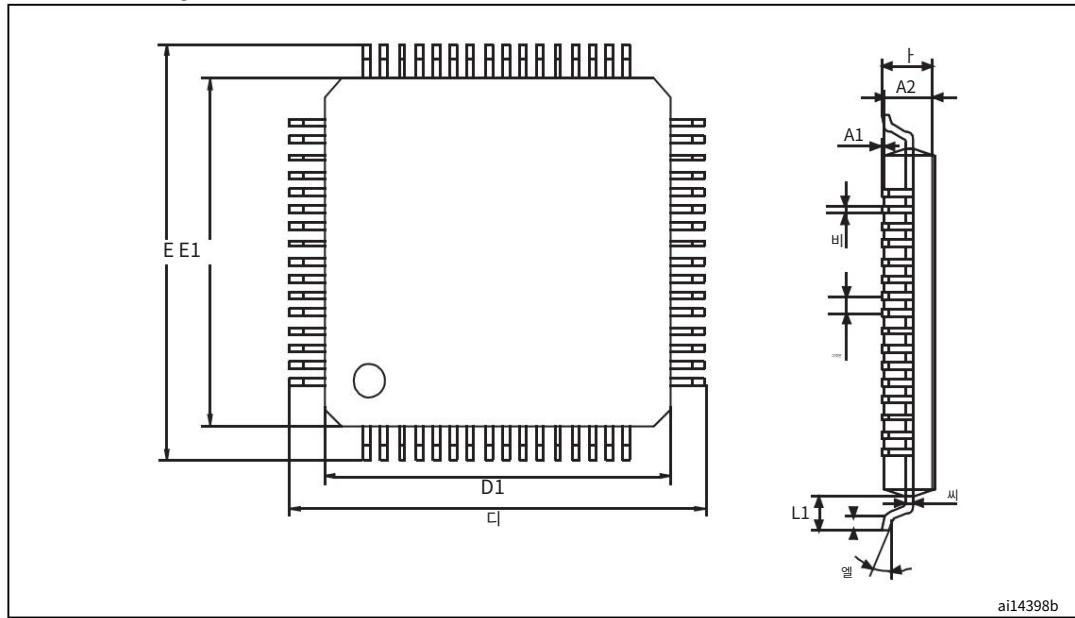


표 90. WLCSP90 - 0.400mm 피치 웨이퍼 레벨 칩 크기 패키지 기계 데이터

상정	밀리미터			인치(1)		
	최소	유형	맥스	최소	유형	맥스
t	0.520	0.570	0.620	0.0205	0.0224	0.0244
A1	0.165	0.190	0.215	0.0065	0.0075	0.0085
A2	0.350	0.380	0.410	0.0138	0.015	0.0161
비	0.240	0.270	0.300	0.0094	0.0106	0.0118
디	4.178	4.218	4.258	0.1645	0.1661	0.1676
그리	3.964	3.969	4.004	0.1561	0.1563	0.1576
그리		0.400			0.0157	
e1		3,600			0.1417	
e2		3,200			0.126	
g		0.312			0.0123	
G		0.385			0.0152	
에에			0.050			0.0020

1. 인치 단위의 값은 mm에서 변환되어 소수점 이하 4자리로 반올림됩니다.

그림 77. LQFP64 - 10 x 10mm 64핀 로우 프로파일 쿼드 플랫 패키지 개요



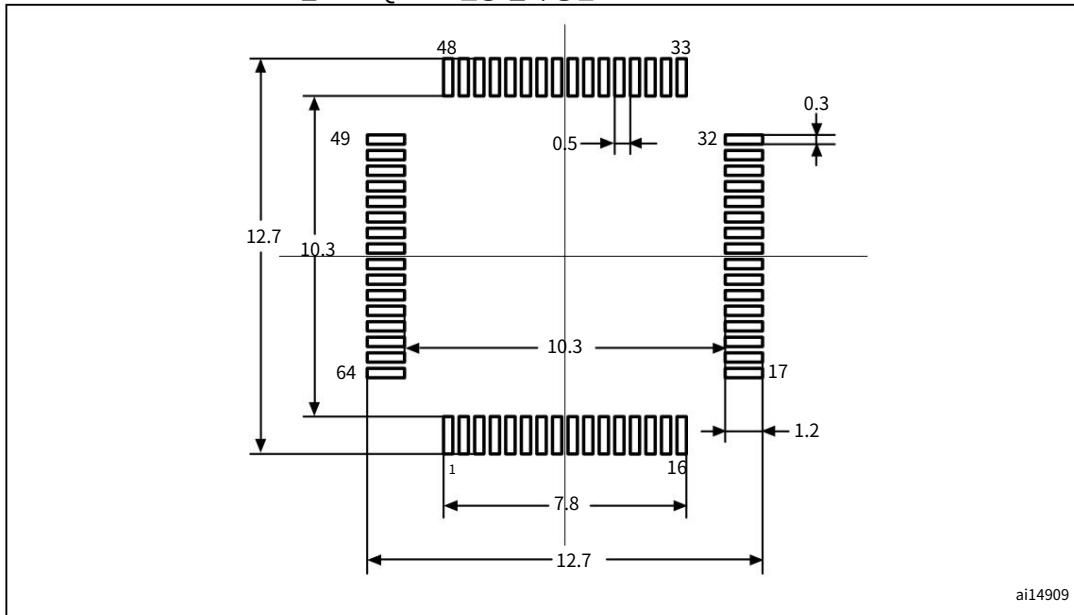
1. 도면의 크기는 일정하지 않습니다.

표 91. LQFP64 - 10 x 10mm 64핀 로우 프로파일 쿼드 플랫 패키지 기계 데이터

상징	밀리미터			인치(1)		
	최소	유형	맥스	최소	유형	맥스
↑			1,600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1,400	1.450	0.0531	0.0551	0.0571
비	0.170	0.220	0.270	0.0067	0.0087	0.0106
씨	0.090		0.200	0.0035		0.0079
디		12.000			0.4724	
D1		10.000			0.3937	
...		12.000			0.4724	
E1		10.000			0.3937	
...		0.500			0.0197	
나	0°	3.5°	7°	0°	3.5°	7°
엘	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1		1.000			0.0394	
N	핀 수					
	64					

1. 인치 단위의 값은 mm에서 변환되어 소수점 이하 4자리로 반올림됩니다.

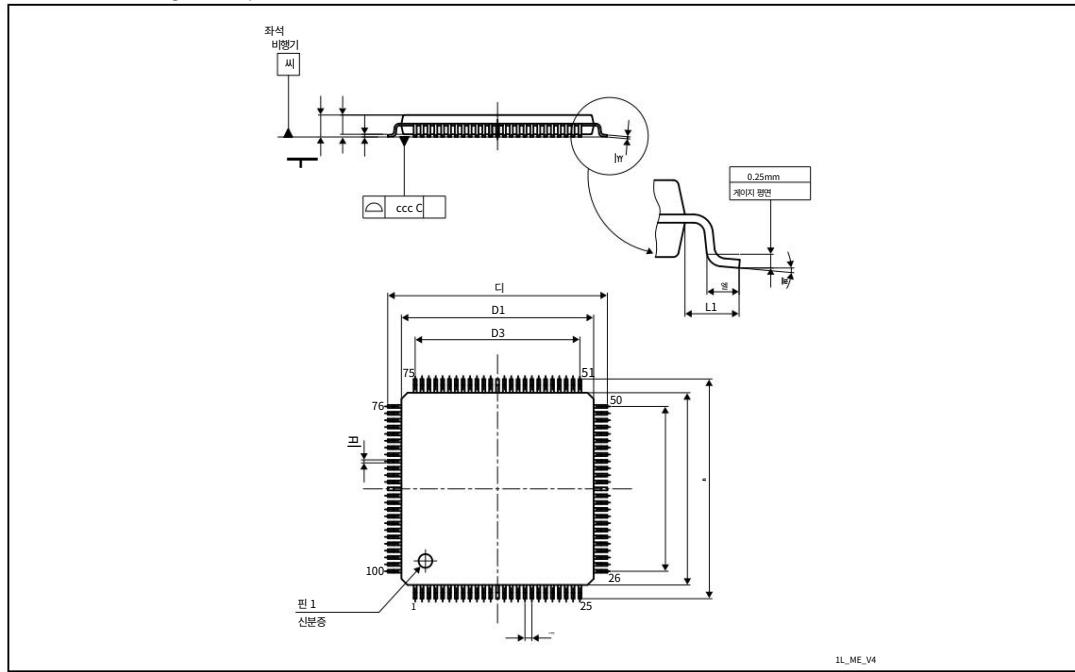
그림 78. LQFP64 권장 설치 공간



1. 도면의 크기는 일정하지 않습니다.

2. 치수는 밀리미터 단위입니다.

그림 79. LQFP100, 14 x 14mm 100핀 로우 프로파일 쿼드 플랫 패키지 개요



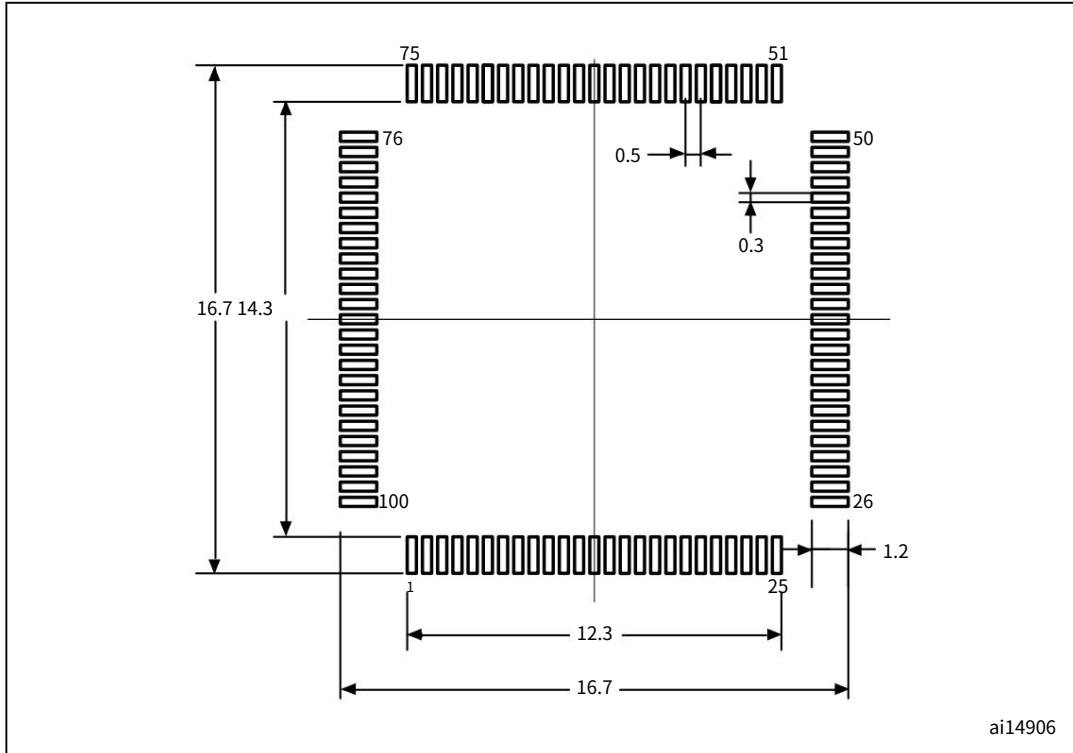
1. 도면의 크기는 일정하지 않습니다.

표 92. LQPF100 – 14 x 14mm 100핀 로우 프로파일 쿼드 플랫 패키지 기계 데이터(1)

상징	밀리미터			신장		
	최소	유형	맥스	최소	유형	맥스
†			1,600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1,400	1.450	0.0531	0.0551	0.0571
비	0.170	0.220	0.270	0.0067	0.0087	0.0106
씨	0.090		0.200	0.0035		0.0079
디	15.800	16.000	16.200	0.6220	0.6299	0.6378
D1	13.800	14.000	14.200	0.5433	0.5512	0.5591
D3		12.000			0.4724	
gnd	15.80v	16.000	16.200	0.6220	0.6299	0.6378
E1	13.800	14.000	14.200	0.5433	0.5512	0.5591
E3		12.000			0.4724	
gnd		0.500			0.0197	
엘	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1		1.000			0.0394	
개이	0°	3.5°	7°	0°	3.5°	7°
ccc			0.080			0.0031

1. 인치 단위의 값은 mm에서 변환되어 소수점 이하 4자리로 반올림됩니다.

그림 80. LQFP100 권장 설치 공간

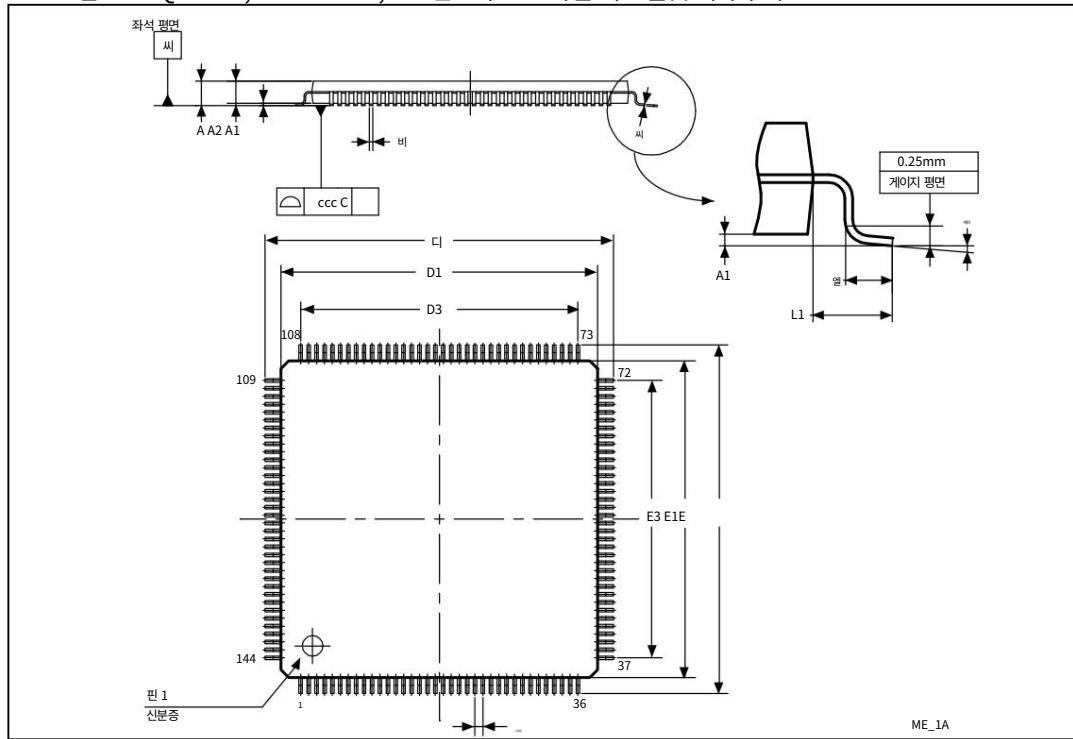


1. 도면의 크기는 일정하지 않습니다.

2. 치수는 밀리미터 단위입니다.

ai14906

그림 81. LQFP144, 20 x 20mm, 144핀 로우 프로파일 큐드 플랫 패키지 개요



1. 도면의 크기는 일정하지 않습니다.

표 93. LQFP144, 20 x 20mm, 144핀 로우 프로파일 큐드 플랫 패키지 기계 데이터

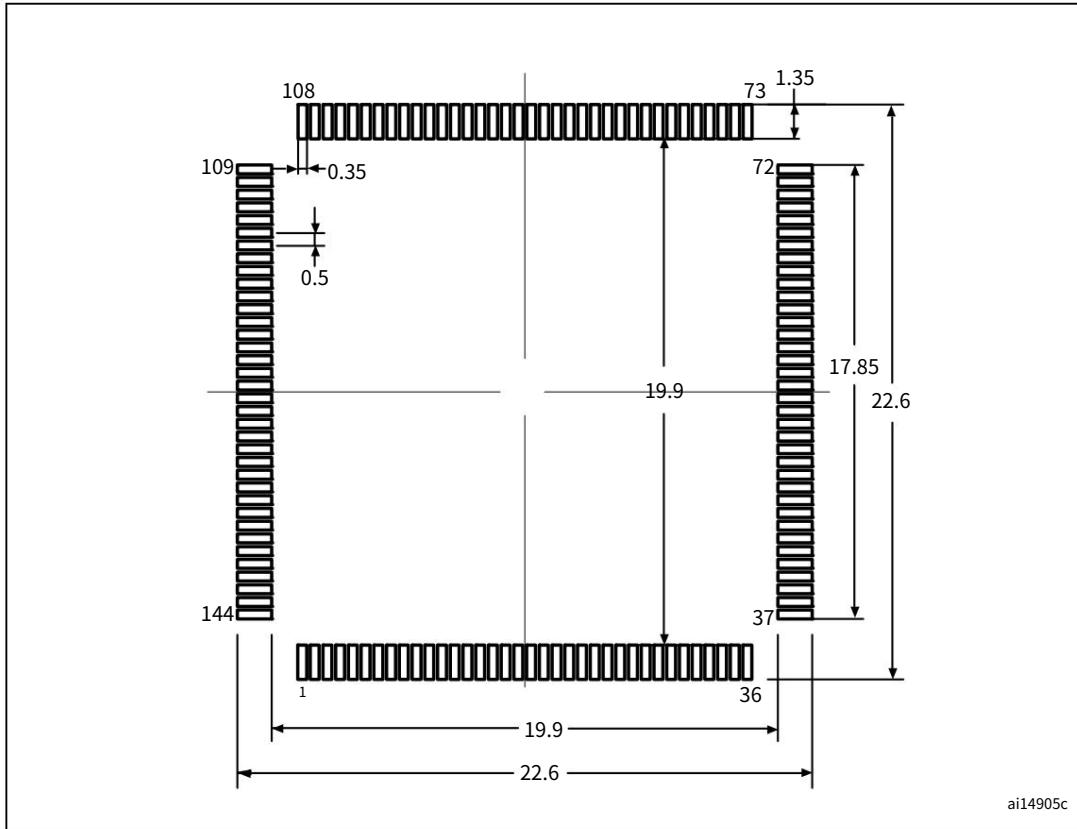
상징	밀리미터			인치(1)		
	최소	유형	맥스	최소	유형	맥스
†			1,600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1,400	1.450	0.0531	0.0551	0.0571
비	0.170	0.220	0.270	0.0067	0.0087	0.0106
씨	0.090		0.200	0.0035		0.0079
디	21.800	22.000	22.200	0.8583	0.8661	0.874
D1	19.800	20.000	20.200	0.7795	0.7874	0.7953
D3		17,500			0.689	
ccc	21.800	22.000	22.200	0.8583	0.8661	0.8740
E1	19.800	20.000	20.200	0.7795	0.7874	0.7953
E3		17,500			0.6890	
그리		0.500			0.0197	
엘	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1		1.000			0.0394	

표 93. LQFP144, 20 x 20mm, 144핀 로우 프로파일 큐드 플랫 패키지 기계 데이터

상정	밀리미터			인치(1)		
	최소	유형	맥스	최소	유형	맥스
제이	0°	3.5°	7°	0°	3.5°	7°
ccc			0.080			0.0031

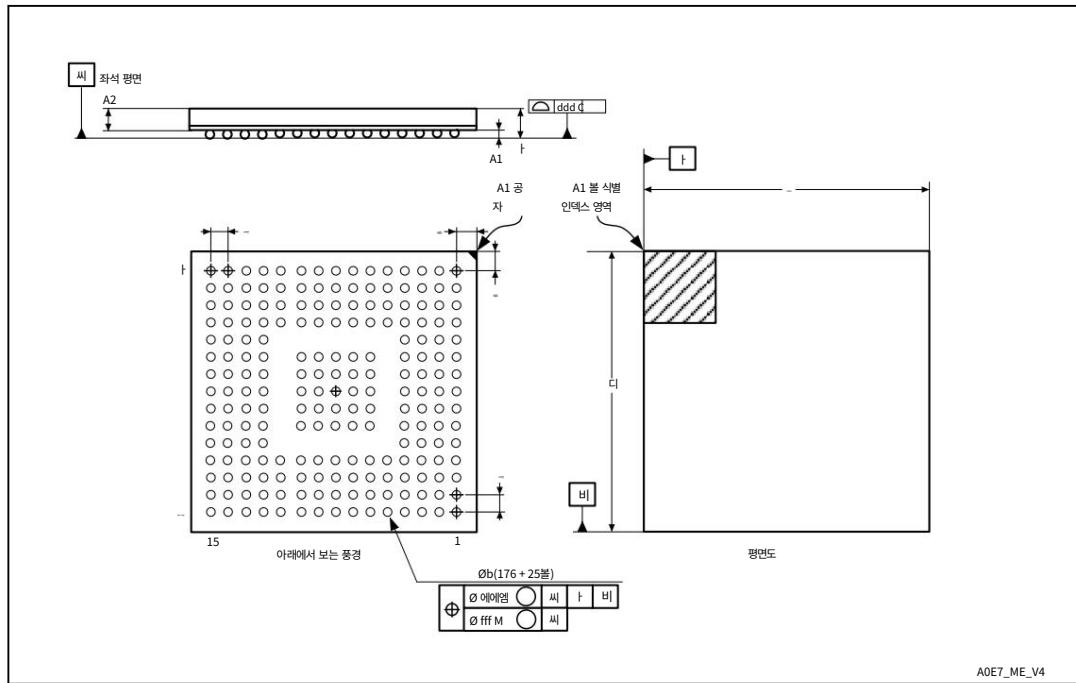
1. 인치 단위의 값은 mm에서 변환되어 소수점 이하 4자리로 반올림됩니다.

그림 82. LQFP144 권장 설치 공간



1. 도면의 크기는 일정하지 않습니다.

2. 치수는 밀리미터 단위입니다.

그림 83. UFBGA176+25 - 초박형 미세 피치 볼 그리드 어레이  $10 \times 10 \times 0.6\text{mm}$ , 패키지 개요

A0E7\_ME\_V4

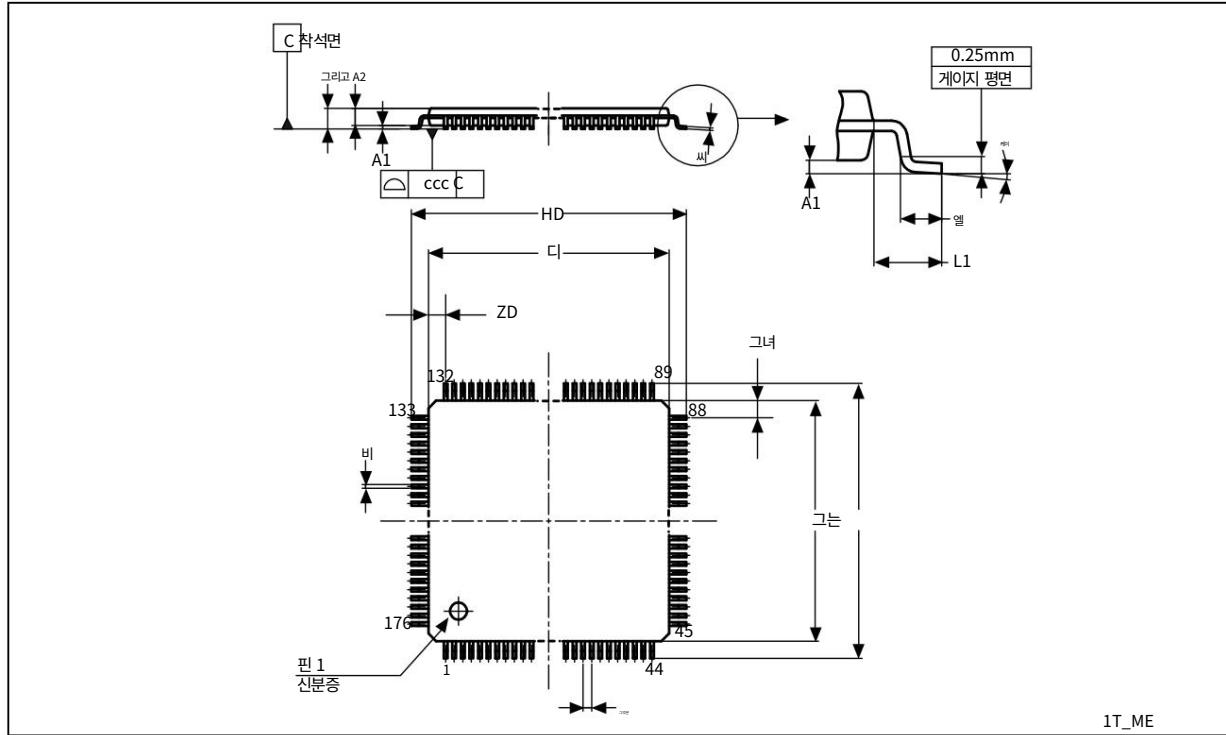
1. 도면의 크기는 일정하지 않습니다.

표 94. UFBGA176+25 - 초박형 미세 피치 볼 그리드 어레이  $10 \times 10 \times 0.6\text{mm}$   
기계적 데이터

상징	밀리미터			인치(1)		
	최소	유형	맥스	최소	유형	맥스
히	0.460	0.530	0.600	0.0181	0.0209	0.0236
A1	0.050	0.080	0.110	0.002	0.0031	0.0043
A2	0.400	0.450	0.500	0.0157	0.0177	0.0197
비	0.230	0.280	0.330	0.0091	0.0110	0.0130
디	9.900	10.000	10.100	0.3898	0.3937	0.3976
ddd	9.900	10.000	10.100	0.3898	0.3937	0.3976
ff		0.650			0.0256	
예에	0.425	0.450	0.475	0.0167	0.0177	0.0187
ddd			0.080			0.0031
예에			0.150			0.0059
ff			0.080			0.0031

1. 인치 단위의 값은 mm에서 변환되어 소수점 이하 4자리로 반올림됩니다.

그림 84. LQFP176 24 x 24mm, 176핀 로우 프로파일 쿼드 플랫 패키지 개요



1. 도면의 크기는 일정하지 않습니다.

표 95. LQFP176, 24 x 24mm, 176핀 로우 프로파일 쿼드 플랫 패키지 기계 데이터

상징	밀리미터			인치(1)		
	최소	유형	맥스	최소	유형	맥스
†			1,600			0.0630
A1	0.050		0.150	0.0020		
A2	1.350		1.450	0.0531		0.0060
비	0.170		0.270	0.0067		0.0106
씨	0.090		0.200	0.0035		0.0079
디	23.900		24.100	0.9409		0.9488
그	23.900		24.100	0.9409		0.9488
그녀		0.500			0.0197	
HD	25.900		26.100	1.0200		1.0276
그	25.900		26.100	1.0200		1.0276
엘	0.450		0.750	0.0177		0.0295
L1		1.000			0.0394	
ZD		1.250			0.0492	
그녀		1.250			0.0492	

## 패키지 특성

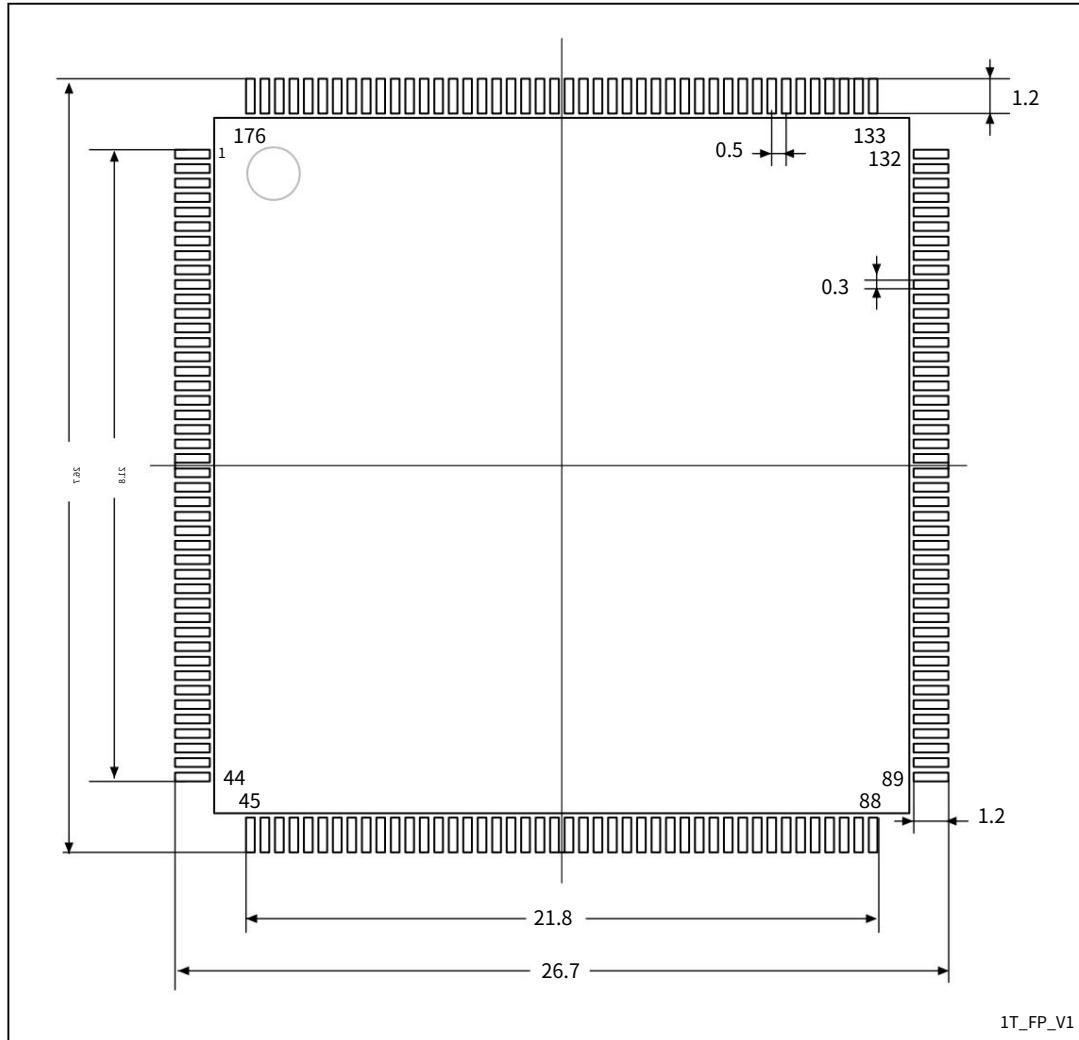
STM32F405xx, STM32F407xx

표 95. LQFP176, 24 x 24mm, 176핀 로우 프로파일 큐드 플랫 패키지 기계 데이터

상징	밀리미터			인치(1)		
	최소	유형	맥스	최소	유형	맥스
ccc			0.080			0.0031
계이	0 °		7 °	0 °		7 °

1. 인치 단위의 값은 mm에서 변환되어 소수점 이하 4자리로 반올림됩니다.

그림 85. LQFP176 권장 설치 공간



1. 차수는 밀리미터로 표시됩니다.

## 6.2 열적 특성

최대 칩 접합 온도  $T_J \text{ max}$ (설씨 온도)는 다음 방정식을 사용하여 계산할 수 있습니다.

$$T_J \text{ 최대} = TA \text{ 최대} + (PD \text{ 최대} \times \Theta_{JA})$$

어디:

- $TA \text{ max}$ 는 최대 주변 온도( $^{\circ}\text{C}$ )입니다.
- $\Theta_{JA}$ 는 패키지 접합부와 주변 열 저항( $^{\circ}\text{C}/\text{W}$ )입니다.
- $PD \text{ max}$ 는  $PINT \text{ max}$ 와  $PI/O \text{ max}$ 의 합입니다 ( $PD \text{ max} = PINT \text{ max} + PI/O_{max}$ ).
- $PINT \text{ max}$ 는 IDD 와 VDD 의 곱이며 와트로 표시됩니다. 이것은 최대 칩 내부 전력입니다.

$PI/O \text{ max}$ 는 출력 핀의 최대 전력 손실을 나타냅니다. 여기서:

$$PI/O \text{ 최대} = \sum (VOL \times IOL) + \sum ((VDD - VOH) \times IOH),$$

애플리케이션의 낮은 수준과 높은 수준에서 I/O의 실제 VOL / IOL 및 VOH / IOH 를 고려합니다.

표 96. 패키지 열 특성

상징	매개변수	값	단위
$\Theta_{JA}$	내열성 접합-주변 LQFP64 - 10 × 10mm / 0.5mm 피치	46	$^{\circ}\text{C}/\text{W}$
	내열성 접합-주변 LQFP100 - 14 × 14mm / 0.5mm 피치	43	
	내열성 접합-주변 LQFP144 - 20 × 20mm / 0.5mm 피치	40	
	내열성 접합-주변 LQFP176 - 24 × 24mm / 0.5mm 피치	38	
	내열성 접합-주변 UFBGA176 - 10 × 10mm / 0.65mm 피치	39	
	내열성 접합-주변 WL CSP90 - 0.400mm 피치	38.1	

### 참조 문서

JESD51-2 접적 회로 열 테스트 방법 환경 조건 - 자연 대류(정체 공기). [www.jedec.org](http://www.jedec.org)에서 이용 가능합니다.

부품 번호 매기기

STM32F405xx, STM32F407xx

## 7 부품 번호 매기기

표 97. 주문 정보 체계

예:

장치 제품군

STM32 = ARM 기반 32비트 마이크로컨트롤러

STM32 F 405 RE

T6xxx

상품 유형

F = 범용

장치 하위 제품군

405 = STM32F40x, 연결성

407 = STM32F40x, 연결, 카메라 인터페이스, 이더넷

핀 수

R = 64핀

O = 90핀

V = 100핀

Z = 144핀

I = 176핀

플래시 메모리 크기

E = 512KB의 플래시 메모리

G = 1024KB의 플래시 메모리

패키지

T = LQFP

H = UFBGA

Y = WLCSP

온도 범위 6 = 산업 온도 범

위, -40 ~ 85°C.

7 = 산업 온도 범위, -40 ~ 105°C.

옵션 xxx =

프로그래밍된 부품

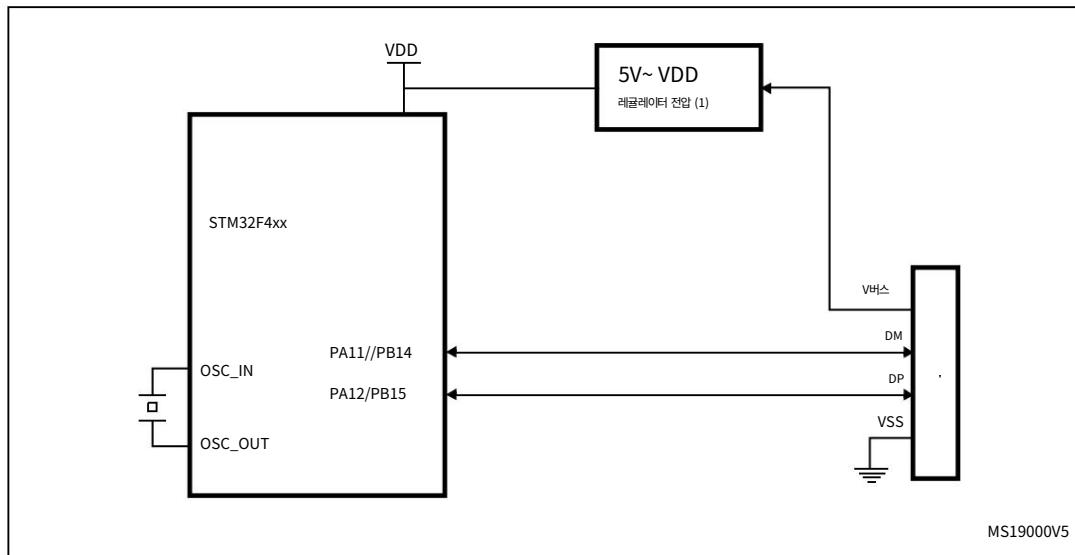
TR = 테이프 앤 릴

사용 가능한 옵션(속도, 패키지 등) 목록이나 이 장치에 대한 자세한 내용은 가까운 ST 영업소에 문의하세요.

## 부록 A 애플리케이션 블록 다이어그램

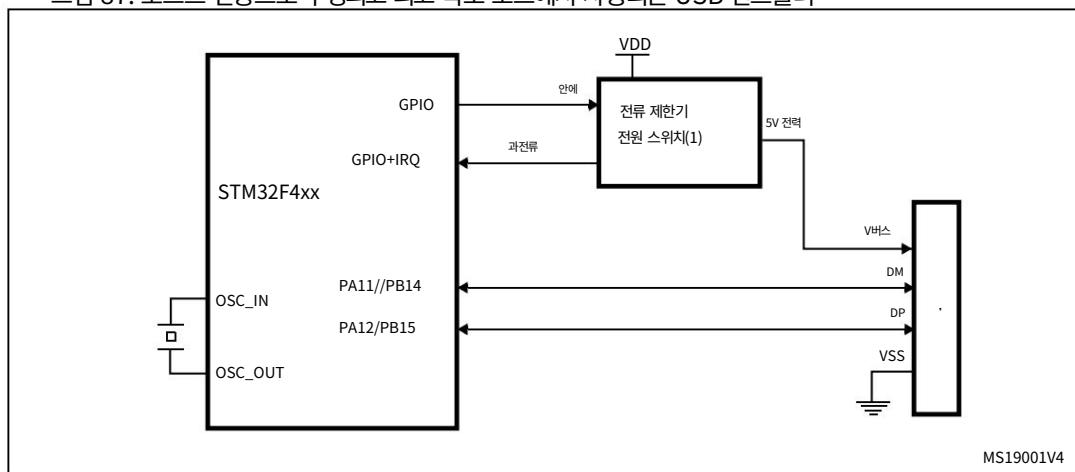
### A.1 USB OTG 전속(FS) 인터페이스 솔루션

그림 86. 주변기기 전용으로 구성되고 최고 속도 모드에서 사용되는 USB 컨트롤러



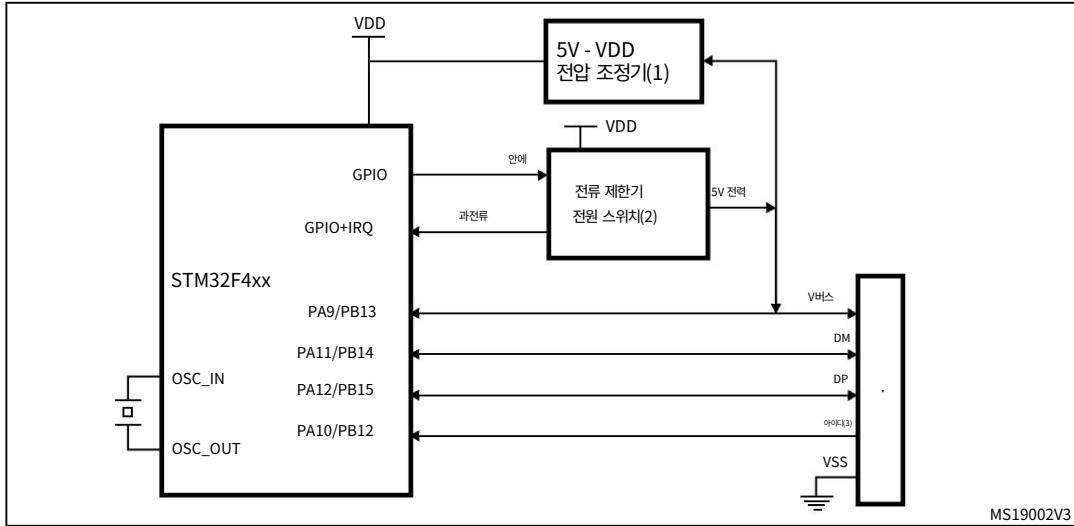
- 외부 전압 조정기는 VBUS 전원 공급 장치를 구축할 때만 필요합니다.
- FS 모드에서 OTG HS를 사용하여 동일한 애플리케이션을 개발하면 대형 Rx/Tx FIFO 및 전용 DMA 컨트롤러 덕분에 향상된 성능을 얻을 수 있습니다.

그림 87. 호스트 전용으로 구성되고 최고 속도 모드에서 사용되는 USB 컨트롤러



- 전류 제한기는 애플리케이션이 VBUS 구동 장치를 지원해야 하는 경우에만 필요합니다. 기본적인 힘 애플리케이션 보드에서 5V를 사용할 수 있는 경우 스위치를 사용할 수 있습니다.
- FS 모드에서 OTG HS를 사용하여 동일한 애플리케이션을 개발하면 대형 Rx/Tx FIFO 및 전용 DMA 컨트롤러 덕분에 향상된 성능을 얻을 수 있습니다.

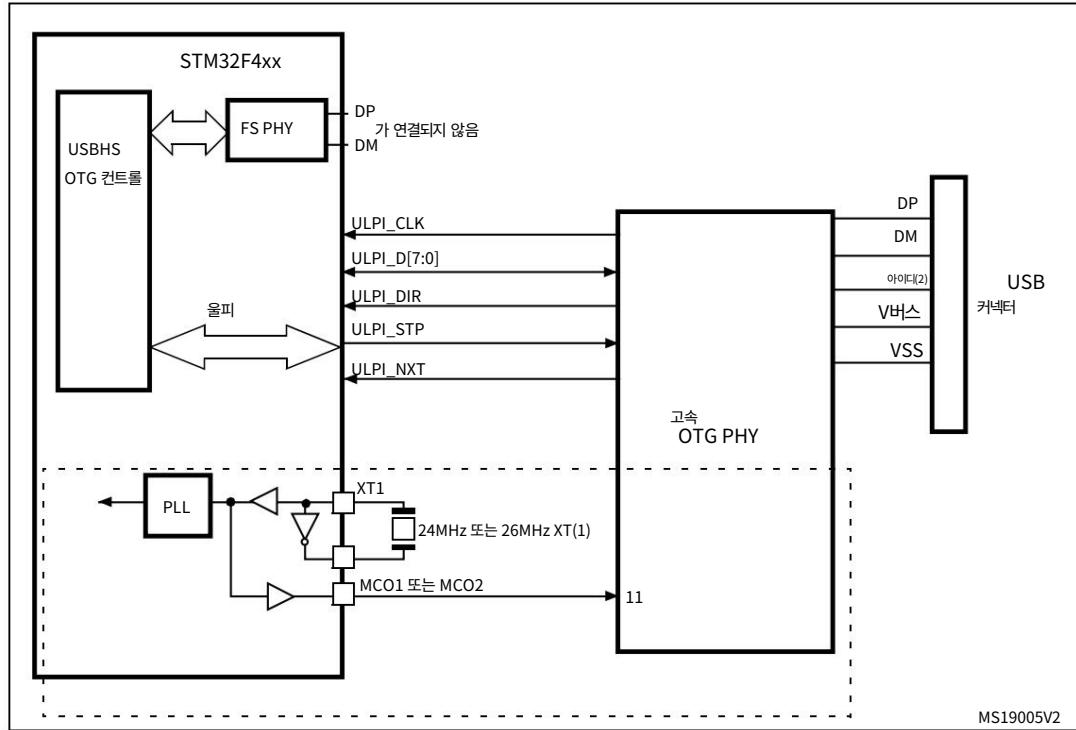
그림 88. 듀얼 모드로 구성되고 최고 속도 모드에서 사용되는 USB 컨트롤러



1. 외부 전압 조정기는 VBUS 전원 장치를 구축할 때만 필요합니다.
2. 전류 제한기는 애플리케이션이 VBUS 전원 장치를 지원해야 하는 경우에만 필요합니다. 기본적인 힘 애플리케이션 보드에서 5V를 사용할 수 있는 경우 스위치를 사용할 수 있습니다.
3. ID 핀은 이중 역할에만 필요합니다.
4. FS 모드에서 OTG HS를 사용하여 동일한 애플리케이션을 개발하여 대형 Rx/Tx FIFO 및 전용 DMA 컨트롤러 덕분에 향상된 성능을 달성할 수 있습니다.

## A.2 USB OTG 고속(HS) 인터페이스 솔루션

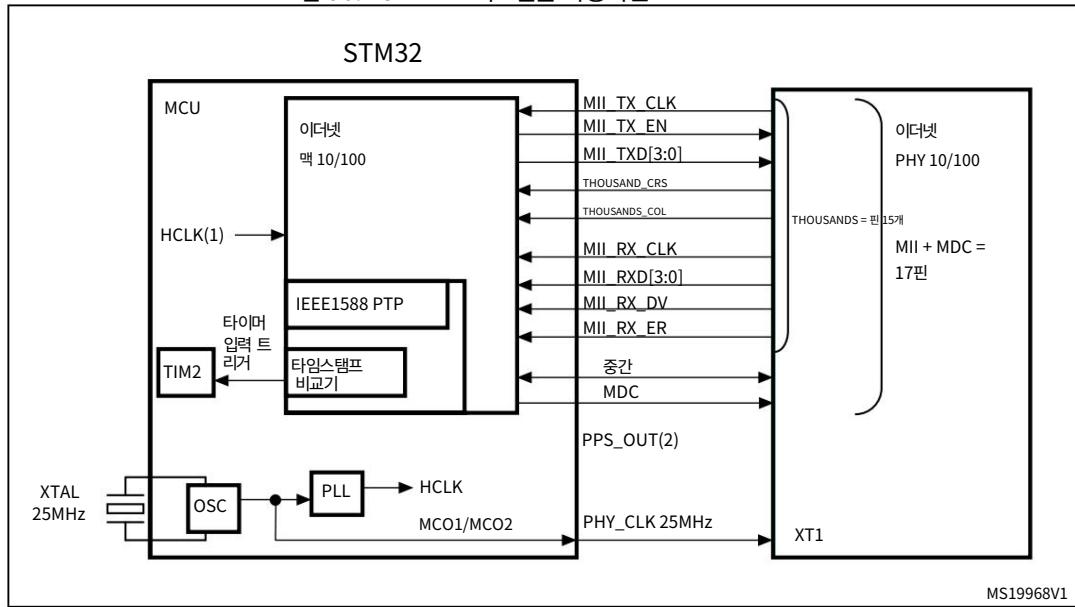
그림 89. 주변기기, 호스트 또는 듀얼 모드로 구성되고 고속 모드에서 사용되는 USB 컨트롤러



1. 크리스탈을 저장하기 위해 MCO1 또는 MCO2를 사용할 수 있습니다. 그러나 USB HS를 사용할 때 24MHz 또는 26MHz 크리스탈로 STM32F40x를 클록하는 것이 필수는 아닙니다. 위 그림은 가능한 예만 보여줍니다.
2. ID 핀은 이중 역할에만 필요합니다.

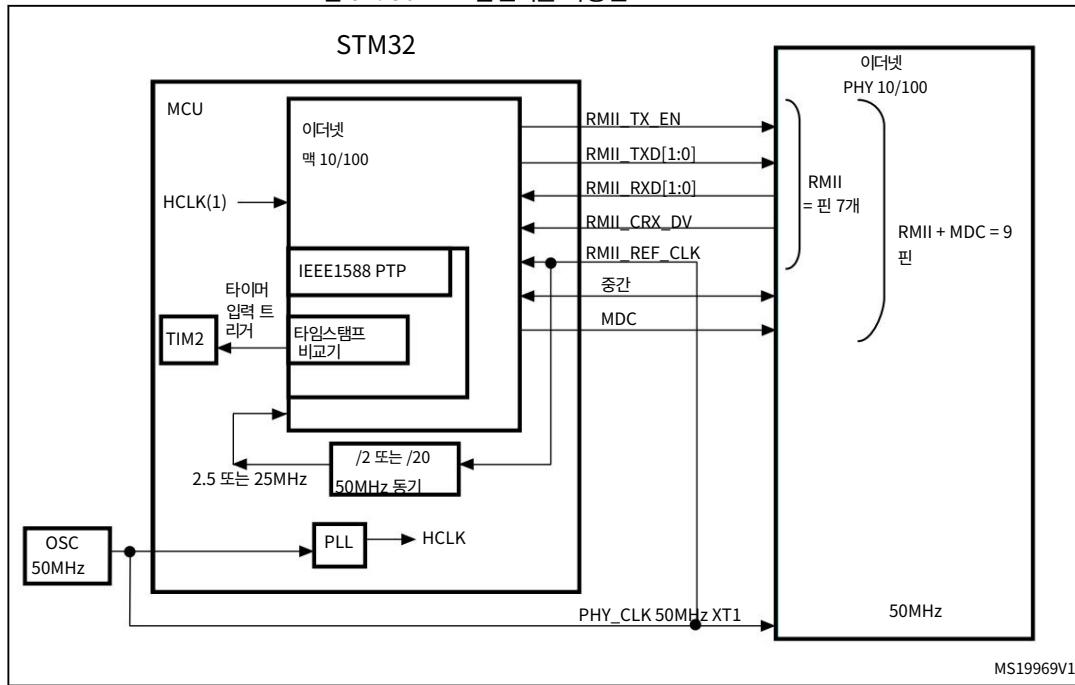
## A.3 이더넷 인터페이스 솔루션

그림 90. 25MHz 크리스털을 사용하는 MII 모드



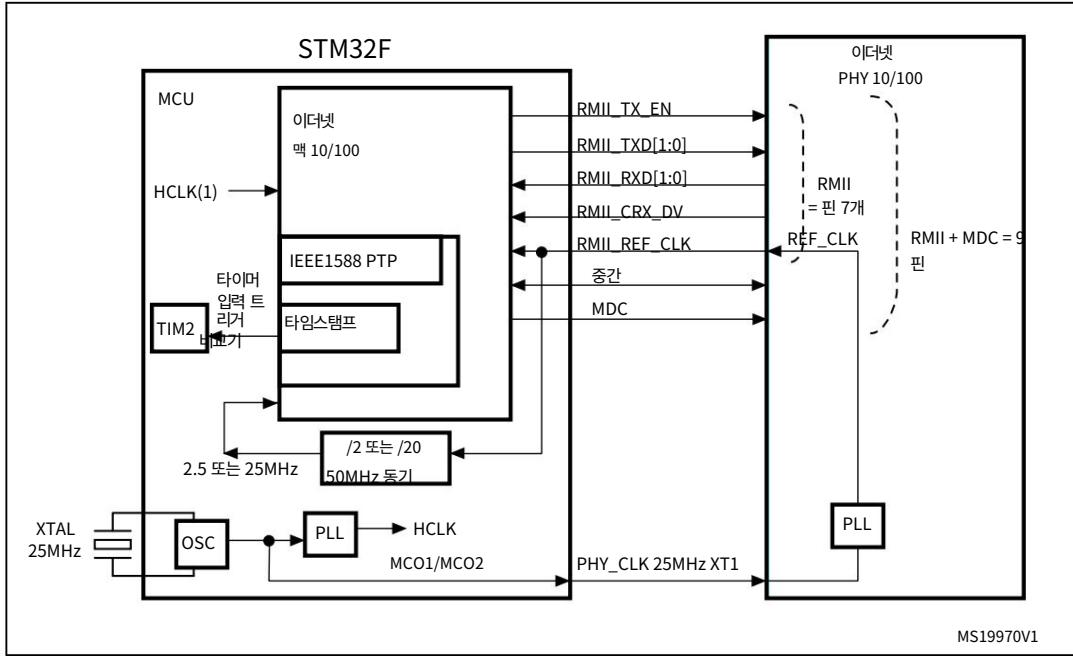
1. fHCLK는 25MHz보다 커야 합니다.
2. IEEE1588 PTP 옵션 신호를 사용할 때 초당 펄스입니다.

그림 91. 50MHz 발진기를 사용한 RMII



1. fHCLK는 25MHz보다 커야 합니다.

그림 92. 25MHz 크리스탈이 있는 RMII와 PLL이 있는 PHY



1. fHCLK는 25MHz보다 커야 합니다.
2. 25MHz(PHY\_CLK)는 PLL 블록 이전에 HSE 발진기에서 직접 파생되어야 합니다.

표 98. 문서 개정 내역

날짜	개정	변경 사항
2011년 9월 15일	1	<p>초판.</p> <p>표지에 WLCSP90 패키지가 추가되었습니다. USART4 및 USART5의 이름을 각각 UART4 및 UART5로 변경했습니다.</p> <p><a href="#">표 2: STM32F405xx 및 STM32F407xx: 기능 및 주변 장치 수</a>에서 USB OTG HS 및 FS 수를 업데이트했습니다.</p> <p><a href="#">그림 3: LQFP144 패키지용 STM32F10xx/STM32F2xx/STM32F4xx 간의 호환 가능 보드 설계</a> 및 <a href="#">그림 4: LQFP176 및 BGA176 패키지용 STM32F2xx 및 STM32F4xx 간의 호환 가능 보드 설계</a>가 업데이트되었으며 참고 1과 2가 제거되었습니다.</p> <p>세션 2.2.9 업데이트 : <a href="#">유연한 정적 메모리 컨트롤러(FSMC)</a>.</p> <p><a href="#">세션 2.2.13: 부팅 모드</a>에서 CAN2 및 USB OTG FS 용 플래시 메모리를 다시 프로그래밍하는 데 사용되는 수정된 I/O입니다.</p> <p>세션 2.2.14: 전원 공급 장치 구성 의 업데이트된 참고 사항 .</p> <p>LQFP100 패키지에서는 PDR_ON을 더 이상 사용할 수 없습니다. <a href="#">세션 2.2.16 업데이트</a> : 전압 조정기. 전체 문서에서 1.7V의 최소 공급 전압을 얻기 위해 조건을 업데이트했습니다.</p> <p>USART4/5의 이름을 UART4/5로 바꾸고 <a href="#">표 5: USART 기능 비교</a>에서 UART4 및 UART5에 대한 LIN 및 IrDA 기능을 추가했습니다.</p> <p><a href="#">세션 2.2.30: OTG_FS(Universal Serial Bus On-The-Go Full-Speed)</a>에서 OTG PHY에 대한 I2C 지원이 제거되었습니다.</p> <p>표 6을 추가했습니다 : <a href="#">핀아웃 표에 사용된 범례/약어</a>.</p> <p><a href="#">표 7: STM32F40x 핀 및 볼 정의</a>: VSS_3, VSS_4 및 VSS_8을 VSS로 대체했습니다 . 표 7: I/O 구조와 대체 기능과 추가 기능을 더 잘 강조하기 위해 <a href="#">STM32F40x 핀 및 볼 정의</a>를 재구성했습니다 . LQFP100 핀 99에 해당하는 신호가 PDR_ON에서 VSS로 변경되었습니다. 모든 I/O에 대한 대체 기능 목록에 EVENTOUT0이 추가되었습니다. PF10에 대한 대체 기능으로 ADC3_IN8이 추가되었습니다. FSMC_CLE 및 FSMC_ALE는 각각 PD11 및 PD12에 대한 대체 기능으로 추가되었습니다. PH10 대체 기능 TIM15_CH1_ETR이 TIM5_CH1로 이름이 변경되었습니다. PA4 및 PA5 I/O 구조를 TTa로 업데이트했습니다.</p> <p><a href="#">표 7: STM32F40x 핀 및 볼 정의</a> 및 <a href="#">표 9: 대체 기능 매핑</a>에서 OTG_HS_SCL, OTG_HS_SDA, OTG_FS_INTN을 제거했습니다.</p> <p><a href="#">그림 18: STM32F40x 메모리 맵</a>에서 TCM 데이터 RAM을 CCM 데이터 RAM으로 변경했습니다.</p> <p><a href="#">표 12: 전류 특성</a>에 IVDD 및 IVSS 최대값이 추가되었습니다.</p> <p>fHCLK 와 관련된 <a href="#">참고 1</a>을 추가하고 <a href="#">표 14: 일반 작동 조건</a>의 <a href="#">참고 2</a>를 업데이트했으며 최대 전력 손실 값을 추가했습니다.</p> <p>업데이트된 <a href="#">표 15: 작동 전원 공급 범위에 따른 제한 사항</a>.</p>
2012년 1월 24일	2	<p>표 7: STM32F40x 핀 및 볼 정의 및 표 9: 대체 기능 매핑에서 OTG_HS_SCL, OTG_HS_SDA, OTG_FS_INTN을 제거했습니다.</p> <p><a href="#">그림 18: STM32F40x 메모리 맵</a>에서 TCM 데이터 RAM을 CCM 데이터 RAM으로 변경했습니다.</p> <p><a href="#">표 12: 전류 특성</a>에 IVDD 및 IVSS 최대값이 추가되었습니다.</p> <p>fHCLK 와 관련된 <a href="#">참고 1</a>을 추가하고 <a href="#">표 14: 일반 작동 조건</a>의 <a href="#">참고 2</a>를 업데이트했으며 최대 전력 손실 값을 추가했습니다.</p> <p>업데이트된 <a href="#">표 15: 작동 전원 공급 범위에 따른 제한 사항</a>.</p>

표 98. 문서 개정 내역 (계속)

날짜	개정	변경 사항
2012년 1월 24일 (계속되는) 2		<p><a href="#">표 19: 임베디드 리셋 및 전원 제어 블록 특성</a>에 V12가 추가되었습니다.</p> <p>업데이트된 <a href="#">표 21: 실행 모드의 일반 및 최대 전류 소비, 플래시 메모리(ART 가속기 비활성화)</a>에서 실행되는 데이터 처리가 포함된 코드 및 <a href="#">표 20: 실행 모드의 일반 및 최대 전류 소비, 플래시 메모리(ART 가속기 비활성화)</a>에서 실행되는 데이터 처리가 포함된 코드 활성화 또는 RAM. 그림, 그림 25, 그림 26 및 그림 27을 추가했습니다.</p> <p>업데이트된 <a href="#">표 22: 절전 모드의 일반 및 최대 전류 소비</a> 및 삭제됨 참고 1.</p> <p>업데이트된 <a href="#">표 23: 정지 모드의 일반 및 최대 전류 소비</a>, <a href="#">표 24: 대기 모드의 일반 및 최대 전류 소비</a>, <a href="#">표 25: VBAT 모드의 일반 및 최대 전류 소비</a>, <a href="#">표 26: 스위칭 출력 I/O 전류 소비</a>.</p> <p>섹션: 온칩 주변기기 전류 소비: 조건이 수정되고 업데이트되었습니다. <a href="#">표 27: 주변기기 전류 소비 및 참고 2</a>.</p> <p><a href="#">표 29: 고속 외부 사용자 클럭 특성</a>에서 fHSE_ext를 50MHz 및 tr(HSE)/tf(HSE) 최대값으로 변경했습니다.</p> <p><a href="#">표 30: 저속 외부 사용자 클럭</a>에 Cin(LSE) 추가 형질.</p> <p><a href="#">표 35: 기본 PLL 특성</a>에서 RMII 이더넷 일반 값에 대한 MCO에 대한 최대 PLL 입력 클록 주파수를 업데이트하고 관련 메모를 제거하고 지터를 삭제했습니다. 최대 PLLI2S 입력 클록 주파수를 업데이트하고 <a href="#">표 36: PLLI2S(오디오 PLL) 특성</a>에서 관련 참고 사항을 제거했습니다.</p> <p>업데이트된 섹션: 플래시 메모리가 지원한 상태로 장치가 고객에게 배송되도록 지정하는 플래시 메모리입니다. <a href="#">표 38: 플래시 메모리 특성</a>을 업데이트하고 <a href="#">표 39: 플래시 메모리 프로그래밍</a>에 tME를 추가했습니다.</p> <p><a href="#">표 42: EMS 특성</a> 및 <a href="#">표 43: EMI 특성</a>이 업데이트되었습니다.</p> <p>업데이트된 <a href="#">표 56: I2S 동적 특성</a></p> <p>그림 46: ULPI 타이밍 다이어그램 및 표 62: ULPI 타이밍이 업데이트되었습니다.</p> <p><a href="#">표 51: TIMx의 특성</a>에 tCOUNTER 및 tMAX_COUNT 추가 APB1 도메인에 연결된 TIMx 및 <a href="#">표 52: APB2 도메인에 연결된 TIMx의 특성</a>. 업데이트된 <a href="#">표 65: 동적 특성: RMII에 대한 이더넷 MAC 신호</a>.</p> <p>섹션: USB OTG FS에서 USB-IF 인증이 제거되었습니다. 형질.</p>

표 98. 문서 개정 내역 (계속)

날짜	개정	변경 사항
2012년 1월 24일	2 (계속되는)	<p>업데이트된 표 61: USB HS 클록 타이밍 매개변수 업데이트된 표 67: ADC 특성. 업데이트된 표 68: fADC = 30MHz에서의 ADC 정확도. 표 74 의 업데이트된 참고 1: DAC 특성.</p> <p>세션 5.3.25: FSMC 특성: 표 75를 표 86으로 업데이트하고 CL 값을 30pF로 변경했으며 비동기 타이밍 및 파형에 대한 FSMC 구성은 수정했습니다. 업데이트된 그림 60: 동기식 다중화 PSRAM 쓰기 타이밍.</p> <p>업데이트된 표 96: 패키지 열 특성.</p> <p>부록 A.1: USB OTG 최고 속도(FS) 인터페이스 솔루션: 수정됨 그림 86: 주변기기 전용으로 구성되고 최고 속도 모드에서 사용되는 USB 컨트롤러 추가 참고 2, 업데이트됨 그림 87: 호스트 전용으로 구성되고 주변기기 전용으로 사용되는 USB 컨트롤러 최대 속도 모드 및 참고 2 추가, 변경됨 그림 88: 듀얼 모드로 구성되고 최대 속도 모드에서 사용되는 USB 컨트롤러 및 참고 3 추가.</p> <p>부록 A.2: USB OTG 고속(HS) 인터페이스 솔루션: 그림 제거됨 FS 모드의 USB OTG HS 장치 전용 연결 및 FS 모드의 USB OTG HS 호스트 전용 연결 그림 89: 주변 장치로 구성된 USB 컨트롤러, 호스트 또는 듀얼 모드이며 고속 모드에서 사용되며 참고 2가 추가되었습니다.</p> <p>부록 A.3: 이더넷 인터페이스 솔루션을 추가했습니다.</p>

표 98. 문서 개정 내역 (계속)

날짜	개정	변경 사항
2012년 5월 31일	상	<p>업데이트된 <a href="#">그림 5: STM32F40x 블록 다이어그램</a> 및 <a href="#">그림 7: 내부 재설정이 깨진 상태의 전원 공급 장치 감시기 상호 연결</a></p> <p>SDIO를 추가하고 <a href="#">표 2: STM32F405xx 및 STM32F407xx: 기능 및 주변 장치 수</a>에 FSMC 및 SPI/I2S와 관련된 참고 사항을 추가했습니다.</p> <p>Silicon 개정 Z부터 USB OTG 전속 인터페이스를 이제 모든 STM32F405xx 장치에서 사용할 수 있습니다.</p> <p>해당 부품 번호와 함께 WLCSP90 패키지에 대한 전체 정보가 추가되었습니다.</p> <p>AHB 버스 수를 3대로 변경했습니다.</p> <p>섹션 2.2.4: 내장형 플래시 메모리에서 사용 가능한 플래시 메모리 크기를 수정했습니다.</p> <p><a href="#">섹션 2.2.10: 중첩된 벡터 인터럽트 컨트롤러(NVIC)</a>에서 마스크 가능한 인터럽트 채널 수를 수정했습니다.</p> <p><a href="#">섹션 2.2.16: 전압 조정기</a>에서 조정기 ON/내부 재설정 ON, 조정기 ON/내부 재설정 OFF 및 조정기 OFF/내부 재설정 ON의 사례를 업데이트했습니다.</p> <p><a href="#">섹션 2.2.19: 저전력 모드</a>에서 대기 모드 설명을 업데이트했습니다.</p> <p><a href="#">그림 16: STM32F40x UFBGA176</a> 불아웃 아래에 <a href="#">참고 1</a>을 추가했습니다.</p> <p><a href="#">그림 17: STM32F40x WLCSP90</a> 불아웃 아래에 <a href="#">참고 1</a>을 추가했습니다.</p> <p>업데이트된 <a href="#">표 7: STM32F40x 핀 및 볼 정의</a>.</p> <p><a href="#">표 8: FSMC 핀 정의</a>를 추가했습니다.</p> <p><a href="#">표 7: STM32F40x 핀 및 볼 정의</a> 및 <a href="#">표 9: 대체 기능 매핑</a>에서 OTG_HS_INTN 대체 기능을 제거했습니다.</p> <p><a href="#">표 9: 대체 기능 매핑</a>의 PB6/AF5에서 I2S2_WS가 제거되었습니다.</p> <p>JTRST를 NJTRST로 대체하고, ETH_RMII_TX_CLK를 제거하고, <a href="#">표 9: 대체 함수 매핑</a>의 PC11에서 I2S3ext_SD를 수정했습니다.</p> <p><a href="#">표 10: STM32F40x 레지스터 경계 주소</a>를 추가했습니다.</p> <p>업데이트된 <a href="#">그림 18: STM32F40x 메모리 맵</a>.</p> <p><a href="#">그림 21: 전원 공급 장치 구성표</a>에서 VDDA 및 VREF+ 디커플링 커패시터가 업데이트되었습니다.</p> <p><a href="#">표 14: 일반 작동 조건</a>에 WLCSP90에 대한 전력 손실 최대값이 추가되었습니다.</p> <p><a href="#">표 19: 내장된 리셋 및 전원 제어 블록 특성</a>에서 VPOR/PDR0이 업데이트되었습니다.</p> <p><a href="#">표 21</a>의 업데이트된 참고 사항 : 실행 모드의 일반 및 최대 전류 소비, 플래시 메모리에서 실행되는 데 이터 처리가 포함된 코드(ART 가속기 비활성화), <a href="#">표 20: 실행 모드의 일반 및 최대 전류 소비</a>, 플래시 메모리에서 실행되는 데이터 처리가 포함된 코드(ART 가속기 활성화) 또는 RAM, <a href="#">표 22: 절전 모드의 일반 및 최대 전류 소비</a>.</p> <p>TA = 25°C에서 최대 전류 소비가 업데이트되었습니다. <a href="#">표 23: 정지 모드의 일반 및 최대 전류 소비</a>.</p>

표 98. 문서 개정 내역 (계속)

날짜	개정	변경 사항
2012년 5월 31일	3 (계속)	<p><a href="#">표 29: 고속 외부 사용자 클럭 특성</a>에서 fHSE_ext 일반 값을 제거했습니다. <a href="#">표 31: HSE 4~26MHz</a> 발진기 특성 및 <a href="#">표 32: LSE 발진기 특성(fLSE = 32.768kHz)</a>이 업데이트되었습니다.</p> <p><a href="#">표 35: 메인 PLL</a>에 fPLL48_OUT 최대값을 추가했습니다. 형질.</p> <p>섹션 5.3.11 의 수정된 방정식 1 및 2 : <a href="#">PLL SSCG(확산 스펙트럼 클럭 생성) 특성</a>.</p> <p><a href="#">표 38: 플래시 메모리 특성</a>, <a href="#">표 39: 플래시 메모리 프로그래밍</a>, <a href="#">표 40: VPP를 사용한 플래시 메모리 프로그래밍</a>이 업데이트되었습니다.</p> <p>업데이트된 <a href="#">섹션: 출력 구동 전류</a>.</p> <p><b>표 53: I2C 특성:</b> Note 4는 Fast 모드에서 th(SDA)에 업데이트되어 적용되었으며 th(SDA) 최소값과 관련된 Note 4는 제거되었습니다. 업데이트된 <a href="#">표 67: ADC 특성</a>. <a href="#">표 68: fADC = 30MHz</a>에서의 ADC 정확도 아래 ADC 정확도와 음의 주입 전류에 관한 참고 사항이 업데이트되었습니다.</p> <p><a href="#">표 96: 패키지 열 특성</a>에 WLCSP90 열 저항이 추가되었습니다.</p> <p>업데이트된 <a href="#">표 90: WLCSP90 - 0.400mm 피치 웨이퍼 레벨 칩 크기 패키지</a> 데이터.</p> <p>업데이트된 <a href="#">그림 83: UFBGA176+25 - 초박형 미세 피치 볼 그리드 어레이 10 × 10 × 0.6mm</a>, <a href="#">패키지 개요</a> 및 <a href="#">표 94: UFBGA176+25 - 초박형 미세 피치 볼 그리드 어레이 10 × 10 × 0.6mm</a> 기계적 데이터.</p> <p><a href="#">그림 85</a> 추가 : LQFP176 권장 설치 공간.</p> <p><a href="#">표 97: 주문 정보 체계</a>에서 256 및 768KB 플래시 메모리 밀도가 제거되었습니다.</p>

표 98. 문서 개정 내역 (계속)

날짜	개정	변경 사항
2013년 6월 4일	4	<p>표 2 아래 수정된 참고 1 : STM32F405xx 및 STM32F407xx: 기능 및 주변 장치 수.</p> <p>그림 4 제목이 업데이트되었습니다 .</p> <p>그림 21 아래 참고 3 업데이트 : 전원 공급 장치 구성표.</p> <p>섹션 2.2.25: 인터 통합 사운드(I2S) 에서 단순 모드를 반이중 모드로 변경했습니다 .</p> <p>DAC1_OUT 및 DAC2_OUT을 각각 DAC_OUT1 및 DAC_OUT2로 대체했습니다.</p> <p>그림 15: STM32F40x LQFP176 핀아웃 에서 핀 36 신호가 업데이트되었습니다 .</p> <p>표 7: STM32F40x 핀 및 블 정의 에서 PA13 핀의 핀 번호가 F8에서 D4로 변경되었습니다 .</p> <p>표 9: 대체 기능 매핑 에서 PA0 및 PA5 핀에 대해 TIM2_CH1/TIM2_ETR을 TIM2_CH1_ETR로 대체했습니다 .</p> <p>그림 18: STM32F40x 메모리 맵 에서 시스템 메모리를 시스템 메모리 + OTP로 변경했습니다 .</p> <p>표 16: VCAP_1/VCAP_2 작동 조건 아래에 참고 1을 추가했습니다 .</p> <p>표 74: DAC 특성 의 IDDA 설명이 업데이트되었습니다 .</p> <p>그림 86: 주변 장치 전용으로 구성되고 전속 모드에서 사용되는 USB 컨트롤러 및 그림 87: 호스트 전용으로 구성되고 전속 모드에서 사용되는 USB 컨트롤러에서 VBUS에 대한 PA9/PB13 연결이 제거되었습니다 .</p> <p>첫 페이지 및 섹션 2.2.24: 직렬 주변 장치 인터페이스(SPI) 에서 SPI 처리량을 업데이트했습니다.</p> <p>표 2 의 업데이트된 작동 전압 : STM32F405xx 및 STM32F407xx: 기능 및 주변 장치 개수</p> <p>섹션 2.2.14 의 업데이트된 참고 사항 : 전원 공급 장치 구성표</p> <p>업데이트된 섹션 2.2.15: 전원 공급 장치 감독자</p> <p>섹션 2.2.16: 전압 조정기 의 "조정기 ON" 단락 업데이트됨</p> <p>섹션 2.2.19 에서 삭제된 참고 사항 : 저전력 모드</p> <p>섹션 2.2.28: 전용 DMA 및 IEEE 1588을 지원하는 이더넷 MAC 인터페이스 에서 잘못된 참조 매뉴얼을 수정했습니다.</p> <p>업데이트된 표 15: 작동 전원 공급 범위에 따른 제한 사항</p> <p>업데이트된 표 24: 대기 모드에서의 일반 및 최대 전류 소비</p> <p>업데이트된 표 25: VBAT 모드의 일반 및 최대 전류 소비</p> <p>업데이트된 표 36: PLLI2S(오디오 PLL) 특성</p> <p>업데이트된 표 43: EMI 특성</p> <p>업데이트된 표 48: 출력 전압 특성</p> <p>업데이트된 표 50: NRST 핀 특성</p> <p>업데이트된 표 55: SPI 동적 특성</p> <p>업데이트된 표 56: I2S 동적 특성</p> <p>삭제된 표 59</p> <p>업데이트된 표 62: ULPI 타이밍</p> <p>업데이트된 그림 47: 이더넷 SMI 타이밍 다이어그램</p>

개정 이력

STM32F405xx, STM32F407xx

표 98. 문서 개정 내역 (계속)

날짜	개정	변경 사항
2013년 6월 4일	4 (계속되는)	<p>업데이트된 <a href="#">그림 83: UFBGA176+25 - 초박형 미세 피치 볼 그리드 어레이 10 × 10 × 0.6mm, 패키지 개요</a>      업데이트된 <a href="#">표 94: UFBGA176+25 - 초박형 미세 피치 볼 그리드 어레이 10 × 10 × 0.6mm 기계적 데이터</a></p> <p>업데이트된 <a href="#">그림 5: STM32F40x 블록 다이어그램</a>      업데이트된 <a href="#">섹션 2: 설명</a>  <a href="#">표 2</a>의 업데이트된 각주 (3) : STM32F405xx 및 STM32F407xx: 기능 및 주변 장치 개수</p> <p>업데이트된 <a href="#">그림 3: LQFP144 패키지용 STM32F10xx/STM32F2xx/STM32F4xx 간 호환 가능한 보드 설계</a>  <a href="#">그림 4: LQFP176 및 BGA176 패키지용 STM32F2xx와 STM32F4xx 간의 호환 가능한 보드 설계</a></p> <p>업데이트된 <a href="#">섹션 2.2.14: 전원 공급 장치 구성표</a>      업데이트된 <a href="#">섹션 2.2.15: 전원 공급 장치 감독자</a>      업데이트된 <a href="#">섹션 2.2.16: 그림을 포함한 전압 조정기</a>.      업데이트된 <a href="#">표 14: 각주 (2)를 포함한 일반 작동 조건</a>.      업데이트된 <a href="#">표 15: 각주 (3)를 포함하여 작동 전원 공급 장치 범위에 따른 제한 사항</a>.</p> <p><a href="#">표 67: ADC 특성</a>의 업데이트된 각주 (1).  <a href="#">표 68</a>의 업데이트된 각주 (3) : <a href="#">fADC = 30MHz</a>에서의 ADC 정확도.  <a href="#">표 74</a>의 업데이트된 각주 (1) : <a href="#">DAC 특성</a>.      업데이트된 <a href="#">그림 9: 조정기 꺠짐</a>.      업데이트된 <a href="#">그림 7: 내부 재설정이 꺠진 상태에서 전원 공급 장치 감시기 상호 연결</a>.      섹션 2.2.17 추가됨 : <a href="#">조정기 ON/OFF 및 내부 재설정 ON/OFF</a> 가용성.</p> <p>그림 21의 업데이트된 각주 (2) : <a href="#">전원 공급 장치 구성표</a>.  <a href="#">표 9: 대체 핵수 매핑</a>에서 각각 "I2S3S_WS"를 "I2S3_WS"로, "I2S3S_CK"를 "I2S3_CK"로, "FSMC_BLN1"을 "FSMC_NBL1"로 대체했습니다.</p> <p><a href="#">표 9</a>의 핀 PC13, PC14, PC15, PH0, PH1, PI8에 대한 대체 기능 "AF15"로 "EVENTOUT"을 추가했습니다. 대체 기능 매핑  <a href="#">표 7: STM32F40x 핀 및 볼 정의</a>에서 "DCMI_12"를 "DCMI_D12"로 대체했습니다.</p> <p><b>섹션: I2C 인터페이스 특성</b>에서 다음 문장을 삭제했습니다. "달리 지정하지 않는 한 <a href="#">표 53</a>에 제공된 매개변수는 <a href="#">표 14</a>에 요약 된 주변 온도, fPCLK1 주파수 및 VDD 공급 전압 조건에서 수행된 테스트에서 파생됩니다."</p> <p><b>표 7: 45페이지의 STM32F40x 핀 및 볼 정의:</b>      - PC13 핀의 경우 "RTC_AF1"을 "RTC_OUT, RTC_TAMP1, RTC_TS"      - 핀 PI8의 경우 "RTC_AF2"를 "RTC_TAMP1, RTC_TAMP2, RTC_TS".      - 핀 PB15의 경우 대체 기능 열에 RTC_REFIN을 추가했습니다.</p> <p><b>표 9: 60페이지의 대체 기능 매핑에서 포트 PB15에 대해</b>      "RTC_50Hz"가 "RTC_REFIN"으로 대체되었습니다.</p>

표 98. 문서 개정 내역 (계속)

날짜	개정	변경 사항
2013년 6월 4일	4 (계속되는)	<p>업데이트된 그림 6: 다중 AHB 매트릭스. 업데이트된 그림 7: 내부 재설정이 깨진 상태에서 전원 공급 장치 감시기 상호 연결</p> <p>섹션: 레귤레이터 OFF에서 1.2V를 V12로 변경했습니다. LQFP176 핀 48을 업데이트했습니다.</p> <p>섹션 1: 소개를 업데이트했습니다. 섹션 2: 설명이 업데이트되었습니다.</p> <p>표 2: STM32F405xx 및 STM32F407xx: 기능 및 주변 장치 개수의 업데이트된 작동 전압. 참고 1을 업데이트했습니다.</p> <p>섹션 2.2.15 업데이트 : 전원 공급 장치 감독자. 섹션 2.2.16 업데이트 : 전압 조정기. 업데이트된 그림 9: 조정기 꺼짐. 업데이트된 표 3: 조정기 ON/OFF 및 내부 재설정 ON/OFF 가능성.</p> <p>업데이트된 섹션 2.2.19: 저전력 모드. 섹션 2.2.20 업데이트 : VBAT 작업. 섹션 2.2.22 업데이트 : I<sup>2</sup>C(직접 회로 간 인터페이스). 그림 15: STM32F40x LQFP176 핀아웃에서 핀 48을 업데이트했습니다. 업데이트된 표 6: 핀아웃 테이블에 사용된 범례/악어. 업데이트된 표 7: STM32F40x 핀 및 볼 정의. 업데이트된 표 14: 일반 작동 조건. 업데이트된 표 15: 작동 전원 공급 범위에 따른 제한 사항.</p> <p>업데이트된 섹션 5.3.7: 저전력 모드에서 절전 모드 해제 시간. 업데이트된 표 33: HSI 오실레이터 특성. 업데이트된 섹션 5.3.15: I/O 전류 주입 특성. 업데이트된 표 47: I/O 정적 특성. 업데이트된 표 50: NRST 핀 특성. 업데이트된 표 53: I2C 특성. 업데이트된 그림 39: I2C 버스 AC 파형 및 측정 회로. 업데이트된 섹션 5.3.19: 통신 인터페이스. 업데이트된 표 67: ADC 특성. 표 70: 온도 센서 교정 값을 추가했습니다. 표 73: 내부 기준 전압 교정 값을 추가했습니다. 섹션 5.3.25 업데이트 : FSMC 특성. 섹션 5.3.27 업데이트 : SD/SDIO MMC 카드 호스트 인터페이스(SDIO) 특성.</p> <p>업데이트된 표 23: 정지 모드의 일반 및 최대 전류 소비.</p> <p>업데이트된 섹션: 표 55에 SPI 인터페이스 특성이 포함되어 있습니다. 업데이트된 섹션: 표 56에 I2S 인터페이스 특성이 포함되어 있습니다. 업데이트된 표 64: 동적 특성: SMI용 이더넷 MAC 신호.</p> <p>업데이트된 표 66: 동적 특성: MII용 이더넷 MAC 신호.</p>

표 98. 문서 개정 내역 (계속)

날짜	개정	변경 사항
2013년 6월 4일	4 (계속되는)	<p>업데이트된 표 64: 동적 특성: SMI용 이더넷 MAC 신호.</p> <p>업데이트된 표 66: 동적 특성: MII용 이더넷 MAC 신호.</p> <p>업데이트된 표 79: 동기식 다중화 NOR/PSRAM 읽기 타이밍.</p> <p>업데이트된 표 80: 동기식 다중화 PSRAM 쓰기 타이밍.</p> <p>업데이트된 표 81: 동기식 비다중화 NOR/PSRAM 읽기 타이밍.</p> <p>업데이트된 표 82: 동기식 비다중화 PSRAM 쓰기 타이밍.</p> <p>업데이트된 섹션 5.3.26: 카메라 인터페이스(DCMI) 타이밍 사양 표 87: DCMI 특성 및 그림 73: DCMI 타이밍 다이어그램 추가.</p> <p>업데이트된 섹션 5.3.27: 표 88을 포함한 SD/SDIO MMC 카드 호스트 인터페이스(SDIO) 특성 .</p> <p>그림 9장을 업데이트했습니다 .</p>

## STM32F405xx, STM32F407xx

주의 깊게 읽으십시오:

이 문서의 정보는 ST 제품과 관련해서만 제공됩니다. STMicroelectronics NV 및 그 자회사("ST")는 언제든지 통지 없이 이 문서와 여기에 설명된 제품 및 서비스를 변경, 수정, 수정 또는 개선할 수 있는 권리를 보유합니다.

모든 ST 제품은 ST의 판매 약관에 따라 판매됩니다.

구매자는 여기에 설명된 ST 제품 및 서비스의 선택, 선택 및 사용에 대해 전적으로 책임을 지며, ST는 여기에 설명된 ST 제품 및 서비스의 선택, 선택 또는 사용과 관련하여 어떠한 책임도 지지 않습니다.

이 문서에서는 금반언이나 기타 방법으로 지적 재산권에 대한 명시적 또는 묵시적 라이센스가 부여되지 않습니다. 본 문서의 일부가 타사 제품 또는 서비스를 언급하는 경우 해당 타사 제품 또는 서비스 또는 여기에 포함된 지적 재산권의 사용에 대해 ST가 부여한 라이센스로 간주되지 않으며 사용에 대한 보증으로 간주되지 않습니다. 그러한 제3자의 제품이나 서비스 또는 거기에 포함된 지적 재산에 대해서는 어떠한 방식으로든 적용됩니다.

ST의 판매 약관에 달리 명시되지 않는 한, ST는 상품성, 특정 목적에의 적합성에 대한 묵시적인 보증(및 법률에 따른 이에 상응하는 보증을 포함하되 이에 국한되지 않음)을 포함하여 ST 제품의 사용 및/또는 판매와 관련하여 어떠한 명시적이거나 묵시적인 보증도 부인합니다. 모든 관할권 또는 특히, 저작권 또는 기타 지적 재산권의 침해.

ST 제품은 무기애에 사용하도록 승인되지 않았습니다. 또한 ST 제품은 다음 용도로 설계되거나 승인되지 않았습니다. (A) 생명 유지, 능동 이식 장치 또는 제품 기능 안전 요구 사항이 있는 시스템과 같은 안전이 중요한 응용 분야 (B) 항공 응용 분야; (C) 자동차 애플리케이션 또는 환경 및/또는 (D) 항공우주 애플리케이션 또는 환경. ST 제품이 그러한 용도로 설계되지 않은 경우, ST가 그러한 사용에 대해 서면으로 통보받았을 하더라도 구매자는 구매자의 전적인 책임 하에 제품을 사용해야 합니다. 단, 해당 제품이 ST에 의해 "자동차, 자동차 안전 또는 의료" 산업 영역은 ST 제품 디자인 사양에 따릅니다.

공식적으로 ESCC, QML 또는 JAN 인증을 받은 제품은 해당 정부 기관에 의해 항공우주 분야에서 사용하기에 적합한 것으로 간주됩니다.

본 문서에 명시된 진술 및/또는 기술적 특징과 다른 조항을 적용하여 ST 제품을 재판매하는 경우, 여기에 설명된 ST 제품 또는 서비스에 대해 ST가 부여한 보증이 즉시 무효화되며 어떤 방식으로든 다음과 같은 책임이 발생하거나 확대되지 않습니다. 성.

ST 및 ST 로고는 다양한 국가에서 ST의 상표 또는 등록 상표입니다.

이 문서의 정보는 이전에 제공된 모든 정보를 대체하고 대체합니다.

ST 로고는 STMicroelectronics의 등록 상표입니다. 다른 모든 이름은 해당 소유자의 재산입니다.

© 2013 STMicroelectronics - 판권 소유

STMicroelectronics 계열사 그룹

호주 - 벨기에 - 브라질 - 캐나다 - 중국 - 체코 - 핀란드 - 프랑스 - 독일 - 홍콩 - 인도 - 이스라엘 - 이탈리아 - 일본 -  
말레이시아 - 몰타 - 모로코 - 필리핀 - 싱가포르 - 스페인 - 스웨덴 - 스위스 - 영국 - 미국

[www.st.com](http://www.st.com)

