



# FPGA 기본 동작 테스트

2022. 06. 04.

삼성전자

정 석 용

# FPGA 기본 동작 테스트

## □ SDK 설치

- Vivado SDK 설치('22.6.3 기준 Ver. 2022.1)
  - Link(Xilinx 회원가입 필요) : <https://www.xilinx.com/support/download.html>
  - “Xilinx Unified Installer 2022.1: Windows Self Extracting Web Installer” 클릭

↓ Xilinx Unified Installer 2022.1: Windows Self Extracting Web Installer (EXE - 205.92 MB)

MD5 SUM Value : 76a6221ea8eed8c635c654cc100a1cae

Download Verification ⓘ

Digests

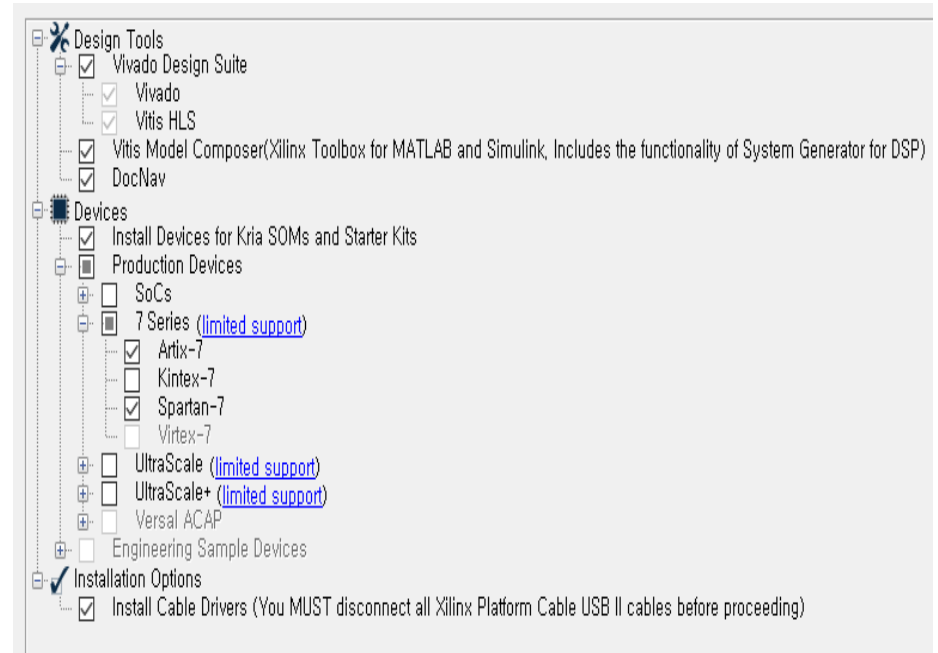
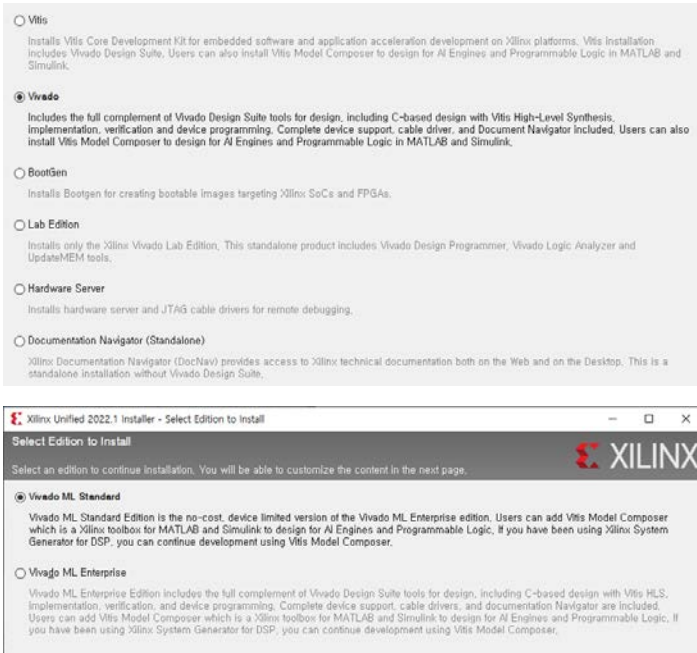
Signature

Public Key

# FPGA 기본 동작 테스트

## SDK 설치

- 1. Select Product : Vivado
- 2. Select Edition : Vivado ML Standard
- 3. 체크 박스 선택



# FPGA 기본 동작 테스트

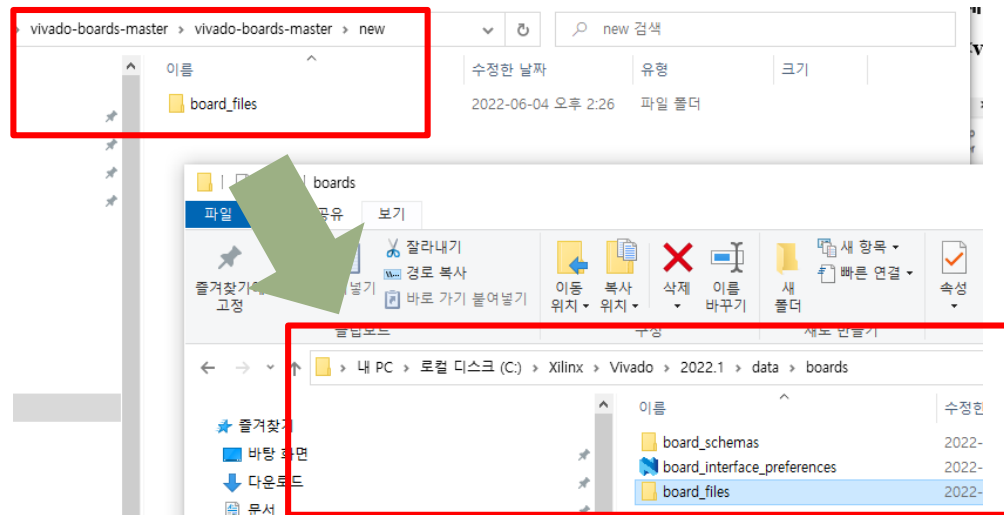
## ❑ SDK 설치

### ➤ 다운로드 : Vivado Board Files for Digilent FPGA Boards

- File-link : <https://github.com/Digilent/vivado-boards/archive/master.zip? ga=2.102205826.2068139069.1654266768-606320024.1654266768>
- GitHub : <https://github.com/Digilent/vivado-boards>

### ➤ vivado-boards-master.zip의 \vivado-boards-master\newBoard\_files 폴더 전체 복사

- 복사 대상 경로: C:\Xilinx\Vivado\2022.1\data\boards

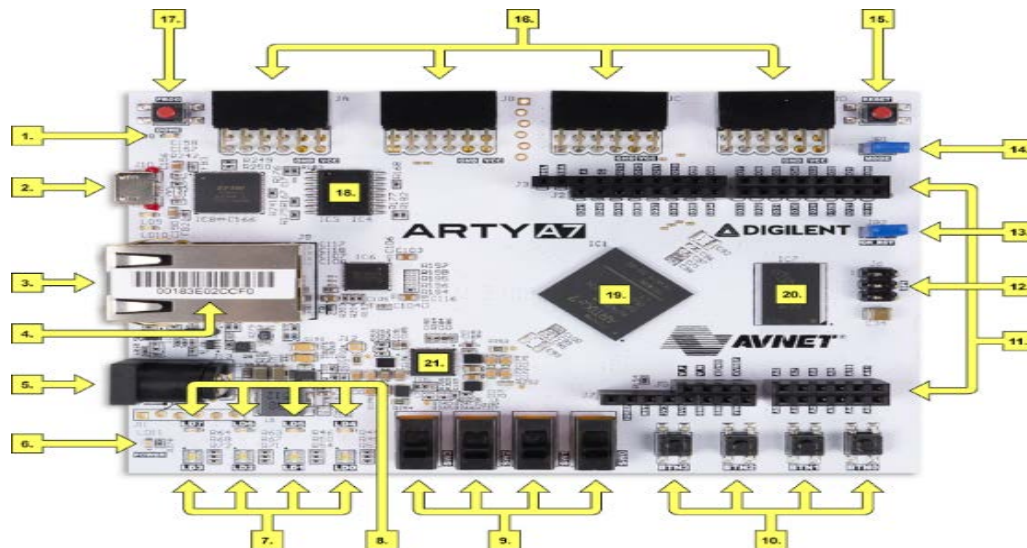


- 원본 링크 : <https://digilent.com/reference/programmable-logic/guides/installing-vivado-and-sdk>

# FPGA 기본 동작 테스트

## ❑ 개발 보드 설명 : Digilent社 Artix A7-35t

- Xilinx社 : Artix-7 series(XC7A35TICSG324-1L) FPGA 탑재
  - 보드 Spec.: <https://digilent.com/reference/programmable-logic/artix-a7/start>
  - XDC File : [Master XDC Files](#)
  - 예제 1: Logic gate[and, not, or, etc.] (by JSY)
  - 제조사 제공 예제 : <https://digilent.com/reference/programmable-logic/artix-a7/demos/gpio>

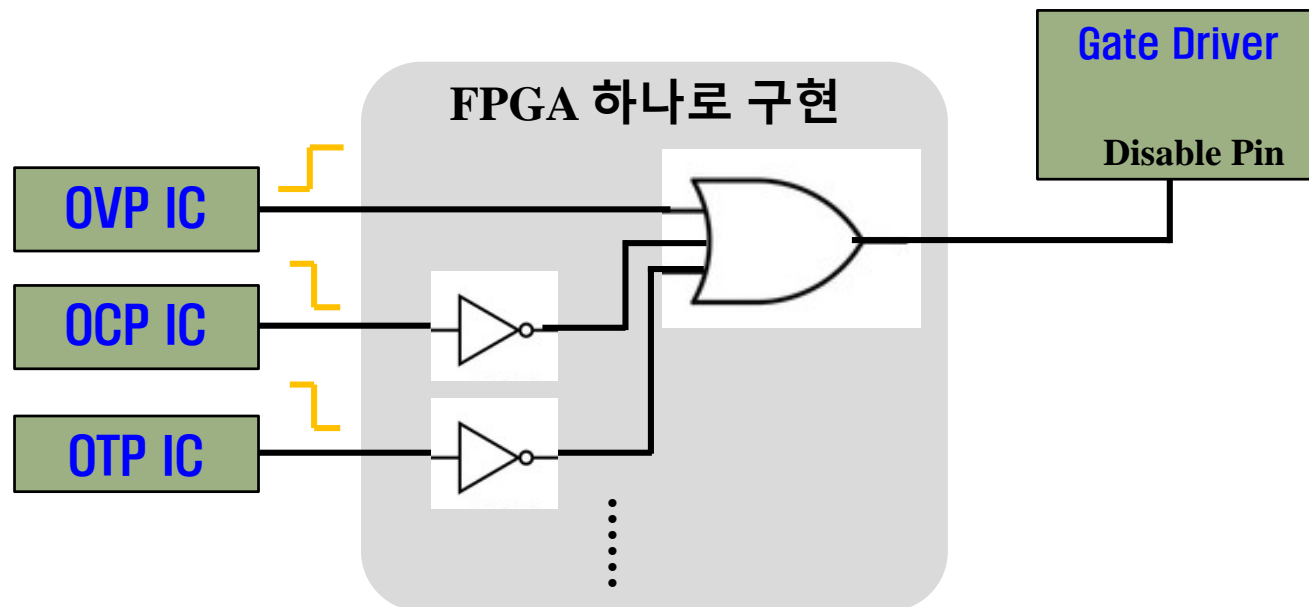




# FPGA 기본 동작 테스트

## ❑ 예제 Project : Intro

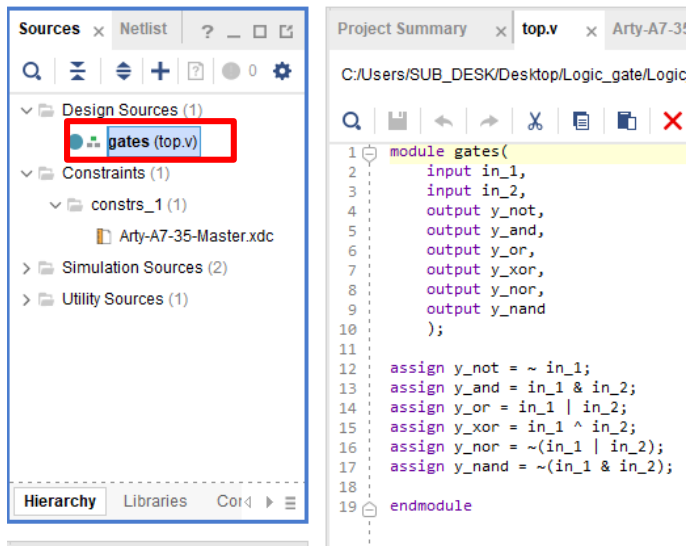
- 활용 예시: 회로 내 이상 상황(OVP/OCP/OTP 등) 감지 및 Turn-off 회로 테스트 가능
  - OVP Rising Edge, OCP Falling Edge IC가 사용될 경우, NOT/OR gate 등 다수 테스트용 IC 필요
  - FPGA로 프로그래밍 시, 모든 Digital Logic 구현 가능하며, 부품구매없이 Digital 회로 간단히 테스트 가능
- 그 외, [Delay/Latch/PWM], [Open-Drain/Buffer] 등 다양한 디지털 기능 구현 가능



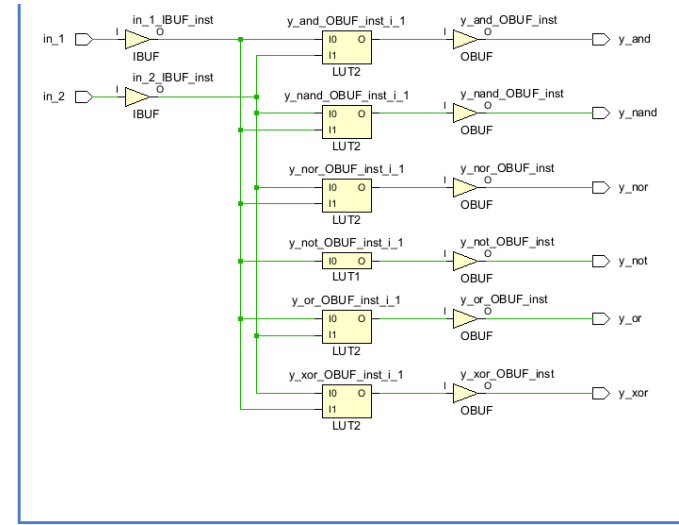
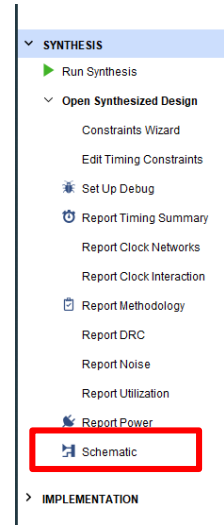
# FPGA 기본 동작 테스트

## ❑ 예제 Project : 시뮬레이션

- Logic\_gate.zip 압축 해제 후, Vivado로 Project OPEN
  - Source – Design Sources - top.v 에 gates module정의
    - 2 input, 6 output(NOT / AND / OR / XOR / NOR / NAND)
- Run Synthesis 실행하면, 베릴로그 언어로 작성된 ‘gates module’ RTL 합성 진행됨
  - Synthesis – Open Synthesized Design – Schematic 에서 FPGA LUT 연결 상태 확인가능



[ 소스 코드 ]

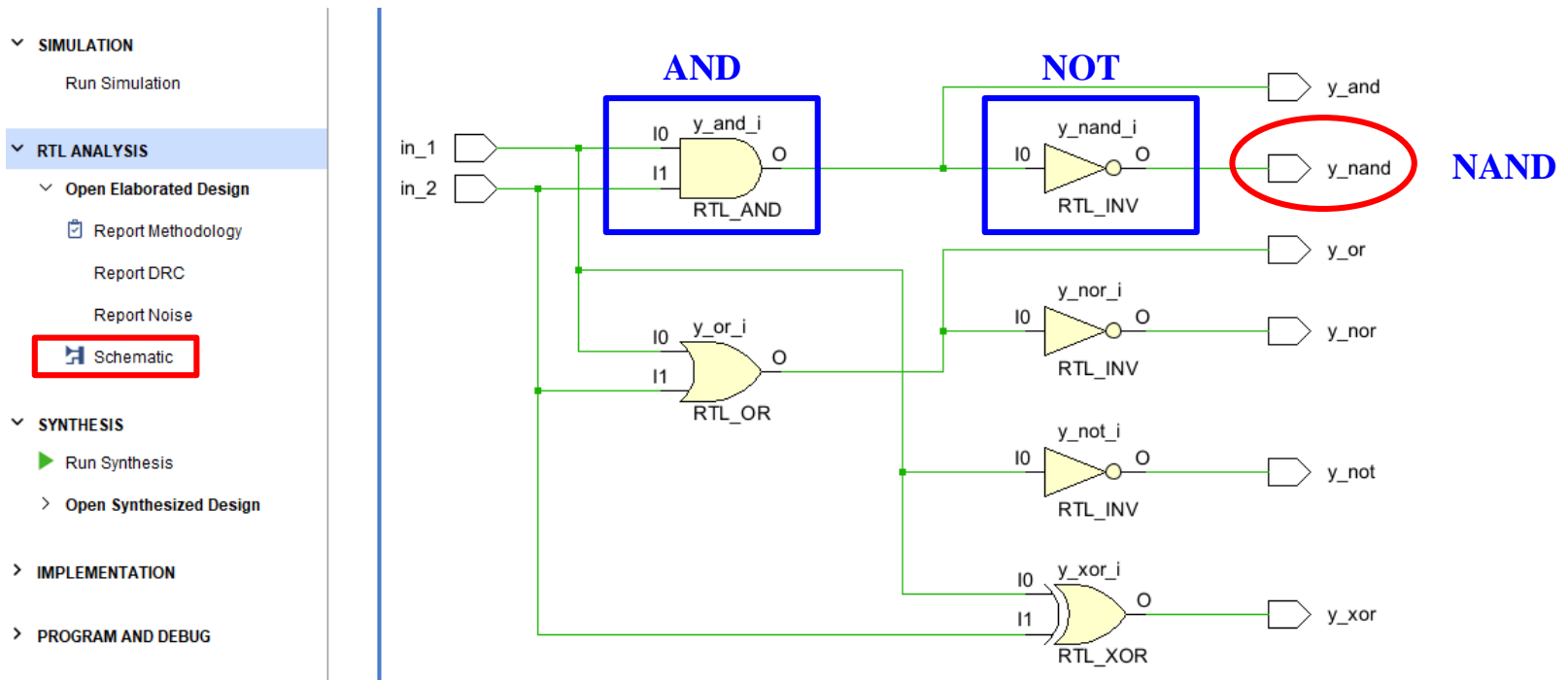


[ 신세스 Schematic ]

# FPGA 기본 동작 테스트

## ❑ 예제 Project : 시뮬레이션

- RTL Analysis – Open Elaborated Design – Schematic 에서 RTL 합성 확인 가능
- 베릴로그 코드로 구현한 내용이 logic레벨로 구현되었는지 회로도 level 에서 검증



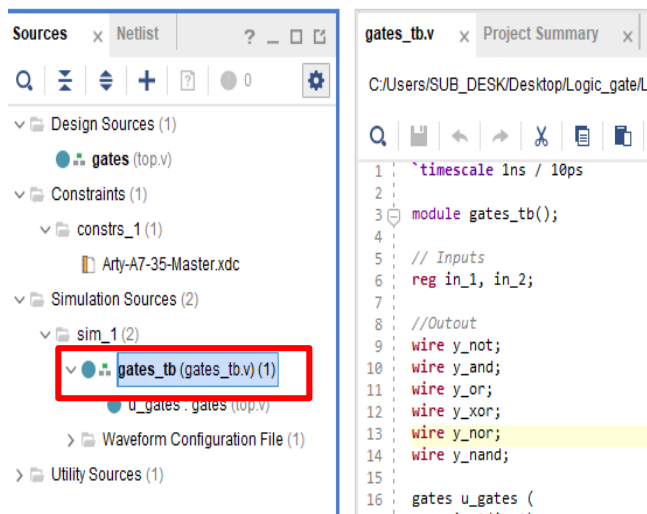
[ RTL Schematic ]



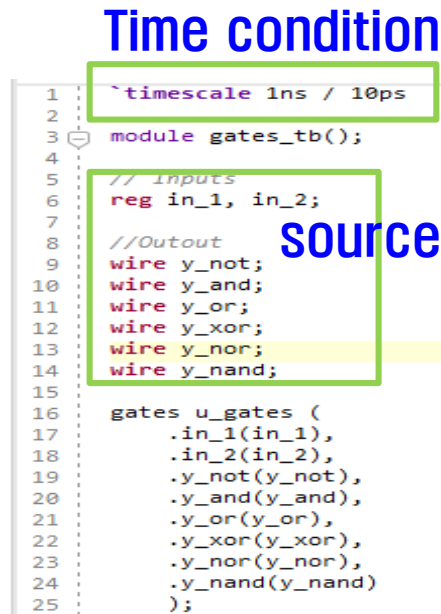
# FPGA 기본 동작 테스트

## ❑ 예제 Project : 시뮬레이션

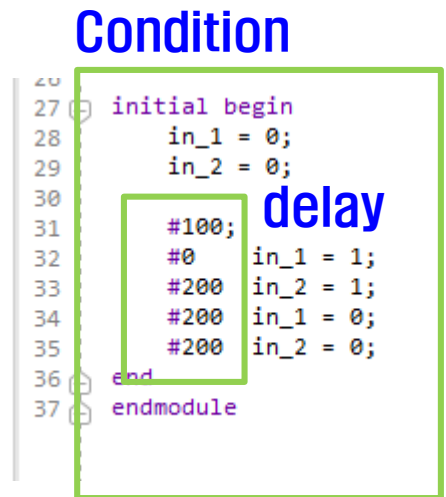
- Hardware에 코드 업로드 하기 앞서, 시뮬레이션 검증 진행( h/w 업로드 파일 생성 시간이 오래 걸리기 때문)
- Sources – Simulation Sources – sim\_1 - gate\_tb.v 에 시뮬레이션 정보 있음
- Time condition / Inout Source / 초기값 등 설정하면 됨



[ Simulation 파일 ]



[ Simulation 설정 ]

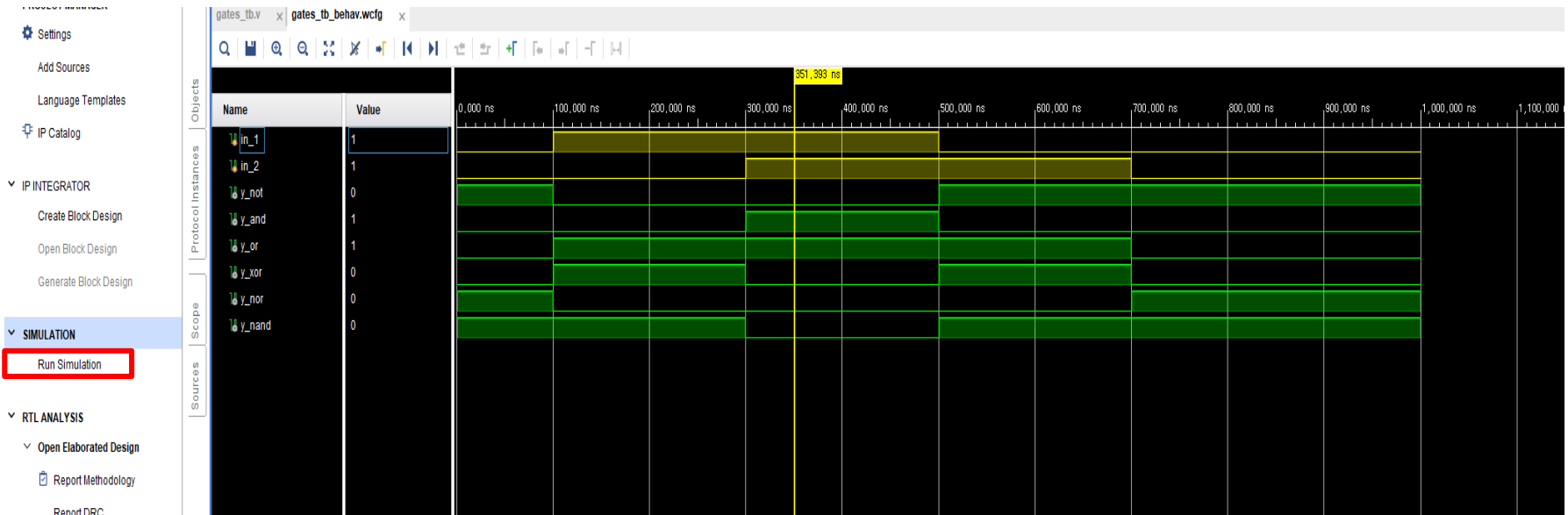


# FPGA 기본 동작 테스트

## ❑ 예제 Project : 시뮬레이션

### ➤ SIMULATION – Run Simulation – Run Behavioral Simulation

- in\_1, in\_2 입력에 대한 6종 출력 확인 가능
- 노란색 막대 구간에서 in\_1 = in\_2 = 1(High)
  - y\_not = 0, y\_and = 1, y\_or = 1 등 정상 동작 확인

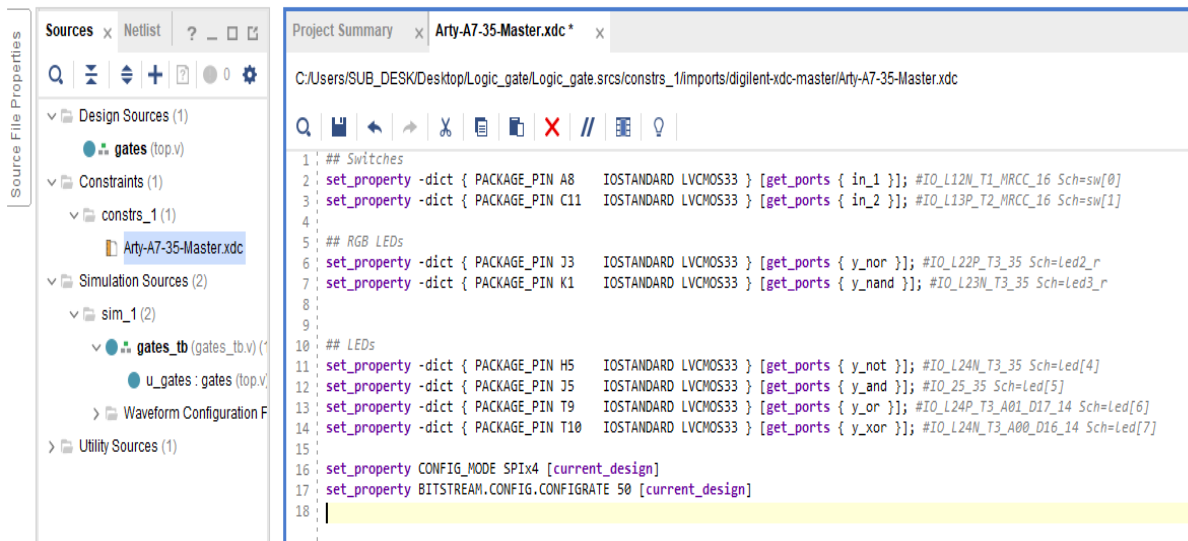


[ Simulation 결과 ]

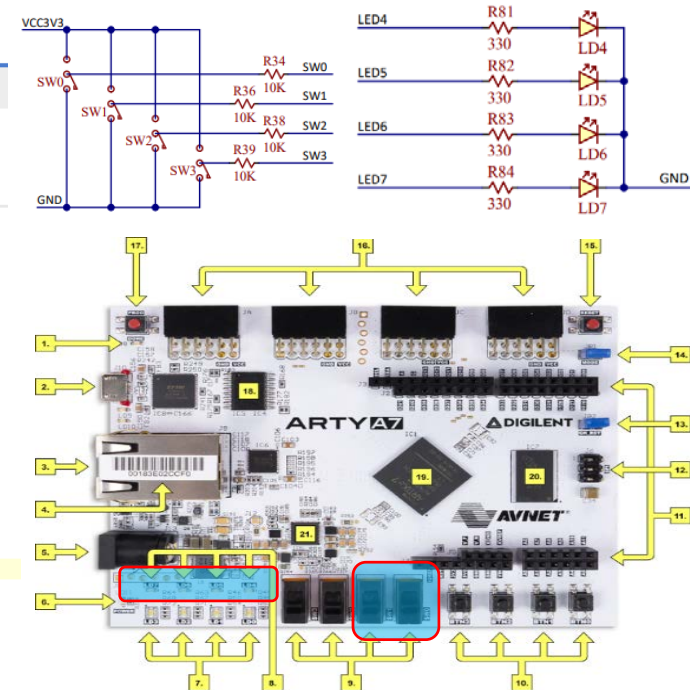
# FPGA 기본 동작 테스트

## ❑ 예제 Project : 하드웨어 프로그래밍

- H/W 프로그래밍을 위해서는 Sources – Constraints – constrs\_1 – Arty-A7-35-Master.xdc 설정 필요
  - gate module에서 설정한 in/out 포트를 FPGA IC의 pin에 할당
- IMPLEMENTATION – Run Implementation 실행
- PROGRAM AND DEBUG – Generate Bitstream



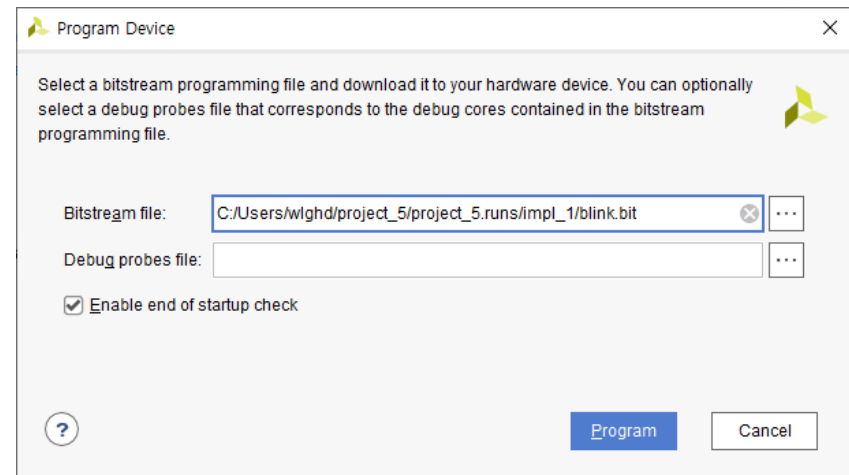
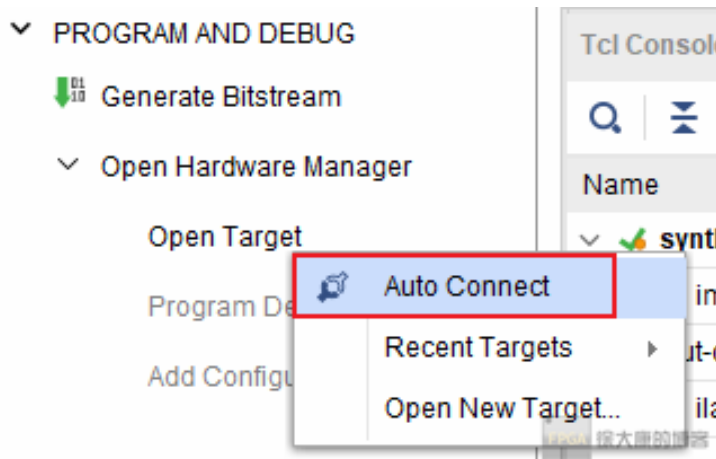
[ Configuration 설정 ]



# FPGA 기본 동작 테스트

## ❑ 예제 Project : 하드웨어 프로그래밍

- 비트스트림 파일을 이용해 FPGA에서 코드 동작 시키기
  - PROGRAM AND DEBUG – Open Hardware Manager – Open Target 클릭 : Target Board 연결
  - PROGRAM AND DEBUG – Open Hardware Manager – Program Device 클릭 : FPGA IC 선택
    - 기본 저장경로 : `.\Logic_gate.runs\impl_1\gates.bit`
- ※ 메모리가 아닌 FPGA내에 업로드 되기때문에 전원이 제거 시, 코드 내용도 삭제됨

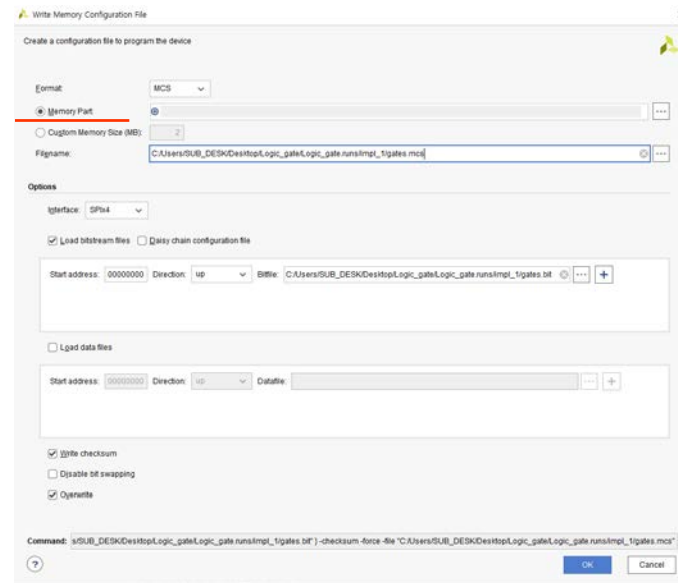
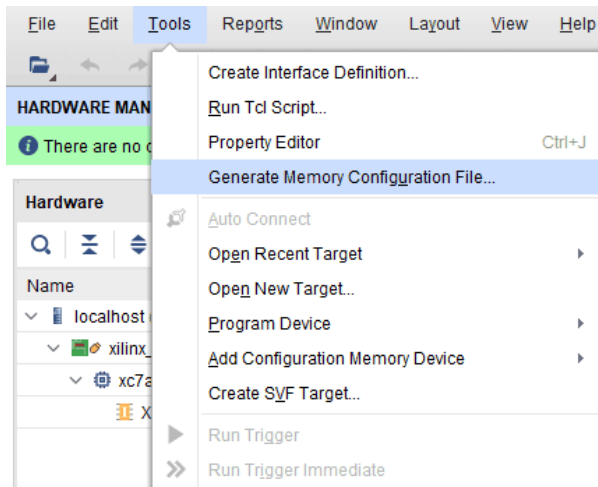


[ 비트 스트림 업로드 ]

# FPGA 기본 동작 테스트

## ❑ 예제 Project : 하드웨어 프로그래밍

- 메모리 저장용 Configuration file(\*.mcs) 생성
  - Tools – Generate Memory configuration File
  - Bitstream 기본 저장경로 : .\Logic\_gate.runs\impl\_1\gates.bit
  - Memory Part는 Board의 실제 메모리 명 선택, 그 외 옵션은 하기 그림과 동일하게 설정



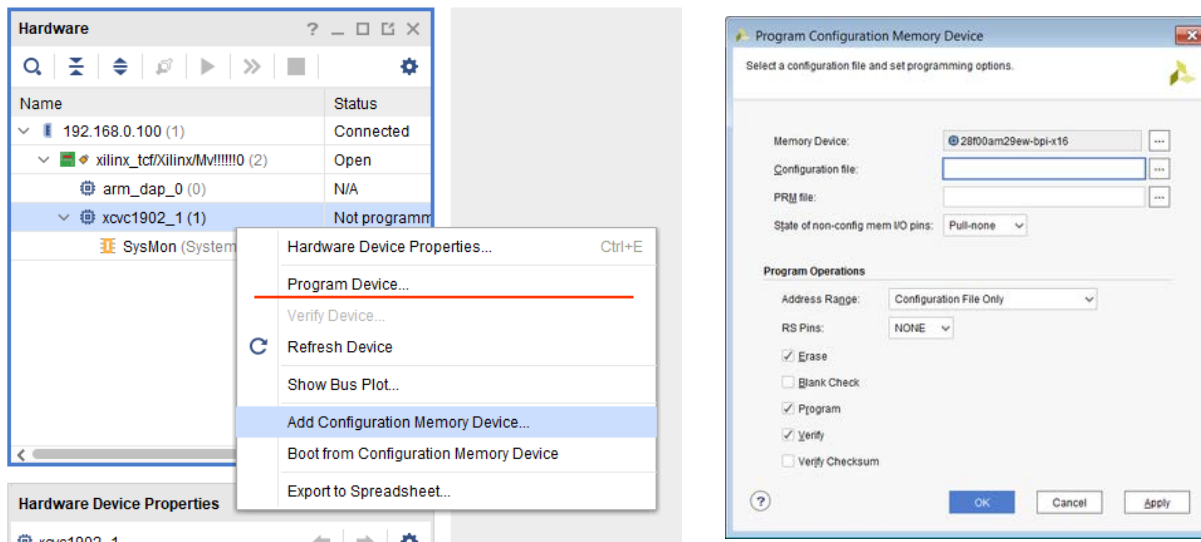
[ Configuration 설정 ]



# FPGA 기본 동작 테스트

## ❑ 예제 Project : 하드웨어 프로그래밍

- Programming a Configuration Memory Device : MCS파일을 Board 내 Memory에 업로드 하기
  - Hardware – Target Board – Memory IC 우클릭 – Program Device 선택
  - MCS 파일 선택 : 기본 저장 경로 : .\Logic\_gate.runs\impl\_1\gates.mcs
  - 프로그래밍이 완료 되면, FPGA를 재부팅하여도 코드가 저장되어있음



[ Configuration 설정 ]

FPGA 전원 재인가 대신,  
Reset 버튼 사용 가능

