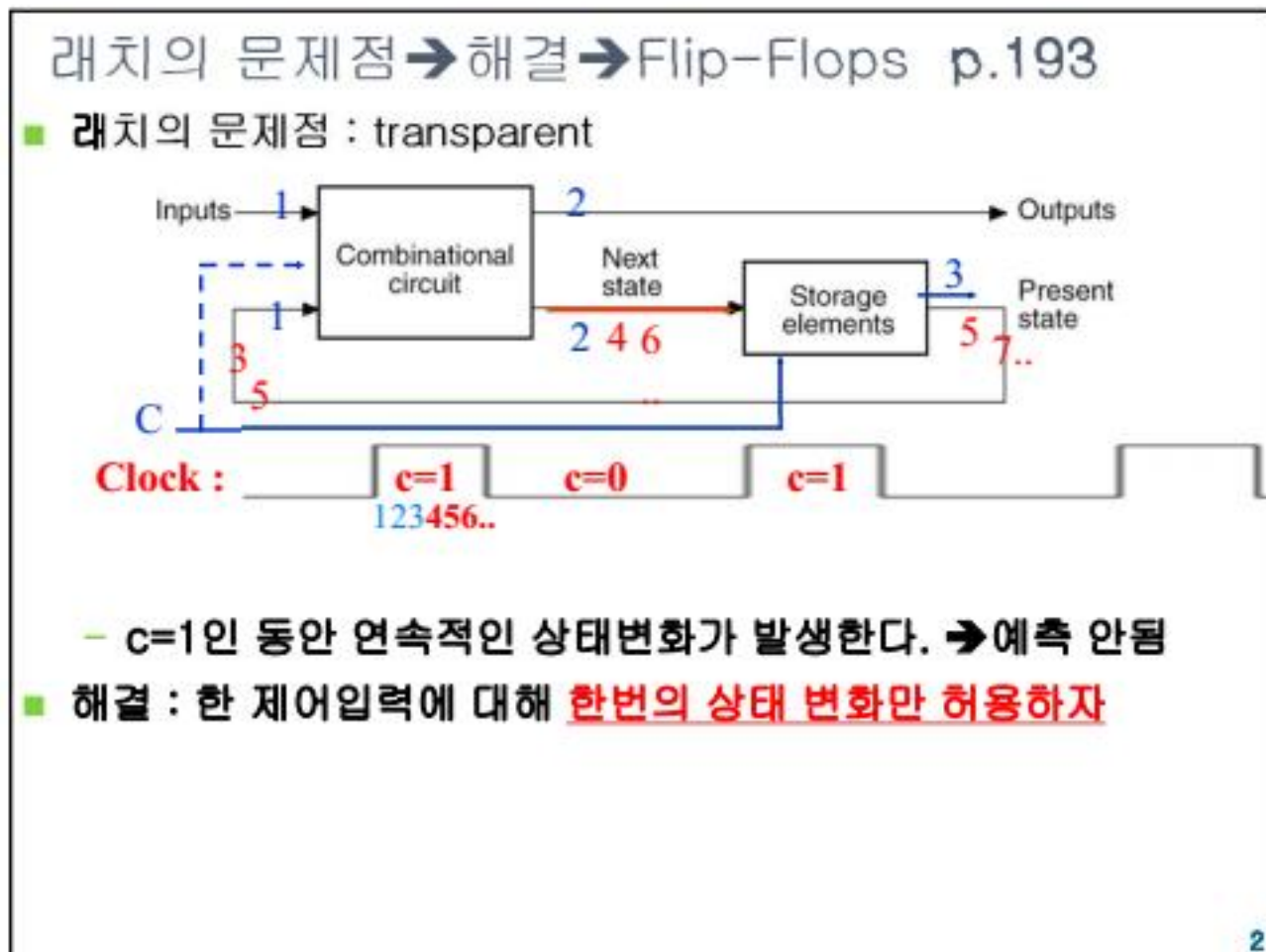
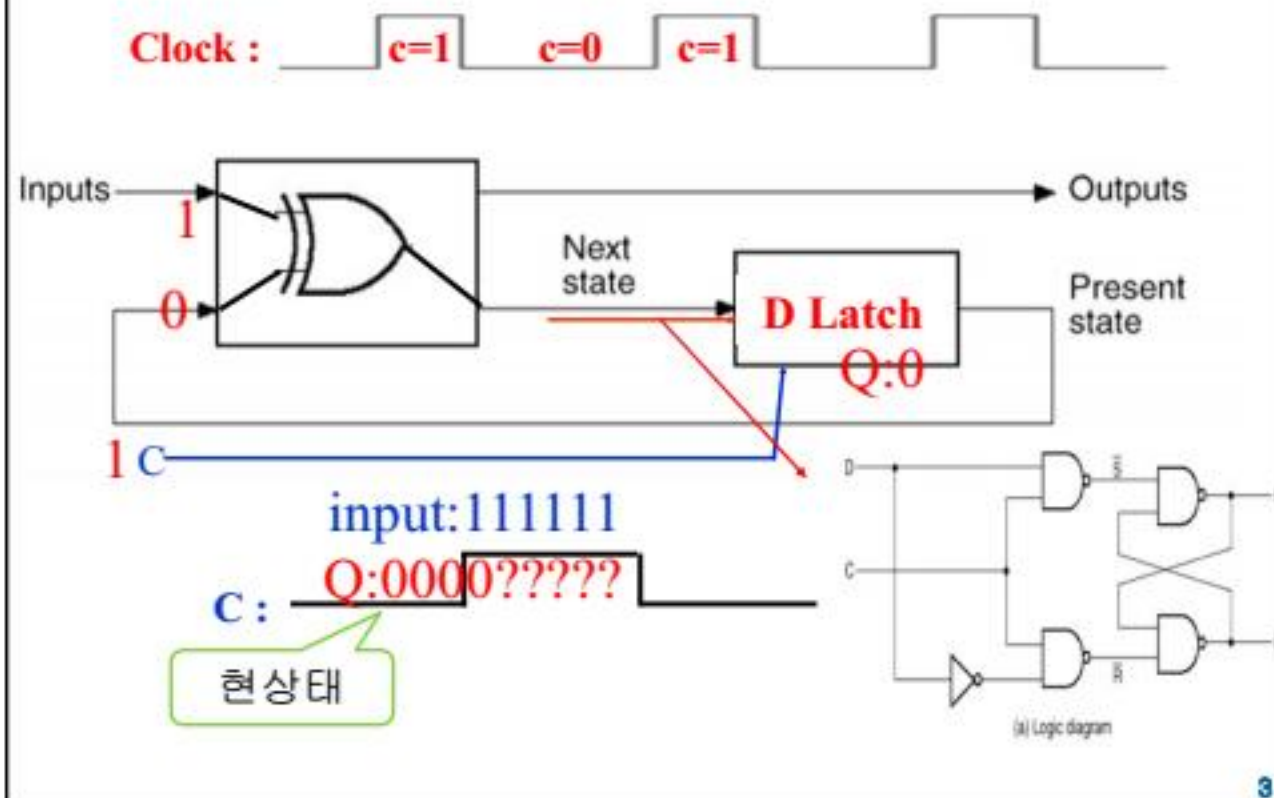


1



2

래치의 문제점 : transparent p.193

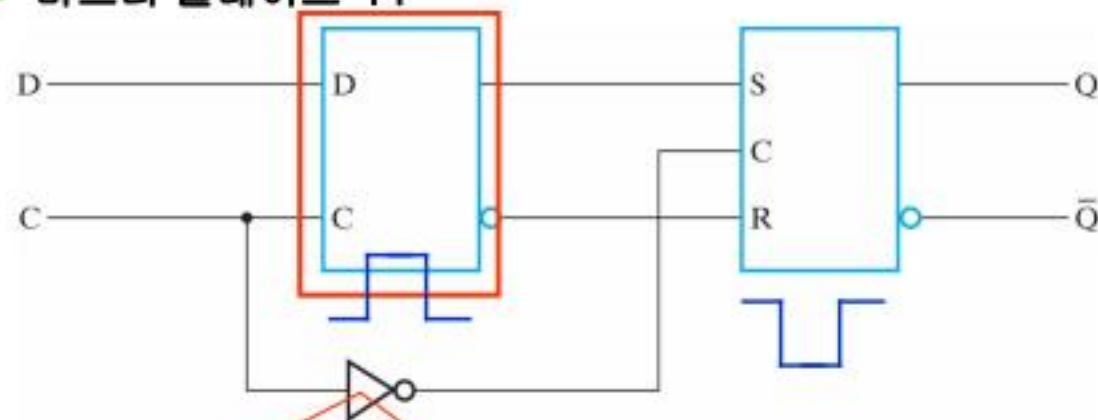


3

플립플롭 (latch 2개 구성)

p.193

- 한 제어입력(C)에 대해 한번의 상태 변화만 허용하자
- flip-flop = Master latch + slave latch
- 마스터 슬레이브 FF

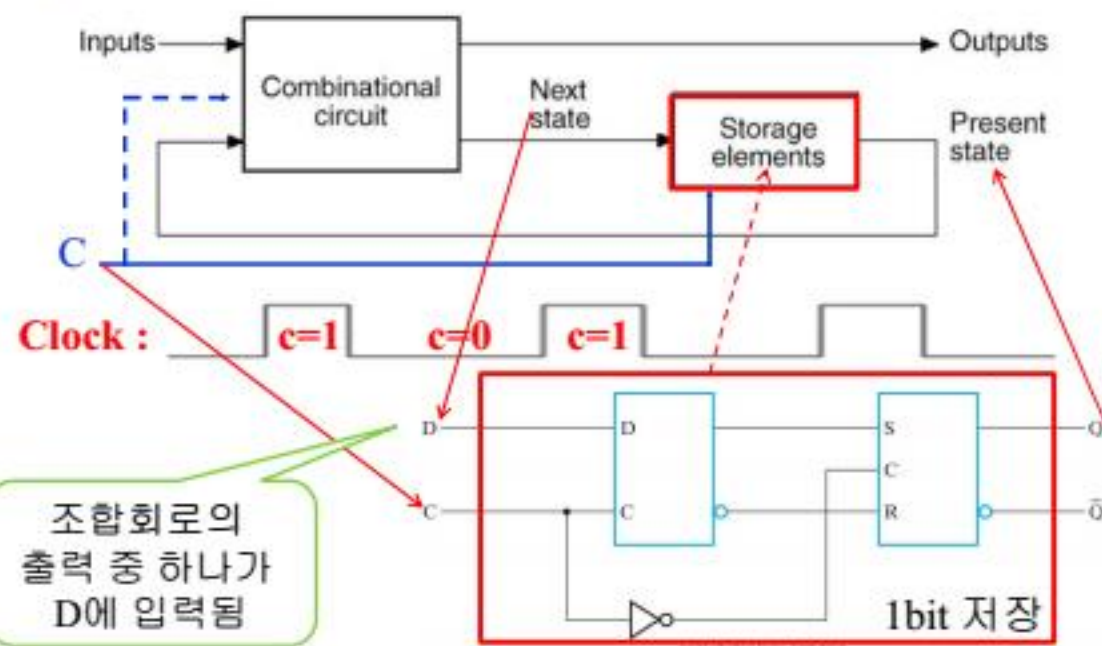


제어 입력 C를 한 쪽 latch만 (enable, disable) 되도록 입력을 제어한다. → c=1인동안 Q가 계속 바뀌는것을 막는다.

4

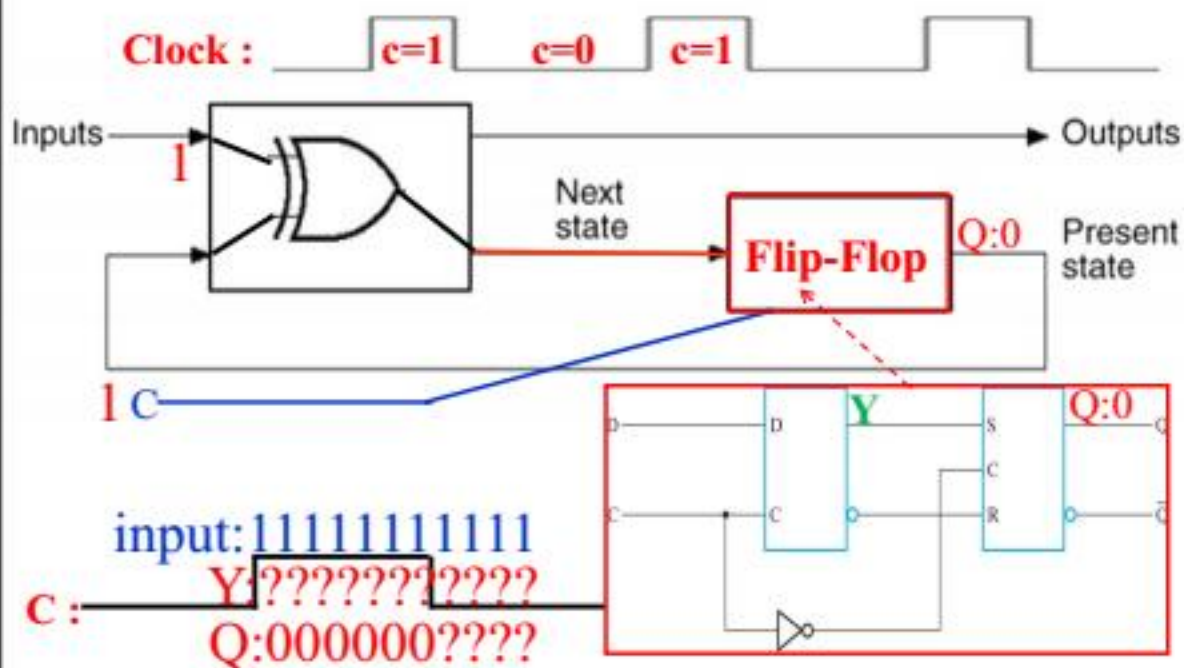
4

Flip-Flops

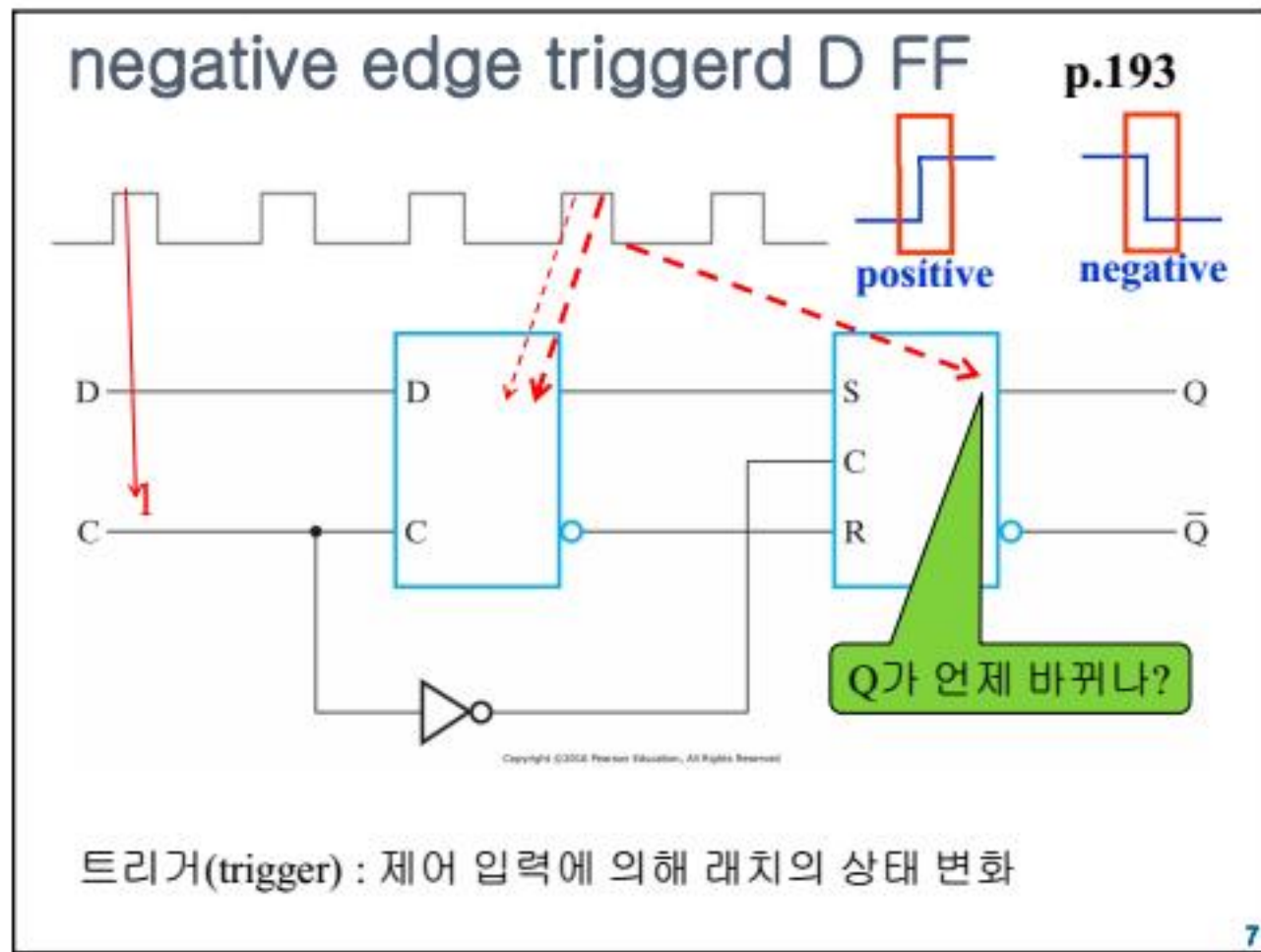


5

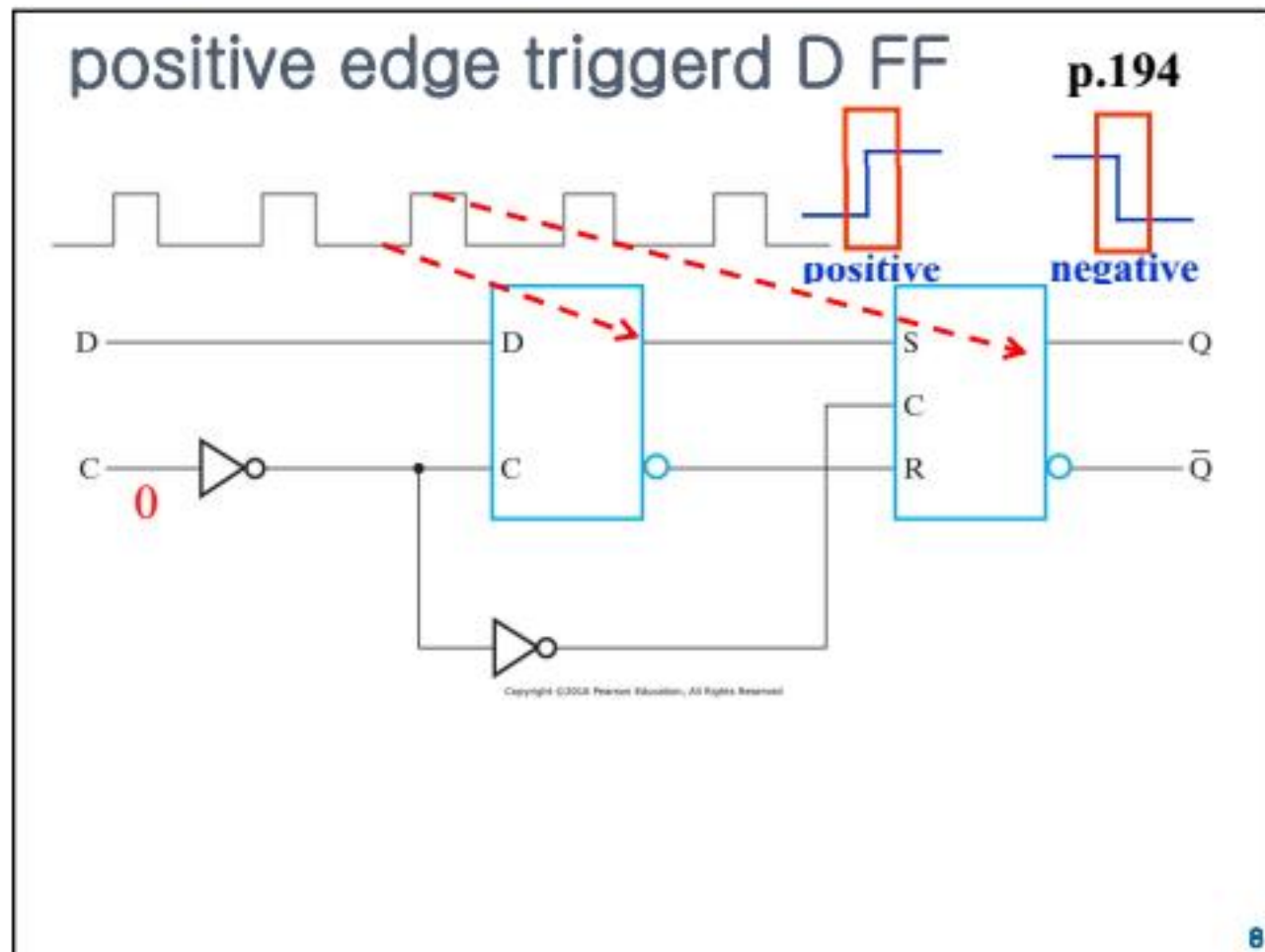
래치의 문제점 → FF해결 p.193



6

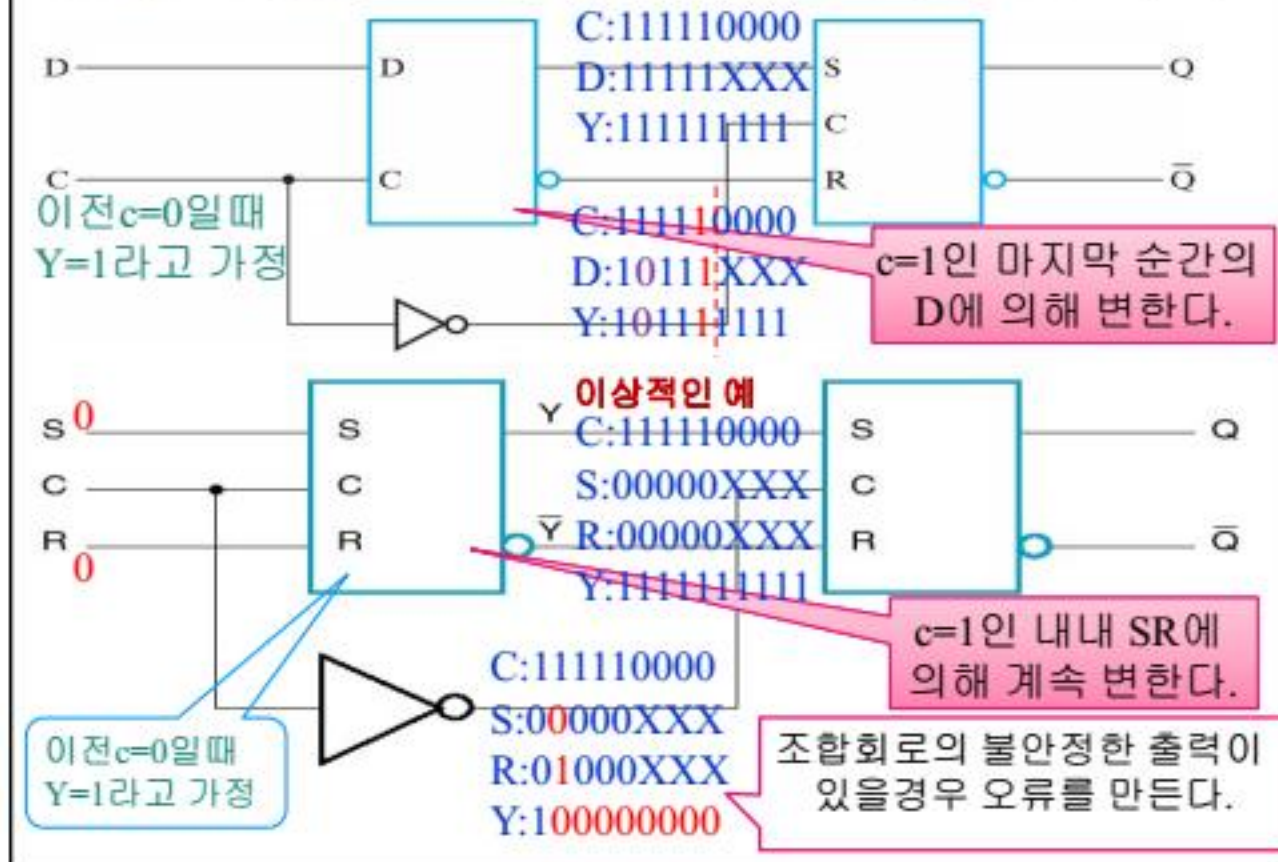


7



8

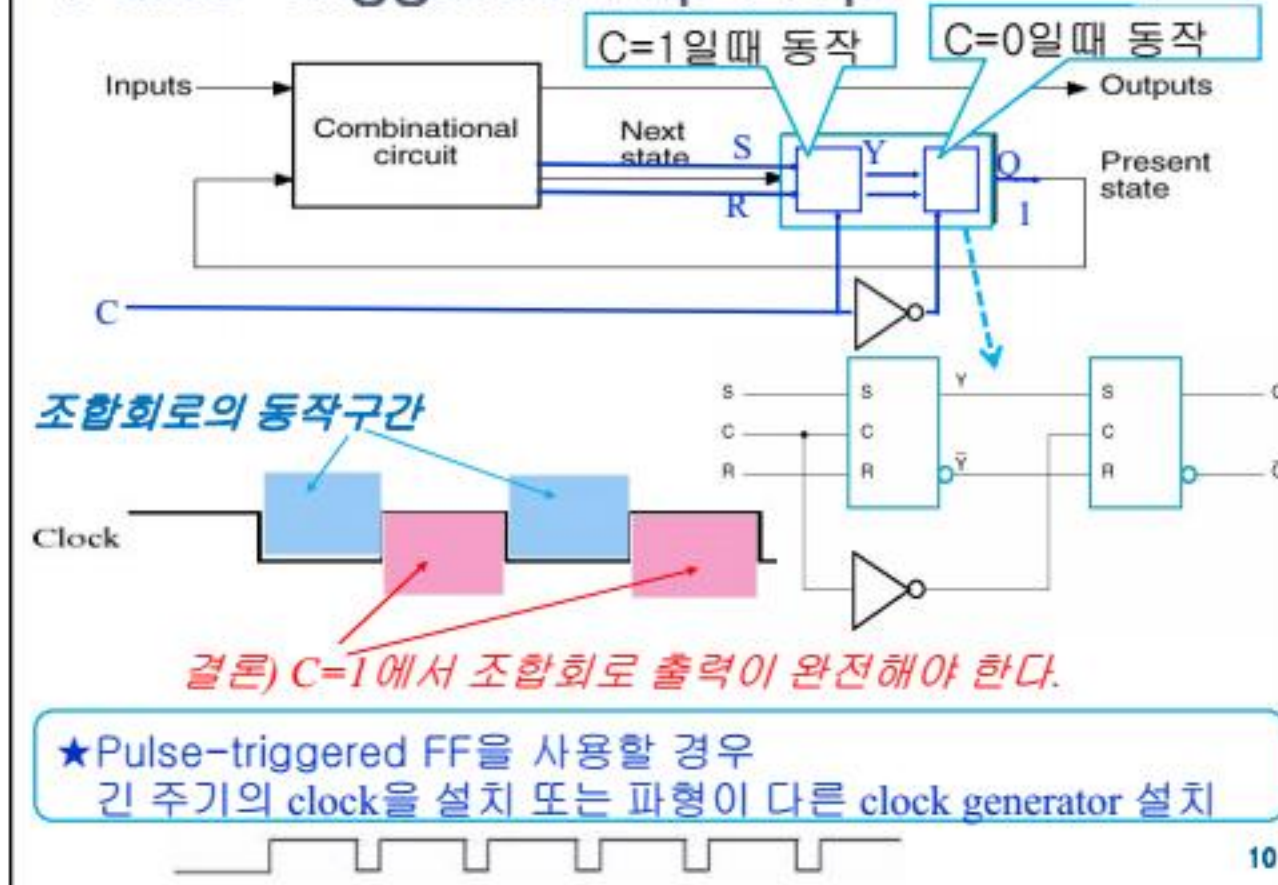
edge-triggered FF, Pulse-triggered 차이



9

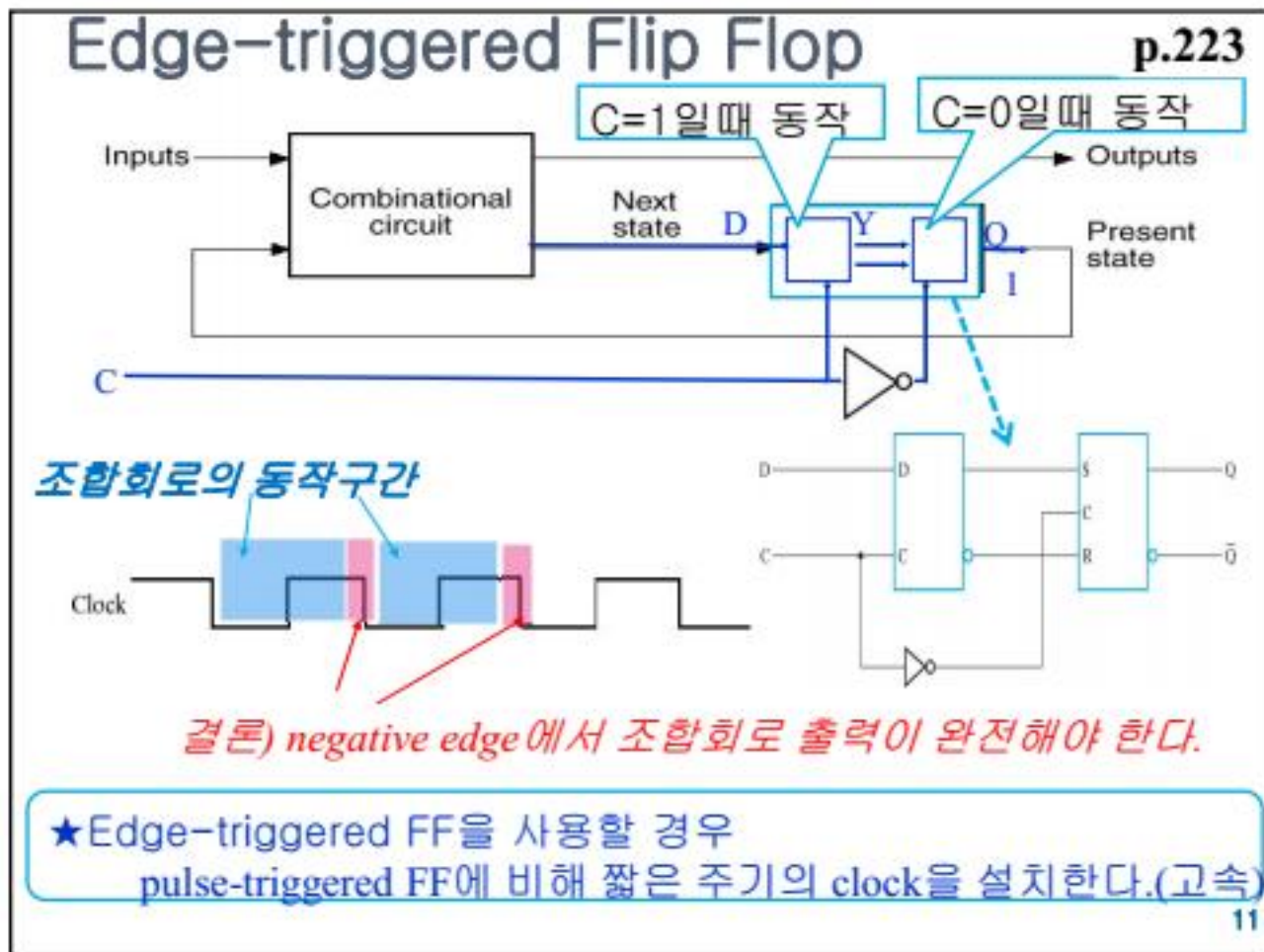
Pulse-triggered Flip Flop

p.223

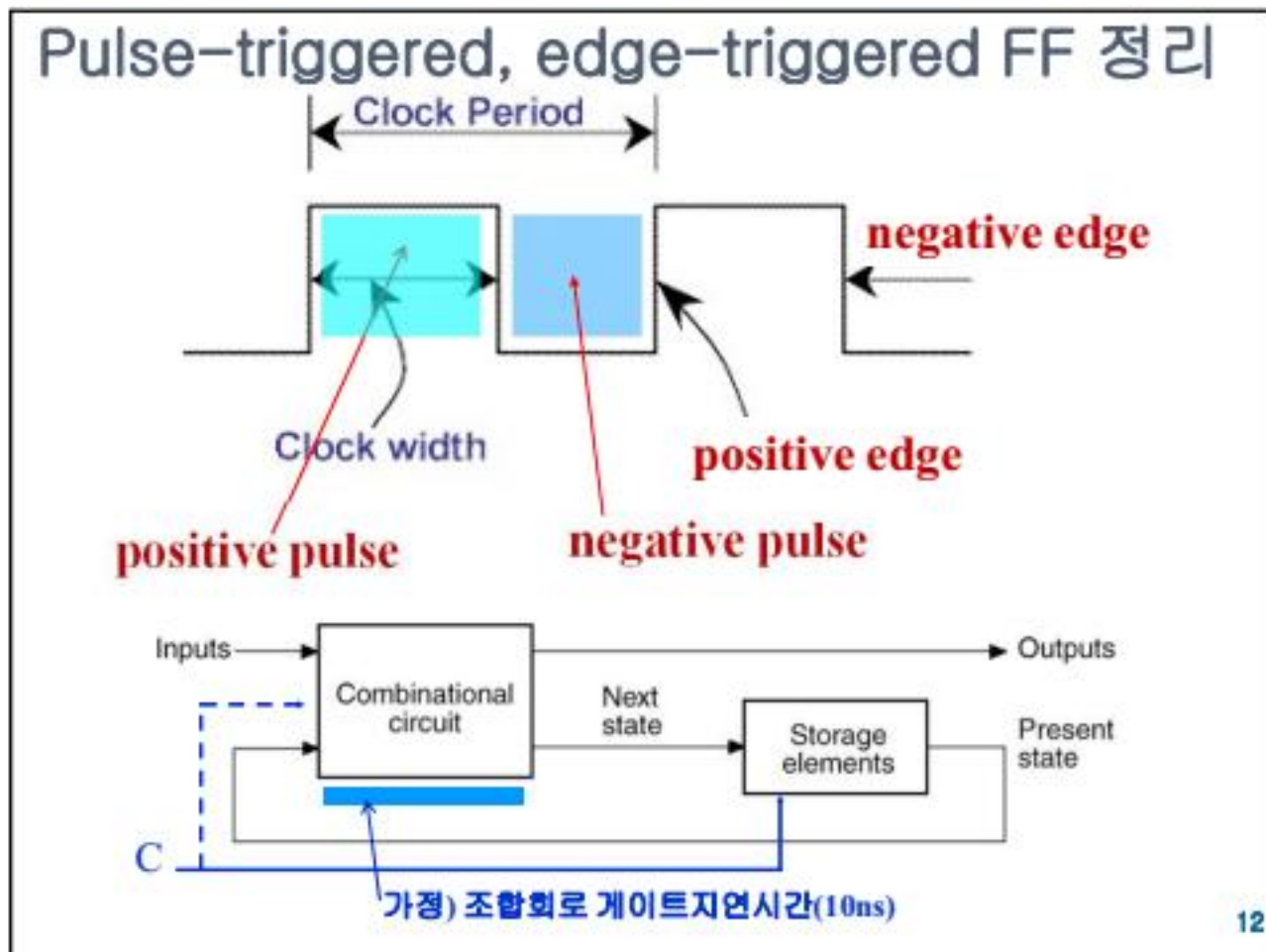


10

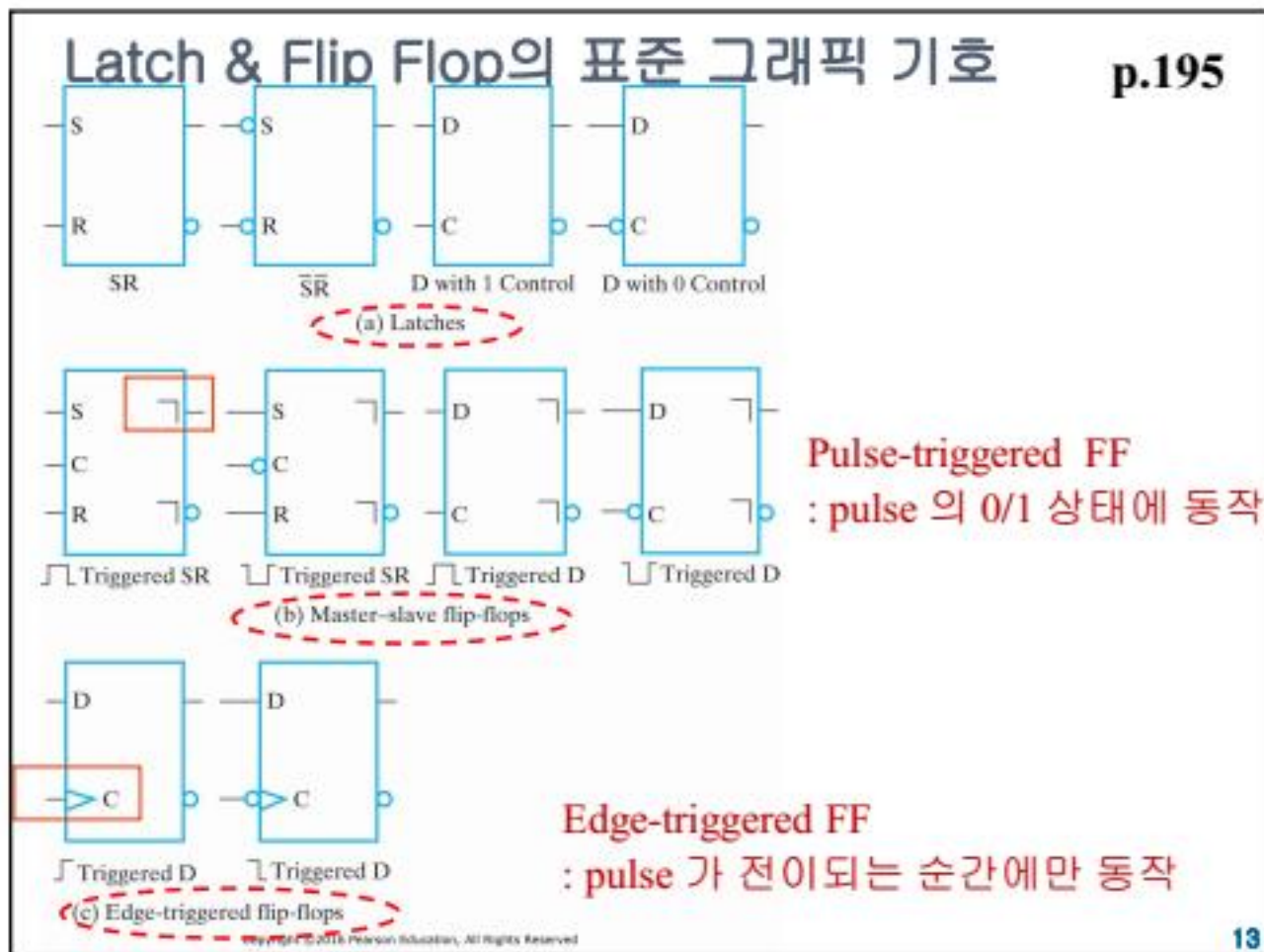
10



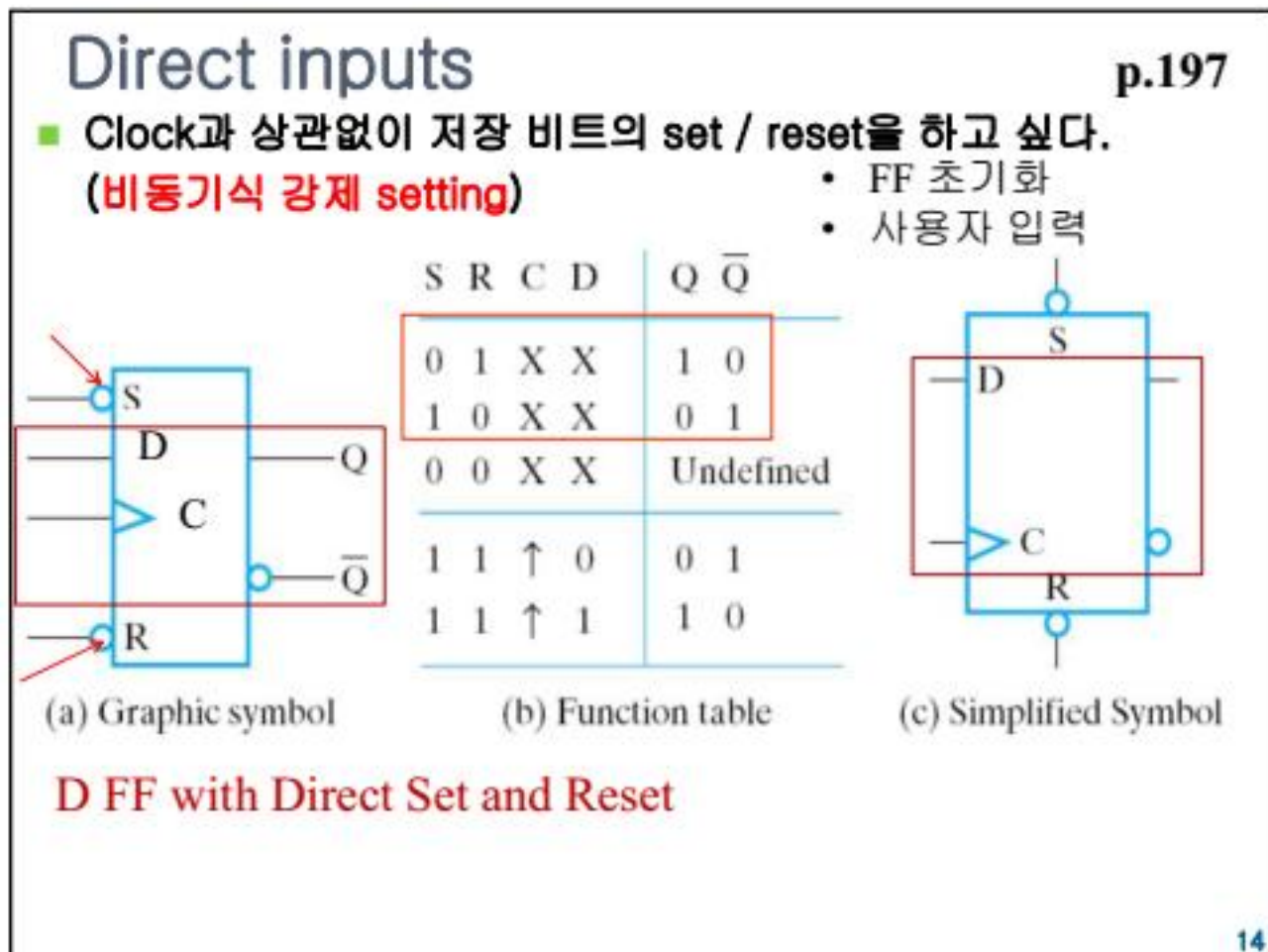
11



12



13



14

Flip-Flop

p.188

- 플립플롭(FF: flip-flop) 정의
 - clocked sequential logic에서 사용되는 기억장치요소
 - 1비트 기억
 - 클럭펄스에 의해서 플립플롭은 상태를 변화시킨다.(동기식)
 - 2개의 출력을 가진다.(다음 상태, 다음 상태의 보수)
- 다양한 종류의 FF

16

16

정리

- 순차회로 정의
- FF : 클럭에 의해 변화, 1비트 저장, 2개의 출력(Q,Q')
- 래치 : 기본 기억 장치 요소
 - SR 래치, S'R' 래치, D 래치
 - Clock 에 의한 제어 latch
- Master-slave FF
 - Pulse-triggered FF : pulse 의 0/1 상태에 동작
 - Edge-triggered FF : pulse 가 전이되는 순간에만 동작
- direct input

17

17