

SlTransmitter

Оглавление

- Описание 1
- Описание SL-канала..... 1
- Описание верхнего уровня 1
 - Входные сигналы 1
 - Двунаправленные сигналы..... 2
- Программная модель..... 3
 - Регистр конфигурации и состояния..... 3
 - Регистр данных к отправке..... 4
- Описание работы 5
- Алгоритм работы 7

Описание

Данный проект подразумевает реализацию RTL-описания на языке Verilog одноканального передатчика SL-канала

Описание SL-канала

SL - канал - последовательный однонаправленный канал обмена данными, разработанный для внутрисплатного и межплатного обмена информацией. Обмен данными типа "точка-с-точкой". Канал состоит из двух линий: линии единиц и линии нулей. Пассивный уровень на линиях - единица. В случае передачи данных каждый разряд кодируется отрицательным импульсом на соответствующей линии. Информация передается словами младшими разрядами вперед. Предпоследний разряд - четность. Передатчик вычисляет четность таким образом, чтобы количество импульсов на линии единиц с учетом разряда четности было нечетным, а на линии нулей - четным. Приемник контролирует четность индивидуально по каждой линии. Последним импульсом является синхроимпульс, представляющий собой отрицательные импульсы по обоим линиям одновременно. Синхроимпульс означает, что передача закончена. Не допускается перекрытия информационных импульсов во время передачи.



Рисунок 1. Временная диаграмма SL-канала

Типичная рабочая частота передатчика, спроектированного в синхронном стиле, составляет от 500кГц до 1МГц. Пауза между информационными битами равна длительности отрицательного импульса.

Описание верхнего уровня

Входные сигналы

- rst_n - асинхронный общий сигнал сброса
- clk - сигнал тактовой частоты
- [31:0] D_in - порт для записи данных в регистры
- wr_en - После установки в 1 в выбранный порт А регистр записывается необходимое число
- addr - порт адреса регистра. "0" - регистр данных, "1" - регистр конфигурации и состояния.

Выходные сигналы

- SL0 - сигнал нулей SL канала

- SL1 - сигнал единиц SL канала
- [31:0] D_out - порт для чтения регистров
- irq - вывод прерывания

Двунаправленные сигналы

Отсутствуют.

Программная модель

Пользователю для работы доступно несколько регистров:

- Регистр конфигурации и состояния (config_r и status_r)
- Данных к отправке (txdata_r)

Регистр конфигурации и состояния

Регистр конфигурации и состояния состоит из двух объединенных регистров - конфигурации и состояния. Регистру конфигурации соответствуют младшие 16 разрядов, регистру состояния - старшие.

Таблица 1. Назначение разрядов регистра конфигурации (config_r)

| | | | | | | | | | | | | | | | |
|----|---------|---|---|---|---|---|----------|---|---|------|----|----|----|------|------|
| 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 |
| SR | BC[6:0] | | | | | | FQM[9:7] | | | IRQM | | | | Res* | Res* |

Описание разрядов регистра конфигурации (config_r)

1. SR - soft reset, включает (SR=1) и выключает (SR=0) приемник
2. BC - bit count, количество бит данных в отправляемом сообщении
3. IRQM - interrupt request mask, задает, какие именно биты причин прерываний вызывают запрос прерывания
4. FQM - frequency mode, соответствие значения FQM и делителя частоты описано в таблице ниже.

Таблица 2. Связь значения FQM и частоты работы передатчика

| | |
|-----------------------------------|------------------|
| Значение FQM в десятичной системе | Делитель частоты |
| 1 | 2 |
| 2 | 4 |
| 3 | 8 |
| 4 | 16 |
| 5 | 32 |
| >5 | 32 |

Таблица 3. Связь разрядов IRQM и маскирования причин прерываний

| | |
|------------------|-----------------|
| Разряд поля IRQM | Маскируемый бит |
| IRQM[0] | IRQSM |
| IRQM[1] | IRQWCC |
| IRQM[2] | IRQICC |
| IRQM[3] | IRQDWE |

Таблица 4. Назначение разрядов регистра состояния (status_r)

| | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 | 24 | 25 | 26 | 27 | 28 | 29 | 30 | 31 |
|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|

| | | | | | | | | | | | | | | | |
|-----|------|------|------|------|------|------|------|-----------|-----------|-------|------------|------|------|------|------|
| SIP | Res* | Res* | Res* | Res* | Res* | Res* | Res* | IRQS M | IRQC C | IRQIC | IRQD WE | Res* | Res* | Res* | Res* |
|-----|------|------|------|------|------|------|------|-----------|-----------|-------|------------|------|------|------|------|

Описание разрядов регистра состояния (status_r)

- 1. SIP - send in process, сообщение отправляется, при попытке перезаписи этого бита ничего не происходит
- 2. IRQSM - interrupt request of sent message, запрос прерывания успешно отправленного сообщения
- 3. IRQWCC - interrupt request of wrong configuration change, запрос прерывания попытки сменить конфигурацию во время отправки сообщения
- 4. IRQICC - interrupt request of incorrect configuration change, запрос прерывания попытки установить неверную конфигурацию
- 5. IRQDWE - interrupt request of data write error, запрос прерывания попытки записать сообщение во время отправки предыдущего

Регистр данных к отправке

txdata_r[31:0]

Таблица 5. Назначение разрядов регистра данных к отправке (txdata_r)

| |
|--------|
| 0 - 31 |
| Data |

Data - данные к отправке.

Описание работы

Модуль отправляет SL-сообщения. Сообщения могут содержать информацию четной разрядности от 8 до 32 бит. Бит четности формируется автоматически. Частота импульсов может меняться от 500кГц до 16МГц (при частоте тактового сигнала = 16МГц).

Запись и чтение регистров

Управление модулем осуществляется путем записи/чтения регистров.

Для считывания текущего значения одного из регистров блока необходимо сформировать на шине addr соответствующее ему значение, указанное в таблице, длительностью не меньше такта опорной тактовой частоты. Значение регистра будет сформировано на шине d_out через такт опорной после фронта сигнала на шине addr.

Для записи значения в один из регистров блока необходимо сформировать:

- на шине addr значение соответствующее регистру
- на шине d_in записываемую информацию,
- на порт wr_en - значение "1".

Также на на шине d_out через такт опорной после фронта сигнала на шине addr будет сформировано значение записанного регистра. Значение шины d_out будет соответствовать значению последнего опрошенного или записанного регистра до формирования следующего запроса.

Таблица 6. Адреса регистров

| Значение шины addr | Выбранный регистр |
|--------------------|----------------------------------|
| 1'b0 | регистр данных |
| 1'b1 | регистр конфигурации и состояния |

Запись в регистр данных во время отправки сообщения, приведет к прекращению отправки и формированию прерывания.

Смена конфигурации

Для изменения конфигурации передатчика необходимо перезаписать регистр конфигурации и состояния. В конфигурационной части может быть установлена необходимая частота, длинна слова, маскировка причин запроса прерывания или осуществлен сброс модуля к исходным настройкам. Неверной считается конфигурация с нечетными длиннами слова или длиной слова лежащей вне промежутка от 8 до 32 бит.

Отправка сообщений

Для отправки сообщения необходимо записать отправляемое сообщение в регистр данных. Сразу после записи модуль переходит в режим отправки сообщения. При этом поле SIP регистра состояния устанавливается в "1".

В случае когда поле ВС регистра конфигурации не равно 32, отправляемым сообщением являются младшие биты регистра данных. Старшие биты регистра, которые не входят в длину сообщения заданную конфигурацией (`txdata[31:32-BC]`) будут записаны в регистр, но игнорированы при отправке.

В конце отправки будет выставлен бит `IRQSM = 1`, и бит `SIP = 0`.

Прерывания

Запрос прерывания происходит произошло одно из событий и бит этого события не замаскирован :

- Отправка сообщения завершена (`IRQSM`)
- Была предпринята попытка записать некорректные данные в конфигурационный регистр (`IRQICC`)
- Изменение конфигурации в процессе отправки сообщения (`IRQWCC`)
- Попытка записать новые данные во время отправки старых (`IRQDWE`)

Причину возникновения можно посмотреть в соответствующих полях регистра состояния. Для сбрасывания прерываний, вам необходимо считать регистр конфигурации и состояния и записать считанное снова, занулив биты прерываний. Более подробно работа прерываний рассмотрена в разделе Алгоритм работы.

Выключение модуля

Чтобы выключить модуль необходимо выставить поле регистра конфигурации `SR = "1"`. Если сделать это во время отправки сообщения, отправка прекращается. Регистры конфигурации и состояния возвращаются в начальное состояние. Когда передатчик выключен, запись в регистр данных игнорируется.

Алгоритм работы

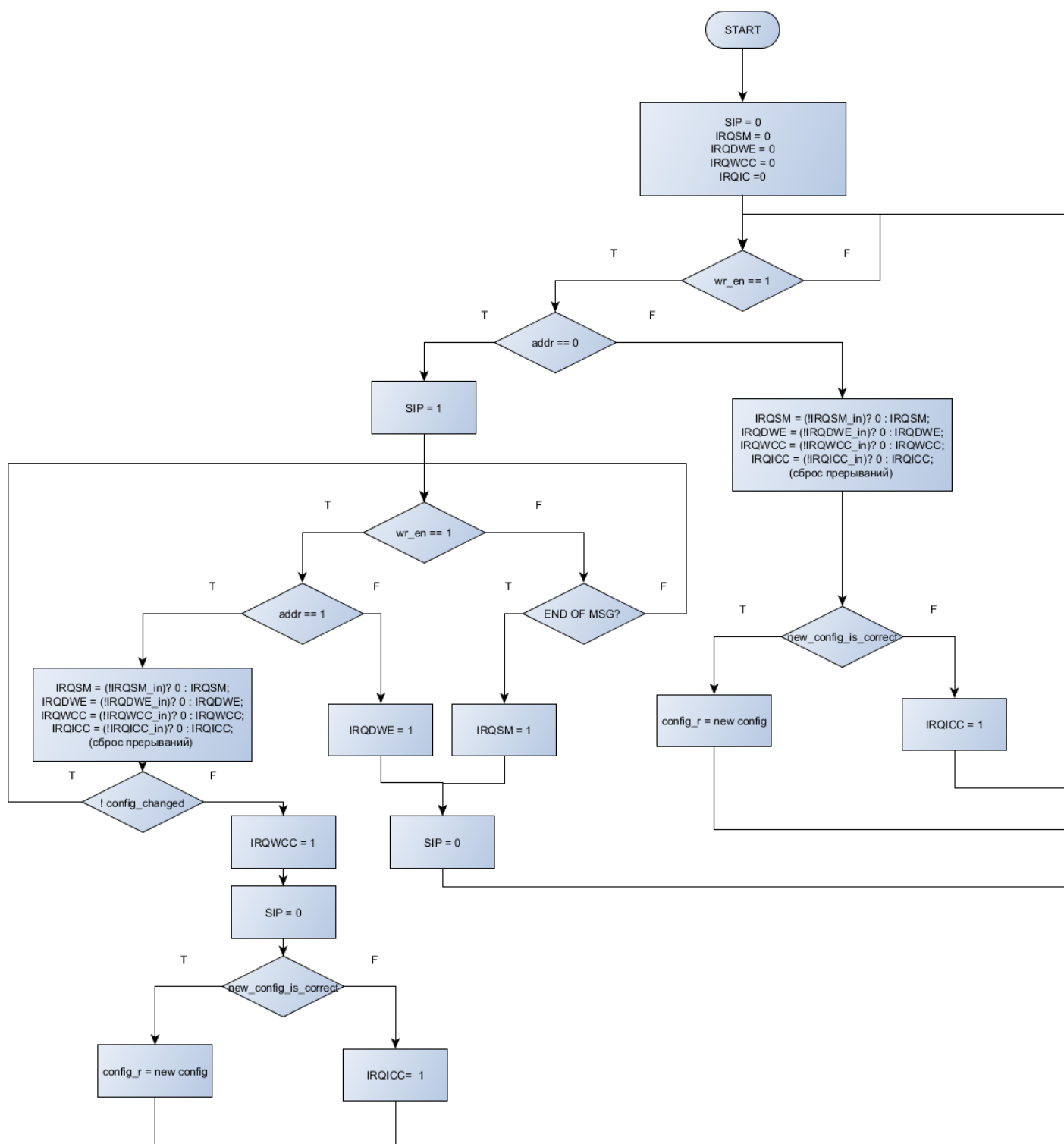


Рисунок 2. Алгоритм работы регистра состояния модуля SITransmitter

Модуль может находиться в двух режимах: режим отправки и режим ожидания. После включения модуля, все биты регистра состояния устанавливаются в 0, модуль находится в режиме ожидания.

Смена конфигурации и сброс прерываний в режиме ожидания

Чтобы сменить конфигурацию, необходимо записать новую конфигурацию в регистр

конфигурации и состояния. При записи регистра конфигурации и состояния в режиме ожидания происходит проверка битов прерываний: если значения соответствующих записываемых битов прерываний равны 0, то они сбрасываются. После этого если конфигурация некорректна, выставляется $IRQICC = 1$, конфигурация не изменяется. Модуль остается в режиме ожидания. Если бит $IRQICC$ не замаскирован формируется запрос на прерывание.

Отправка сообщения

Чтобы отправить сообщение, необходимо записать информацию для отправки в регистр данных, когда модуль находится в режиме ожидания. Сразу после записи данных в режиме ожидания, модуль переходит в режим отправки, устанавливается поле регистра состояний $SIP = 1$. По успешному окончанию отправки сообщения, устанавливаются поля регистра состояний $SIP = 0$, и $IRQSM = 1$. Если бит $IRQSM$ не замаскирован формируется запрос на прерывание.

Попытка отправить сообщение во время отправки предыдущего

Если записать данные в режиме отправки, выставляется бит $IRQDWE = 1$, модуль экстренно завершает отправку и возвращается в режим ожидания, выставляются биты $SIP = 0$. Если бит $IRQDWE$ не замаскирован формируется запрос на прерывание.

Изменение конфигурации и сброс прерываний во время отправки сообщения

Когда модуль находится в режиме отправки, то без отмены отправки вы можете менять только поля маскирования прерываний, и сбрасывать биты причин прерываний.

Если в режиме отправки происходит запись регистра конфигурации и состояния, сначала проверяются биты прерываний: если значения соответствующих записываемых битов прерываний равны 0, то они сбрасываются. После этого, проверяется изменяются ли биты конфигурации (поля FQM , BC). Если они не изменяются, модуль остается в режиме отправки сообщения. Если они изменяются то отправка завершается, выставляются биты $SIP = 0$ и $IRQWCC = 1$. Если бит $IRQDWCC$ не замаскирован формируется запрос на прерывание. Если конфигурация корректна, она записывается в регистр, если же нет, выставляется бит $IRQICC = 1$. Модуль переходит в режим ожидания.

Формирование запроса на прерывание

Запрос на прерывание формируется на выходе irq , через один такт после возникновения причины прерывания, если причина этого прерывания не замаскирована в поле $IRQM$.



Рисунок 3. Алгоритм работы модуля SlTransmitter в режиме отправки

В начале режима отправки в сдвиговый регистр загружается отправляемое сообщение. Для

организации отправки используются два счетчика:

Счетчик частоты

Счетчик частоты считает от значения (делитель частоты - 1) до значения 0. Когда счетчик частоты достигает максимального значения, инкрементируется счетчик количества бит.

Счетчик количества бит

Счетчик импульсов считает от числа, равного $(BC + 2) * 2 - 1$ до 0, где BC (bit count) - поле регистра конфигурации. Число $(BC + 2) * 2 - 1$ получено следующим образом: необходимо отправить число бит информации заданное полем BC, бит четности и бит синхроимпульса. В сумме BC+2 бит. Между битами нужно выставить на выход промежуточную комбинацию, таким образом значение удавляется и получается $(BC+2) * 2$ итераций счетчика и максимальное значение равное $(BC+2) * 2 - 1$.

Соответствие значения счетчика количества бит и значения на выходах sl0 и sl1

На значениях счетчика битов $(BC+2) * 2 - 1$, $(BC+2) * 2 - 3$.. 7, 5 на выход выставляется комбинация соответствующая первому биту сдвигового регистра. Также происходит подсчет четности на основе первого бита сдвигового регистра и сдвиг регистра. Таким образом формируются информационные биты.

На всех четных значениях $(BC+1) * 2$, $(BC+1) * 2 - 2$, .. 2, 0 на выход выставляется комбинация соответствующая промежутку между значащими битами (единица на линии нулей и единица на линии единиц)

На значении счетчика битов 3 на выход выставляется комбинация соответствующая подсчитанной четности, а на значении 1 - комбинация стоп бита.

Экстренное завершение отправки

Также на каждом значении счетчика частоты происходит проверка наличия ошибок - попытки записать данные во время отправки или изменения конфигурации. В случае, если ошибка произошла, отправка прекращается.