

Спецификация модуля приемника SL-канала

SLReciever

Василий Мочалов
Версия 1.1, 15.12.2017

Оглавление

1. Описание	1
2. Описание верхнего уровня	1
3. Программная модель	2
3.1. Служебный регистр	2
3.2. Регистр полученных данных	3
4. Работа с программной моделью	3
4.1. Запись и чтение регистров	3
4.2. Прием сообщений	4
4.3. Прием сообщений с ошибкой	5
4.4. Смена конфигурации	6
4.5. Работа с прерываниями	6
4.6. Выключение модуля	6
5. Принцип работы	7
6. Алгоритм работы	7
6.1. Смена конфигурации и сброс прерываний	9
6.2. Прием сообщения	9
6.3. Устранение дребезга	9
6.4. Ошибка уровня	10
6.5. Формирование запроса на прерывание	10

1. Описание

Данный проект подразумевает реализацию RTL-описания на языке Verilog одноканального приемника SL-канала. Приемник принимает SL-сообщения. Сообщения могут содержать информацию четной разрядности от 8 до 32 разрядов. Разряд четности проверяется автоматически. Приемник способен принимать сообщения с частотой импульсов от 500кГц до 2МГц (при частоте тактового сигнала = 16МГц).

2. Описание верхнего уровня

Таблица 1. Порты цифрового модуля SlReciever

Название	Тип	Разрядность	Значение после сброса	Описание
<i>rst_n</i>	In	1	-	Асинхронный общий сигнал сброса
<i>clk</i>	In	1	-	Сигнал тактовой частоты
<i>addr</i>	In	1	-	Сигнал выбора регистра
<i>wr_en</i>	In	1	-	Сигнал разрешения записи
<i>SL0</i>	In	1	-	Сигнал нулей SL канала
<i>D_in</i>	In	32	-	Шина данных для записи в регистры
<i>SL1</i>	in	1	-	Сигнал единиц SL канала
<i>irq</i>	Out	1	b0	Сигнал запроса на прерывание
<i>D_out</i>	Out	32	h0000_0000	Шина данных для чтения регистров

3. Программная модель

Пользователю для работы доступно два регистра:

- Служебный (**config_status_r**)
- Данных к отправке (**buffered_data_r**)

3.1. Служебный регистр

Служебный регистр состоит из двух частей - конфигурации и состояния. Части отвечающей за конфигурацию соответствуют младшие 16 разрядов, части состояния старшие.

*Таблица 2. Назначение разрядов конфигурационной части служебного регистра (**config_status_r [15:0]**)*

Bit	15-13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	-	IRQM[4:0]					PCE	BC[5:0]					SR	
Mode	R	R/W					R/W	R/W					R/W	
Initial	0	0	0	0	0	0	0	0	0	1	0	0	0	0

*Описание разрядов регистра конфигурационной части служебного регистра (**config_status_r [15:0]**)*

1. **SR** (soft reset) — включает (**SR** = 0) и выключает (**SR** = 1) приемник
2. **BC** (bit count) — количество разрядов данных в принимаемом сообщении
3. **IRQM** (interrupt request mask) — маска разрядов причин прерываний. Задаёт, какие именно разряды причин прерываний вызывают запрос на прерывание. Описание разрядов причин прерываний можно посмотреть в [таблице назначения разрядов части состояния служебного регистра](#). Соответствие разрядов поля IRQM и разрядов причин прерываний можно посмотреть в соответствующей [таблице](#)
4. **PCE** (parity check enable) — включение (**PCE** = 1) или выключение (**PCE** = 0) контроля четности

*Таблица 3. Назначение разрядов части состояния служебного регистра (**config_status_r [31:16]**)*

Bit	31-30	29	28	27	26	25	24	23-18	17	16
Name	-	-	IRQICC	IRQLE	IRQWLC	IRQPEM	IRQRM	-	PEF	WRP
Mode	R	R	R/W0	R/W0	R/W0	R/W0	R/W0	R	R	R
Initial	0	0	0	0	0	0	0	0	0	0

*Описание разрядов части состояния служебного регистра (**config_status_r [31:16]**)*

1. **WRP** - (word receiving process) — разряд идущего процесса приема слова по SL-каналу.
2. **PEF** - (parity error flag) — разряд наличия ошибки четности в хранящемся в буфере сообщении.
3. **IRQRM** - (interrupt request of recieved message) — разряд запроса на прерывание успешно принятого сообщения.
4. **IRQPEM** - (interrupt request of parity error message) — разряд запроса на прерывание принятого сообщения не прошедшего проверку четности.

5. **IRQWLC** - (interrupt request of word length check) — разряд запроса на прерывание принятого сообщения неверной длины.
6. **IRQLE** - (interrupt request of level error on line) — разряд запроса на прерывание ошибки уровня напряжения на линии SL-канала.
7. **IRQICC** (interrupt request of incorrect configuration change) — разряд запроса на прерывание попытки установить некорректную конфигурацию.

Разряды **IRQRM**, **IRQPEM**, **IRQWL**, **IRQLE**, **IRQWCC** и **IRQICC** отражают зарегистрированные приемником события. Более подробно события описаны разделе Работа с программной моделью → [Работа с прерываниями](#).

*Таблица 4. Соответствие разрядов **IRQM** [4:0] и маскирования разрядов причин прерываний*

Разряд поля IRQM	Маскируемый разряд
IRQM0	IRQRM
IRQM1	IRQPEM
IRQM2	IRQWLC
IRQM3	IRQLE
IRQM4	IRQICC

3.2. Регистр полученных данных

*Таблица 5. Назначение разрядов регистра полученных данных (**buffered_data_r**)*

Bit	31 - 0
Name	DATA
Mode	R
Initial	0

*Описание разрядов регистра полученных данных (**buffered_data_r**)*

DATA - полученные данные

4. Работа с программной моделью

4.1. Запись и чтение регистров

Управление модулем осуществляется путем записи или чтения регистров.

Для считывания текущего значения одного из регистров блока необходимо подать на порт *addr* адрес регистра, указанный в [таблице](#), длительностью не меньше такта опорной тактовой частоты *clk*. Значение регистра будет сформировано на шине *D_out* через такт опорной частоты после фронта сигнала на шине *addr*.

Для записи значения в служебный регистр блока необходимо сформировать:

- на порт *addr* — адрес выбранного регистра,
- на шине *D_in* — записываемую информацию,
- на порт *wr_en* — значение 1.

Запись в регистр полученных (**buffered_data_r**) данных игнорируется.

Также на на шине d_out через такт опорной частоты *clk* после фронта сигнала на шине *addr* будет сформировано значение записанного регистра. Значение шины d_out будет соответствовать значению последнего опрошенного или записанного регистра до формирования следующего запроса.

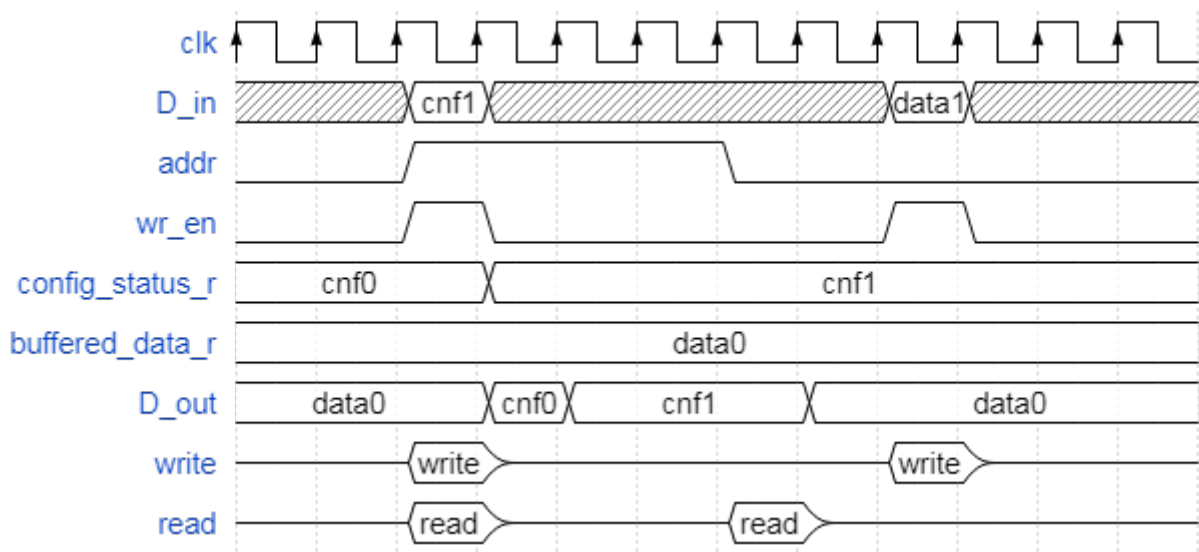


Рисунок 1. Временная диаграмма чтения и записи регистров модуля SIReceiver

Таблица 6. Адреса регистров

Значение сигнала <i>addr</i>	Выбранный регистр
b0	регистр данных (buffered_data_r)
b1	служебный регистр (config_status_r)

4.2. Прием сообщений

Для приема сообщений с включенным контролем четности необходимо:

1. Записать в регистр **config_r** необходимые настройки длины слова и контроля четности (см. раздел "Смена конфигурации")
2. Дождавшись запроса на прерывания вызванного успешным приемом сообщения, или, работая по таймеру и периодически опрашивая регистр состояния, убедиться, что сообщение было принято (**IRQRM** == 1).
3. Считать принятое сообщение из регистра полученных данных (**buffered_data_r**).
4. Сбросить поле причины прерывания **IRQRM**. Возможна работа без сбрасывания поля **IRQRM**, но тогда вы не сможете отличить заново принятое сообщение от принятого в прошлый раз.
5. Ожидать следующее сообщение.

Для приема сообщений с отключенным контролем четности необходимо:

1. Записать в регистр **config_r** необходимые настройки длины слова и контроля четности (см. раздел "[Смена конфигурации](#)")
2. Дождавшись запроса на прерывания вызванного успешным приемом сообщения или приемом сообщения с ошибкой контроля четности, или, работая по таймеру и периодически опрашивая регистр состояния, убедится, что сообщение было принято (**IRQRM** == 1 или **IRQPEM** == 1).
3. Считать принятое сообщение из регистра полученных данных (**buffered_data_r**).
4. Сбросить поля причин прерывания **IRQRM** и **IRQPEM**. Возможна работа без сбрасывания этих полей, но тогда вы не сможете отличить заново принятое сообщение от принятого в прошлый раз.
5. Ожидать следующее сообщение.

Если вы работаете с отключенным контролем четности периодически опрашивая регистр состояния по таймеру, может возникнуть следующая ситуация - между двумя опросами может прийти два сообщения, одно с ошибкой четности другое нет. В этом случае оба поля **IRQRM** и **IRQPEM** будут равны единице. В этом случае, чтобы узнать, присутствует ли ошибка четности в принятом сообщении следует воспользоваться полем **PEF**.

В случае когда поле **BC** служебного регистра не равно 32, принятым сообщением являются младшие разряды регистра данных (**buffered_data_r [BC-1:0]**).

Успешным приемом сообщения называется прием сообщения с совпадающим со значением поля **BC** количеством информационных разрядов и, если включен контроль четности (**PCE** = 1), верной четностью.

В случае, если успешно принято сообщение с правильной четностью выставляются разряды **IRQRM** = 1 и **WRP** = 0. Если контроль четности отключен и принято сообщение с неправильной четностью, выставляются разряды **IRQPEM** = 1, **PEF** = 1 и **WRP** = 0.

4.3. Прием сообщений с ошибкой

В случае приема сообщения с ошибкой выставляются следующие разряды:

- Если контроль четности включен и принято сообщение с ошибкой четности — **IRQPEM** = 1
- Принято сообщение с несовпадающим с конфигурацией количеством разрядов — **IRQWLC** = 1

Регистр данных при этом не обновляется и продолжает хранить последнее успешно принятое сообщение.

В случае, если во время приема произошла ошибка уровня, выставляется флаг **IRQLEF** = 1. Модуль вернется в режим ожидания сообщения только когда уровень на линиях будет восстановлен. До этого момента попытка сброса разряда причины прерывания **IRQLEF** будет игнорирована.

4.4. Смена конфигурации

В конфигурационной части служебного регистра могут быть установлены контроль четности, длина слова, маскировка причин запроса прерывания или осуществлен сброс модуля к исходным настройкам.

Для изменения конфигурации приемник необходимо записать новые параметры в служебный регистр. Если изменение конфигурации происходит во время приема сообщения, то прием не прерывается, при поступлении синхроимпульса корректность принятого.

В случае, если во время приема произошла попытка изменить поля **PCE** и **BC** и новая конфигурация неверна, выставляется разряды **IRQICC**, поля **PCE** и **BC** остаются неизменными.

Некорректной считается конфигурация с нечетными длинами слова или длиной слова лежащей вне промежутка от 8 до 32 разрядов. При попытке записать подобную конфигурацию будет выставлен разряд **IRQICC** = 1, а поля **BC** и **PCE** останутся неизменными.

4.5. Работа с прерываниями

Запрос прерывания происходит, когда произошло одно из событий и разряд причины прерываний соответствующий этому событию не замаскирован. Узнать какое именно событие вызвало запрос на прерывание можно в [полях причин прерываний](#) служебного регистра.

События соответствующие разрядам причин прерываний

- **IRQRM** — Было принято полностью корректное сообщение
- **IRQPEM** — Было принято сообщение с верной длиной и ошибкой четности
- **IRQWLC** — Было принято сообщение не прошедшее проверку длины полученного слова.
- **IRQLE** — Во время приема сообщения произошла ошибка уровня на линии (равенство полю **BC**)
- **IRQICC** — Была предпринята попытка записать некорректную конфигурацию в конфигурационный регистр

Для сброса прерывания необходимо записать 0 в разряды причин прерываний, которые необходимо сбросить.

Более подробно работа прерываний рассмотрена в разделе [Алгоритм работы](#).

4.6. Выключение модуля

Чтобы выключить модуль необходимо записать 1 в разряд **SR** служебного регистра.

Если сделать это во время отправки сообщения, прием прекращается. Служебный регистр возвращается в начальное состояние, регистр данных сбрасывается.

5. Принцип работы

На каждом такте значение со входов записывается в сдвиговые регистры линий *SL0* или *SL1*.

Прием сообщения обеспечивается двумя состояниями: ожидания импульса и приема импульса. Переход между состояниями происходит когда содержимое сдвиговых регистров линий соответствует маске, таким образом устраняется дребезг сигнала.

В состоянии обработки импульса используется счетчик количества циклов. По нему проверяется длинна импульса - если импульс слишком короткий или слишком длинный, выставляется поле ошибки уровня, а следующий импульс воспринимается как импульс нового сообщения.

Импульс обрабатывается через определенное количество тактов с момента зафиксированного начала импульса. Если импульс является импульсом разряда, то разряд добавляется в сдвиговый регистр сообщения и регистр сдвигается, новый разряд учитывается в проверке четности. Если импульс является синхроимпульсом, то содержимое сдвигового регистра сообщения и счетчика количества разрядов проверяются на соответствие подсчитанный четности и сконфигурированному количеству разрядов. Если проверка прошла успешно, содержимое сдвигового регистра, кроме разряда четности переписывается в регистр данных.

6. Алгоритм работы

Название	Тип	Разрядность	Значение после сброса	Описание
<i>new_conf_is_corr</i>	сигнал	1	b0	Сигнал корректности разрядов шины <i>D_in</i> соответствующих полю ВС
<i>level_error</i>	сигнал	1	b0	Сигнал присутствия ошибки уровня на линии (импульс слишком короткий или слишком длинный)
shift_r	регистр	1	b0	Сдвиговый регистр с отправляемым сообщением
par0	регистр	1	b0	Регистр подсчета четности на линии нулей
par1	регистр	1	b1	Регистр подсчета четности на линии единиц
cycle_counter_r	регистр	5	b0_0000	Регистр счетчика циклов
bit_counter_r	регистр	7	b000_0000	Регистр счетчика количества импульсов
sl0_temp_r	регистр	12	hFFF	Регистр счетчика количества импульсов
sl1_temp_r	регистр	12	hFFF	Регистр счетчика количества импульсов

Модуль может находиться в двух режимах: режим приема бита и режим ожидания бита. После включения модуля, все разряды части состояния служебного регистра устанавливаются в 0, модуль находится в режиме ожидания бита.

6.1. Смена конфигурации и сброс прерываний

При записи служебного регистра в режиме ожидания происходит проверка разрядов прерываний:

1. Если значения разрядов шины *D_in* соответствующие разрядам полей причин прерываний служебного регистра, равны 0, то они записываются в служебный регистр.
2. Обновляется поле **IRQM** служебного регистра
3. Если значение разрядов шины *D_in* соответствующие полю **BC** корректно, поля **BC** и **PCE** обновляются. Если значение некорректно, выставляется **IRQICC** = 1, поля **BC** и **PCE** не изменяются.

Корректным значением поля **BC** называется четное число в интервале от 6'd8 до 6'd32.

6.2. Прием сообщения

Каждый при принятии импульса на одной из линий, значение соответствующее биту записывается в сдвиговый регистр **shift_r**, и инвертируется соответствующий регистр подсчета четности (**par0**, если зарегистрирован импульс на линии нулей и **par1**, если на линии единиц), счетчик количества разрядов **bit_counter_r** увеличивается на единицу.

При принятии импульса на обеих линиях (синхроимпульса), сравнивается значение **bit_counter_r** и поля **BC**. Если они неравны выставляется поле **IRQWLC** = 1. Если они равны, проверяется значение регистров **par0** и **par1**:

- Если **par0** и **par1** равны нулю выставляется поле **IRQRM** = 1, содержимое регистра **shift_r**, кроме разряда **shift_r[BC]** переписывается в регистр **buffered_data_r**.
- Если любой из регистров **par0** или **par1** не равен нулю выставляется поле **IRQPEM** = 1. Если отключен контроль четности (**PCE** = 0), содержимое регистра **shift_r**, кроме разряда **shift_r[BC]** переписывается в регистр **buffered_data_r**, устанавливается поле **PEF** = 1.

При принятии синхроимпульса или возникновения ошибки уровня на линии регистры **par0**, **par1**, **shift_r** и **bit_counter_r** устанавливаются в начальные значения.

6.3. Устранение дребезга

Для устранения дребезга используются два сдвиговых регистра - **sl0_tmp_r** и **sl1_tmp_r**. Переход из состояния ожидания бита в состояние обработки бита и обратно производится путем сравнения содержимого этих регистров с масками. Условия переходов приведены в таблице.

Таблица 7. Условия переходов из состояния ожидания импульса в состояние обработки импульса и обратно

Обозначение	Выражение
<i>bit_started</i>	(sl0_tmp_r == 12'hF??0) (sl1_tmp_r == 12'hF??0)
<i>bit_ended</i>	(sl0_tmp_r == 12'h??F) && (sl1_tmp_r == 12'h??F)

6.4. Ошибка уровня

Для определения ошибки уровня используется счетчик **cycle_counter_r**. Когда модуль находится в режиме обработки бита счетчик переключается от значения CYCLE_MAX до 0.

Обработка бита производится, когда счетчик **cycle_counter_r** равен CYCLE_MAX - CYCLE_MIN. На какой именно линии импульс определяется по разрядам **sl0_tmp_r [POS]** и **sl1_tmp_r [POS]**.

Если сигнал *bit_ended* устанавливается в единицу, когда счетчик больше числа CYCLE_MAX - CYCLE_MIN, импульс считается помехой, и устанавливается бит **IRQLE** = 1. Регистры **par0**, **par1**, **shift_r** и **bit_counter_r** устанавливаются в начальные значения. Модуль переходит в режим ожидания бита.

Если на сигнал *bit_ended* не установился в единицу, до того момента, когда счетчик досчитал до нуля, считается что произошел обрыв линии, и устанавливается поле **IRQLE** = 1. Модуль ожидает конца импульса, каждый такт обновляя поле **IRQLE** = 1. Когда сигнал *bit_ended* устанавливается в единицу, регистры **par0**, **par1**, **shift_r** и **bit_counter_r** устанавливаются в начальные значения, модуль переходит в режим ожидания бита.

Таблица 8. Значения констант счетчика *cycle_counter_r*

Обозначение	Значение
CYCLE_MAX	32
CYCLE_MIN	8
POS	0

6.5. Формирование запроса на прерывание

Запрос на прерывание формируется на выходе *irq*, через один такт после возникновения причины прерывания, если причина этого прерывания не замаскирована в поле **IRQM [4:0]**.