

SlReciever

Оглавление

| | |
|--|---|
| Описание | 1 |
| Описание верхнего уровня | 1 |
| Входные сигналы | 1 |
| Выходные сигналы | 1 |
| Двунаправленные сигналы | 1 |
| Программная модель | 1 |
| Регистр конфигурации и состояния | 1 |
| Регистр полученных данных | 3 |
| Описание работы | 3 |
| Алгоритмы работы | 4 |
| Конечный автомат | 4 |

Описание

Данный проект подразумевает реализацию RTL-описания на языке Verilog одноканального приемника SL-канала.

Описание верхнего уровня

Входные сигналы

- rst_n - асинхронный общий сигнал сброса
- clk - сигнал тактовой частоты
- [31:0] D_in - порт для записи данных в регистры
- wr_en - После установки в 1 в выбранный портом addr регистр записывается необходимое число
- addr - адрес регистра "0" - регистр данных, "1" - регистр конфигурации и состояния
- serial_line_zeroes_a - асинхронный вход линии нулей SL-канала
- serial_line_ones_a - асинхронный вход линии единиц SL-канала

Выходные сигналы

- [31:0] D_out - порт для чтения регистров
- irq - вывод прерывания

Двунаправленные сигналы

Отсутствуют.

Программная модель

Пользователю для работы доступно несколько регистров:

- Регистр конфигурации и состояния (config_r и status_r)
- Данных к отправке (txdata_r)

Регистр конфигурации и состояния

Регистр конфигурации и состояния состоит из двух объединенных регистров - регистра конфигурации и регистра состояния. Регистру конфигурации соответствуют младшие 16 разрядов, регистру состояния - старшие.

Таблица 1. Назначение разрядов регистра конфигурации (config_r)

| | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|----|----|----|----|----|----|
| 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 |
|---|---|---|---|---|---|---|---|---|---|----|----|----|----|----|----|

| | | | | | |
|----|---------|-----|------|------|------|
| SR | BC[6:0] | PCE | IRQM | Res* | Res* |
|----|---------|-----|------|------|------|

Описание разрядов регистра конфигурации (config_r)

1. SR - soft reset, включает (SR=1) и выключает (SR=0) приемник
2. BC - bit count, количество бит в слове
3. IRQM - interrupt request mask, маскирование прерываний модуля
4. PCE - parity check enable, разрешение контроля четности(PCE = 1), или запрещение(PCE = 0)

Таблица 2. Связь разрядов IRQM и маскирования причин прерываний

| Разряд поля IRQM | Маскируемый бит |
|------------------|-----------------|
| IRQM[0] | IRQRM |
| IRQM[1] | IRQPEM |
| IRQM[2] | IRQWLC |
| IRQM[3] | IRQLE |
| IRQM[4] | IRQWCC |
| IRQM[5] | IRQICC |

Таблица 3. Назначение разрядов регистра состояния (status_r)

| | | | | | | | | | | | | | | | |
|-----|-----|------|------|------|------|------|------|------|-------|--------|--------|-------|--------|--------|------|
| 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 | 24 | 25 | 26 | 27 | 28 | 29 | 30 | 31 |
| WRP | PEF | Res* | Res* | Res* | Res* | Res* | Res* | Res* | IRQRM | IRQPEM | IRQWLC | IRQLE | IRQWCC | IRQICC | Res* |

Описание разрядов регистра состояния (status_r)

1. WRP - word receiving process, флаг идущего процесса приема слова по SL-каналу
2. PEF - parity error flag, присутствует ли ошибка четности в хранящемся в буфере сообщении
3. IRQRM - interrupt request of recieved message - прерывание успешно принятого сообщения
4. IRQPEM - interrupt request of parity error message, принято слово не прошедшее проверку четности
5. IRQWLC - interrupt request of word length check, принято слово не прошедшее проверку длины полученного слова на равенство значению BC регистра config_r
6. IRQLE - interrupt request of level error on line, прерывание ошибки уровня напряжения на линии SL-канала
7. IRQWCC - interrupt request of wrong configuration changed - прерывание смены конфигурации во время приема сообщения
8. IRQICC - interrupt request of incorrect configuration прерывание попытки смены конфигурации на неверную
9. Res* - Зарезервированно

Регистр полученных данных

buffered_data_r[31:0]

Таблица 4. Назначение разрядов регистра полученных данных (buffered_data_r)

| |
|--------|
| 0 - 31 |
| Data |

Data - данные к отправке.

Описание работы

Модуль принимает SL-сообщения. Сообщения могут иметь четную длину от 8 до 32 бит. Бит четности проверяется автоматически. Частота импульсов принимаемых сообщений может меняться от 500кГц до 2МГц (при частоте тактового сигнала = 16МГц).

Запись и чтение регистров

Управление модулем осуществляется путем записи/чтения регистров.

Запись в регистры осуществляется подачей записываемой информации на шину d_in, адреса на порт addr, и единицы на порт wr_en. В режиме отправки сообщения (поле регистра состояния SIP = "1") запись в регистр конфигурации и состояния возможна, но при изменении конфигурационной части корректность принятия сообщения не гарантируется. Попытка записать в конфигурационный регистр некорректные параметры игнорируется. Попытка записать данные игнорируется.

Для чтения регистра необходимо подать адрес на порт addr и считать информацию с шины d_out.

Смена конфигурации

Для изменения конфигурации приемника необходимо перезаписать регистр конфигурации и состояния. В конфигурационной части вы можете установить длину слова, разрешение вызова прерываний, проверку четности или включить/выключить модуль.

Прием сообщений

После приема сообщения выставляется соответствующий флаг, а также возникает прерывание. В регистре данных хранится последнее успешно принятое сообщение.

Прерывания

Прерывания вызываются если поле регистра конфигурации IRQM = 1 и: * Успешно принято сообщение * Была предпринята попытка записать некорректные данные в конфигурационный регистр * Произошло изменение конфигурации в процессе отправки сообщения Причину возникновения можно посмотреть в соответствующих полях регистра состояния. Для сбрасывания прерываний, вам необходимо считать регистр конфигурации и состояния и записать считанное снова, занулив биты причины прерывания при записи единиц в поле IRQC значение поле не изменяется.

Выключение модуля

При выключении приемника (поле регистра конфигурации SR = "1"), приемник прекращает прием текущего сообщения.

Алгоритмы работы



Рисунок 1. Алгоритм работы регистра состояния модуля SIReceiver

Конечный автомат



Рисунок 2. Конечный автомат модуля SIReceiver