

SlReciever

# Оглавление

Описание .....	1
Описание верхнего уровня .....	1
Входные сигналы .....	1
Выходные сигналы .....	1
Двунаправленные сигналы .....	1
Программная модель .....	1
Регистр конфигурации и состояния .....	1
Регистр полученных данных .....	3
Описание работы .....	3
Алгоритмы работы .....	5
Конечный автомат .....	6

# Описание

Данный проект подразумевает реализацию RTL-описания на языке Verilog одноканального приемника SL-канала.

## Описание верхнего уровня

### Входные сигналы

- rst\_n - асинхронный общий сигнал сброса
- clk - сигнал тактовой частоты
- [31:0] D\_in - порт для записи данных в регистры
- wr\_en - После установки в 1 в выбранный портом addr регистр записывается необходимое число
- addr - адрес регистра "0" - регистр данных, "1" - регистр конфигурации и состояния
- serial\_line\_zeroes\_a - асинхронный вход линии нулей SL-канала
- serial\_line\_ones\_a - асинхронный вход линии единиц SL-канала

### Выходные сигналы

- [31:0] D\_out - порт для чтения регистров
- irq - вывод прерывания

### Двунаправленные сигналы

Отсутствуют.

## Программная модель

Пользователю для работы доступно несколько регистров:

- Регистр конфигурации и состояния (config\_r и status\_r)
- Регистр последнего успешно принятого сообщения (buffered\_data\_r)

### Регистр конфигурации и состояния

Регистр конфигурации и состояния состоит из двух объединенных регистров - регистра конфигурации и регистра состояния. Регистру конфигурации соответствуют младшие 16 разрядов, регистру состояния - старшие.

Таблица 1. Назначение разрядов регистра конфигурации (config\_r)

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
---	---	---	---	---	---	---	---	---	---	----	----	----	----	----	----

SR	BC[6:0]	PCE	IRQM	Res*	Res*
----	---------	-----	------	------	------

#### Описание разрядов регистра конфигурации (config\_r)

1. SR - soft reset, включает (SR=1) и выключает (SR=0) приемник
2. BC - bit count, количество бит в слове
3. IRQM - interrupt request mask, маскирование прерываний модуля
4. PCE - parity check enable, разрешение контроля четности(PCE = 1), или запрещение(PCE = 0)

Таблица 2. Связь разрядов IRQM и маскирования причин прерываний

Разряд поля IRQM	Маскируемый бит
IRQM[0]	IRQRM
IRQM[1]	IRQPEM
IRQM[2]	IRQWLC
IRQM[3]	IRQLE
IRQM[4]	IRQWCC
IRQM[5]	IRQICC

Таблица 3. Назначение разрядов регистра состояния (status\_r)

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
WRP	PEF	Res*	Res*	Res*	Res*	Res*	Res*	Res*	IRQRM	IRQPEM	IRQWLC	IRQLE	IRQWCC	IRQICC	Res*

#### Описание разрядов регистра состояния (status\_r)

1. WRP - word receiving process, флаг идущего процесса приема слова по SL-каналу
2. PEF - parity error flag, присутствует ли ошибка четности в хранящемся в буфере сообщении
3. IRQRM - interrupt request of recieved message - прерывание успешно принятого сообщения
4. IRQPEM - interrupt request of parity error message, принято слово не прошедшее проверку четности
5. IRQWLC - interrupt request of word length check, принято слово не прошедшее проверку длины полученного слова на равенство значению BC регистра config\_r
6. IRQLE - interrupt request of level error on line, прерывание ошибки уровня напряжения на линии SL-канала
7. IRQWCC - interrupt request of wrong configuration changed - прерывание смены конфигурации во время приема сообщения
8. IRQICC - interrupt request of incorrect configuration прерывание попытки смены конфигурации на неверную
9. Res\* - Зарезервированно

# Регистр полученных данных

buffered\_data\_r[31:0]

Таблица 4. Назначение разрядов регистра полученных данных (buffered\_data\_r)

0 - 31
Data

Data - данные к отправке.

## Описание работы

Модуль принимает SL-сообщения. Сообщения могут иметь четную длину от 8 до 32 бит. Бит четности проверяется автоматически. Частота импульсов принимаемых сообщений может меняться от 500кГц до 2МГц (при частоте тактового сигнала = 16МГц).

### Запись и чтение регистров

Управление модулем осуществляется путем записи/чтения регистров.

Для считывания текущего значения одного из регистров блока необходимо сформировать на шине addr соответствующее ему значение, указанное в таблице, длительностью не меньше такта опорной тактовой частоты. Значение регистра будет сформировано на шине d\_out через такт опорной после фронта сигнала на шине addr.

Для записи значения в один из регистров блока необходимо сформировать:

- на шине addr значение соответствующее регистру
- на шине d\_in записываемую информацию,
- на порт wr\_en - значение "1".

Также на на шине d\_out через такт опорной после фронта сигнала на шине addr будет сформировано значение записанного регистра. Значение шины d\_out будет соответствовать значению последнего опрошенного или записанного регистра до формирования следующего запроса.

Таблица 5. Адреса регистров

Значение шины addr	Выбранный регистр
1'b0	регистр данных
1'b1	регистр конфигурации и состояния

### Смена конфигурации

Для изменения конфигурации приемника необходимо перезаписать регистр конфигурации и состояния. В конфигурационной части может быть установлена длина слова, маскировка причин запроса прерывания или осуществлен сброс модуля к исходным настройкам. Неверной считается

конфигурация с нечетными длинами слова или длиной слова лежащей вне промежутка от 8 до 32 бит.

**Прием сообщений** Если на вход модуля начинают поступать импульсы, модуль переходит в режим приема сообщения, выставляется бит  $WRP = 1$ .

Модуль переходит в режим ожидания нового сообщения в ситуациях

- Успешного приема сообщения
- Приема сообщения с ошибкой
- Завершившейся ошибки уровня на линии

При переходе

Успешным приемом сообщения называется прием сообщения с совпадающим со значением поля  $BC$  количеством информационных бит и, если включен контроль четности, верной четностью. В случае, если успешно принято слово с правильной четностью выставляется бит  $IRQRM = 1$  и  $WRP = 0$ . Если контроль четности отключен успешно принято слово с неправильной четностью, выставляются биты  $IRQPEM = 1$ ,  $PEF = 1$  и  $WRP = 0$ .

В случае приема сообщения с ошибкой выставляются биты:

- Контроль четности включен и принято сообщение с ошибкой четности —  $IRQPEM = 1$  и  $WRP = 0$
- Принято сообщение с несовпадающим с конфигурацией количеством бит —  $IRQWLC = 1$  и  $WRP = 0$

В случае, если во время приема произошла ошибка уровня, выставляется флаг  $IRQLEF = 1$ . Модуль вернется в режим ожидания сообщения только когда уровни на линиях будут восстановлены. До этого момента будет флаг  $WRP = 1$ , а бит причины прерывания  $IRQLEF$  будет невозможно сбросить.

В регистре данных всегда хранится последнее успешно принятое сообщение. А в бите  $PEF$  - наличие ошибки четности последнего успешно принятого сообщения.

После считывания сообщения необходимо сбросить бит  $IRQRM$ , и ожидать следующего сообщения.

## Прерывания

Запрос прерывания происходит произошло одно из событий и бит этого события не замаскирован :

- Успешно принято сообщение ( $IRQRM$ )
- Принято сообщение с ошибкой четности ( $IRQPEM$ )
- Принято сообщение неверной длины ( $IRQWLC$ )
- Произошла ошибка уровня на линии ( $IRQLE$ )
- Была предпринята попытка записать некорректные данные в конфигурационный регистр ( $IRQICC$ )
- Изменение конфигурации в процессе отправки сообщения ( $IRQWCC$ )

Причину возникновения можно посмотреть в соответствующих полях регистра состояния. Для сбрасывания прерываний, вам необходимо считать регистр конфигурации и состояния и записать считанное снова, занулив биты прерываний. Более подробно работа прерываний рассмотрена в разделе Алгоритм работы.

## Выключение модуля

Чтобы выключить модуль необходимо выставить поле регистра конфигурации SR = "1". Если сделать это во время отправки сообщения, прием сообщения прекращается. Регистры конфигурации и состояния возвращаются в начальное состояние. Когда приемник выключен, он не реагирует на сигналы на входах SL0 и SL1.

## Алгоритмы работы

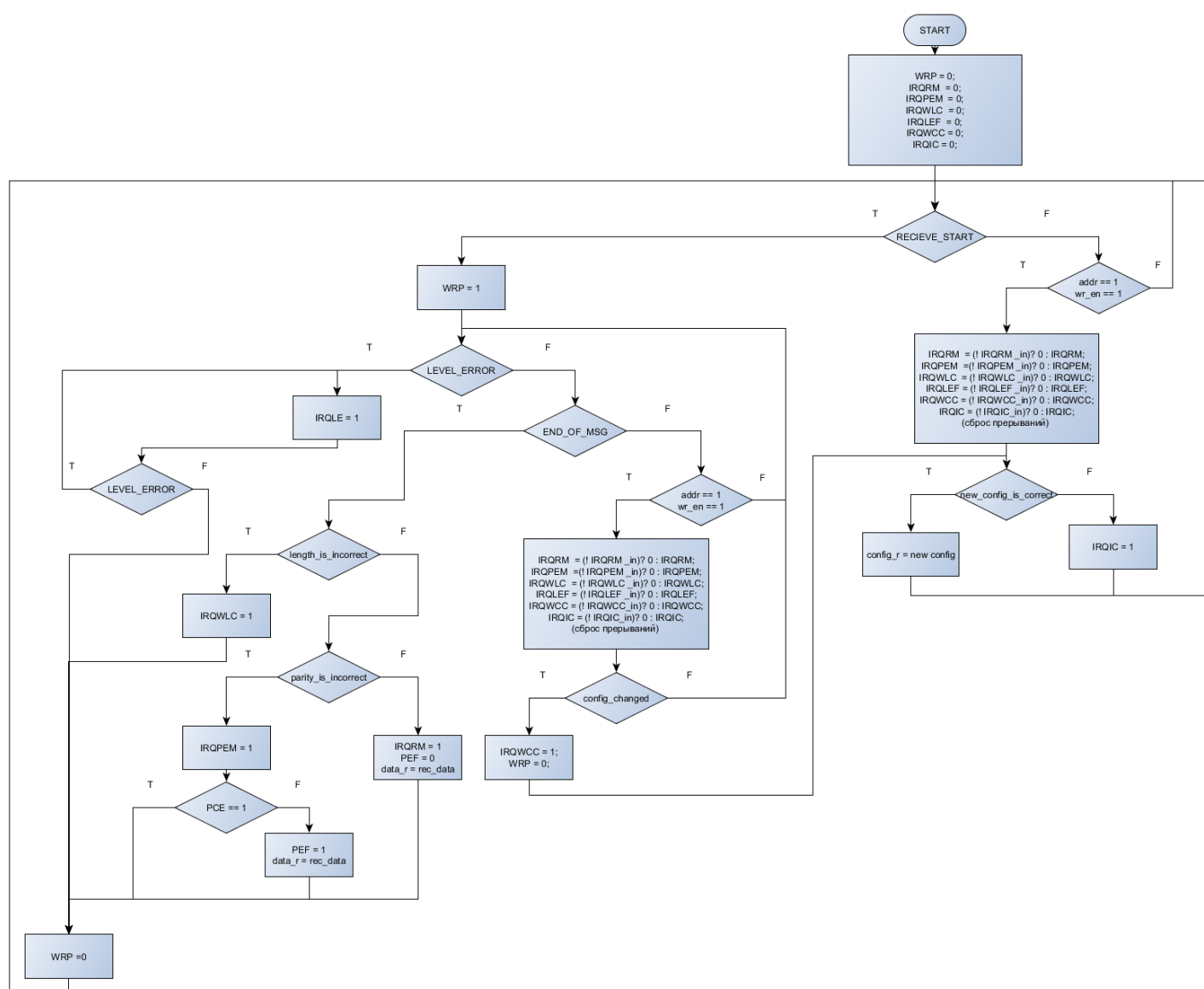


Рисунок 1. Алгоритм работы регистра состояния модуля SIReceiver







Рисунок 2. Конечный автомат модуля SIReceiver