

Оглавление

Описание	1
Описание SL-канала	1
Описание верхнего уровня	1
Входные сигналы	1
Выходные сигналы	2
Двунаправленные сигналы	2
Тактирование сигналов	2
Программная модель	2
Регистр конфигурации	2
Регистр состояния	3
Регистр полученных данных	3
Регистр данных к отправке	

Описание

Данный проект подразумевает реализацию RTL-описания на языке Verilog одноканального приемопередатчика SL-канала .

Описание SL-канала

SL - канал - последовательный однонаправленный канал обмена данными, разработанный для внутриплатного и межплатного обмена информацией. Обмен данными типа "точка-с-точкой". Канал состоит из двух линий: линии единиц и линии нулей. Пассивный уровень на линиях - единица. В случае передачи данных каждый разряд кодируется отрицательным импульсом на соответствующей линии. Информация передается словами произвольной разрядности младшими разрядами вперед. Предпоследний разряд - четность. Передатчик вычисляет четность таким образом, чтобы количество импульсов на линии единиц с учетом разряда четности было нечетным, а на линии нулей - четным. Приемник контролирует четность индивидуально по каждой линии. Последним импульсом является синхроимпульс, представляющий собой отрицательные импульсы по обоим линиям одновременно. Синхроимпульс означает, что передача закончена. Не допускается перекрытия информационных импульсов во время передачи.

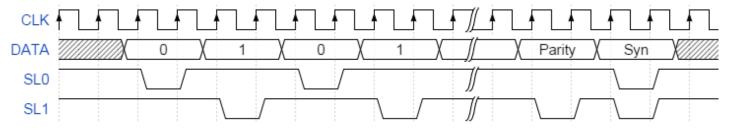


Рисунок 1. Временная диаграмма SL-канала

Типичная рабочая частота передатчика, спроектированного в синхронном стиле, составляет от 500кГц до 1МГц. Пауза между информационными битами равна длительности отрицательного импульса.

Описание верхнего уровня

Входные сигналы

Общие сигналы

- rst_n асинхронный общий сигнал сброса
- clk сигнал тактовой частоты

АРВ-связанные сигналы

- pclk_a сигнал тактовой частоты
- preset_n_a асинхронный сигнал сброса
- [7:0]paddr_a асинхронная шина адреса
- psel_a асинхронный сигнал выбора устройства

Описание стр. 1 из 3

- penable_a асинхронный сигнал разрешения работы
- pwrite_a асинхронный сигнал выбора чтения или записи

Выходные сигналы

Отсутствуют.

Двунаправленные сигналы

APB-связанные сигналы

• [31:0]pdata_a - шина данных

Тактирование сигналов

Таблица 1. Указание на источник тактирования входных и выходных сигналов

Сигнал	Направленность	Клоковый домен				
rst_n	in	async				
serial_line_zeroes_a	in	async				
serial_line_ones_a	in	async				
preset_n_a	in	async				
[7:0]paddr_a	in	pclk_a				
psel_a	in	pclk_a				
penable_a	in	pclk_a				
pwrite_a	in	pclk_a				
[31:0]pdata_a	inout as in	pclk_a				
[31:0]pdata_a	inout as out	clk				

Программная модель

Пользователю для работы доступно несколько регистров: . Конфигурационный . Состояния . Полученных данных . Данных к отправке

Регистр конфигурации

Таблица 2. Назначение разрядов регистра config_r

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
PCE	BC[5:0]					MOD E	IRQM	Res*							

Oписание разрядов регистра config_r

- 1. PCE parity check enable, разрешение контроля четности(PCE = 1), или запрещение(PCE = 0)
- 2. BC bit count, количество бит в слове

Выходные сигналы стр. 2 из 3

- 3. MODE выбор режима работы модуля в качестве применика(MODE = 0), или передатчика(MODE = 1)
- 4. IRQM interrupt request mode, разрешение(IRQM = 1) или запрещение(IRQM = 0) работы прерываний модуля

Регистр состояния

Таблица 3. Назначение разрядов регистра status_r

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
WLC	WRP	Res*	WRF	PEF	LEF	Res*									

Описание разрядов регистра status_r

- 1. WLC word length check, результат проверки длины полученного слова на равенство значению BC регистра config_r, WLC = 1, если значения не равны
- 2. WRP word receiving process, флаг идущего процесса приема слова по SL-каналу
- 3. Res* Зарезервированно
- 4. WRF word received flag, флаг успешно завершенного приема слова
- 5. PEF parity error flag, флаг наличия(PEF = 1) ошибки четности принятого слова
- 6. LEF level error on line flag, флаг наличия ошибки уровня напряжения на линии SL-канала

Регистр полученных данных

buffered_data_r[31:0]

Регистр данных к отправке

data_to_send_r[31:0]

Регистр состояния стр. 3 из 3