

# Спецификация моста APB - Rx,Tx SL-канала [DRAFT]

=====

# Оглавление

- Описание ..... 1
- Описание SL-канала..... 1
  - Описание верхнего уровня ..... 1
  - Программная модель..... 3
  - Конечный автомат ..... 5

# Описание

Данный проект подразумевает реализацию RTL-описания на языке Verilog многоканального приемопередатчика SL-канала.

## Описание SL-канала

SL - канал - последовательный однонаправленный канал обмена данными, разработанный для внутрисплатного и межплатного обмена информацией. Обмен данными типа "точка-с-точкой". Канал состоит из двух линий: линии единиц и линии нулей. Пассивный уровень на линиях - единица. В случае передачи данных каждый разряд кодируется отрицательным импульсом на соответствующей линии. Информация передается словами произвольной разрядности младшими разрядами вперед. Предпоследний разряд - четность. Передатчик вычисляет четность таким образом, чтобы количество импульсов на линии единиц с учетом разряда четности было нечетным, а на линии нулей - четным. Приемник контролирует четность индивидуально по каждой линии. Последним импульсом является синхроимпульс, представляющий собой отрицательные импульсы по обоим линиям одновременно. Синхроимпульс означает, что передача закончена. Не допускается перекрытия информационных импульсов во время передачи.



Рисунок 1. Временная диаграмма SL-канала

Типичная рабочая частота передатчика, спроектированного в синхронном стиле, составляет от 500кГц до 1МГц. Пауза между информационными битами равна длительности отрицательного импульса.

## Описание верхнего уровня

### Входные сигналы

#### Общие сигналы

- rst\_n - асинхронный общий сигнал сброса
- clk - сигнал тактовой частоты

#### АРВ-связанные сигналы

- pclk - сигнал тактовой частоты
- preset\_n - асинхронный сигнал сброса
- [15:0] paddr - асинхронная шина адреса
- psel - асинхронный сигнал выбора устройства

- penable - асинхронный сигнал разрешения работы
- pwrite - асинхронный сигнал выбора чтения или записи
- [31:0] pwrdata - асинхронная шина данных

#### SL-связанные сигналы

- SL0\_in - асинхронный сигнал линии нулей
- SL1\_in - асинхронный сигнал линии единиц

#### Выходные сигналы

#### APB-связанные сигналы

- [31:0] prdata - шина данных
- pready - асинхронный сигнал готовности к приему или передаче данных

#### SL-связанные сигналы

- SL0\_out - синхронный сигнал линии нулей
- SL1\_out - синхронный сигнал линии единиц

#### Двухнаправленные сигналы

Отсутствуют.

#### Тактирование сигналов

Таблица 1. Указание на источник тактирования входных и выходных сигналов

Сигнал	Направленность	Клоковый домен
rst_n	in	async
SL0_in	in	async
SL1_in	in	async
preset_n	in	async
[15:0]paddr	in	pclk
psel	in	pclk
penable	in	pclk
pwrite	in	pclk
[31:0]pwrdata	in	pclk
[31:0]prdata	out	pclk
pready	out	pclk
SL0_out	out	clk
SL1_out	out	clk

# Программная модель

Пользователю для работы доступно несколько регистров:

- 1. Конфигурационный
- 2. Состояния
- 3. Данных
- 4. Номера управляемого устройства (приемника или передатчика)

## Регистр конфигурации

Назначение битов регистра конфигурации различается в зависимости от того является ли управляемое устройство приемником или передатчиком (значение первого бита регистра адреса устройства) .Назначение разрядов регистра config\_r в режиме приемника

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
PCE	BC[5:0]						MODE	IRQM	Res*	Res*	Res*	Res*	Res*	Res*	Res*

### Описание разрядов регистра config\_r в режиме приемника

- 1. PCE - parity check enable, разрешение контроля четности(PCE = 1), или запрещение(PCE = 0)
- 2. BC - bit count, количество бит в слове
- 3. MODE - выбор режима работы модуля в качестве приемника(MODE = 0), или передатчика(MODE = 1)
- 4. IRQM - interrupt request mode, разрешение(IRQM = 1) или запрещение(IRQM = 0) работы прерываний модуля

Таблица 2. Назначение разрядов регистра config\_r в режиме передатчика

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
BC[6:0]						IRQM	FQM[9:7]			Res*	Res*	Res*	Res*	Res*	Res*

### Описание разрядов регистра config\_r в режиме передатчика

- 1. BC - bit count, количество бит в слове
- 2. IRQM - interrupt request mode, разрешение(IRQM = 1) или запрещение(IRQM = 0) работы прерываний модуля
- 3. FQM - frequency mode, соответствие частот описано в таблице ниже

При ошибке указания количества бит в слове (нечетное или меньше восьми) попытка смены конфигурации будет игнорирована.

Таблица 3. Связь значения FQM и частоты работы передатчика

Значение FQM в десятичной системе	Частота, МГц
-----------------------------------	--------------

1	8
2	4
3	2
4	1
5	0.5
>5	0.5

## Регистр состояния

Назначение разрядов первого байта разрядов регистра состояния зависят от режима работы приемопередатчика. Второй байт регистров состояния содержит биты отвечающие за состояние приемопередатчика в целом

*Таблица 4. Назначение разрядов регистра status\_r в режиме приемника*

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
WLC	WRP	Res*	WRF	PEF	LEF	Res*	Res*	CBF	CBE	Res*	Res*	Res*	Res*	Res*	Res*

### *Описание разрядов регистра status\_r в режиме приемника*

1. WLC - word length check, результат проверки длины полученного слова на равенство значению BC регистра config\_r, WLC = 1, если значения не равны
2. WRP - word receiving process, флаг идущего процесса приема слова по SL-каналу
3. Res\* - Зарезервированно
4. WRF - word received flag, флаг успешно завершеного приема слова
5. PEF - parity error flag, флаг наличия (PEF = 1) ошибки четности принятого слова
6. LEF - level error on line flag, флаг наличия ошибки уровня напряжения на линии SL-канала
7. CBF - control buffer is full буфер, куда записываются управляющие команды полон
8. CBE - control buffer is empty буфер, куда записываются управляющие команды пуст

*Таблица 5. Назначение разрядов регистра status\_r в режиме передатчика*

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
SIP	Res*	Res*	Res*	Res*	Res*	Res*	Res*	CBF	SBE	Res*	Res*	Res*	Res*	Res*	Res*

### *Описание разрядов регистра status\_r в режиме передатчика*

1. SIP - send in process - передатчик в данный момент занят отправкой сообщения
2. CBF - control buffer is full буфер, куда записываются управляющие команды полон
3. SBE - control buffer is empty, куда записываются управляющие команды пуст

Описание особенностей работы управляющего буфера будет объяснено далее

## Регистр данных

data\_r[31:0] - регистр данных в котором находится последнее успешно принятое сообщение. В режиме передатчика при транзакции записи в регистр записываемое слово принимается к отправке, значение регистра не меняется.

В режиме приемника при транзакции чтения вы получите последнее принятое приемником сообщение. Транзакция записи в режиме приемника будет игнорирована.

## Регистр адреса устройства

Регистр адреса устройства. Количество устройств определяется количеством каналов (на каждый канал приходится один приемник и один передатчик). Приемники имеют нечетные адреса, передатчики четные. При попытке записать некорректное значение, попытка будет игнорирована.

## Конечный автомат



Рисунок 2. Конечный автомат транзакций записи в регистры