

Микроархитектурная спецификация SITransiever

=====

Оглавление

- Описание 1
 - Назначение 1
 - Параметры конфигурации..... 1
- Функциональное описание..... 1
 - Структурная схема 1
 - Описание работы..... 2
 - Синхронизация и сброс..... 2
 - Подмодули 3
- Описание SL-канала..... 21
 - Описание верхнего уровня 21
 - Программная модель..... 22
 - Конечный автомат 25

Описание

Данный проект подразумевает реализацию RTL-описания на языке Verilog многоканального приемопередатчика SL-канала.

Назначение

Тип блока

Переферийный

Функция

СФ-блок SITransiever - это блок, посредством которого осуществляется обмен данными с внешними устройствами в соответствии с протоколом обмена

Параметры конфигурации

Параметры конфигурации СФ-блока SITransiever приведены в таблице. .Описание параметров блока SITransiever

Имя	Значение по умолчанию	Описание
CHANNEL_COUNT	1	Количество каналов. На каждый канал создается по одному приемнику и передатчику

Функциональное описание

Структурная схема

Структурная схема СФ-блока SITransiever приведена на рисунке:
image::SITransieverStructure.png[title="Общая схема СФ-блока SITransiever", align="center"]

Элементы, которые входят в СФ-блок SITransiever и представлены на структурной схеме, перечислены в таблице: .Модули, входящие в СФ-блок SITransiever

Название	Функция
SITransiever	Верхний уровень СФ-блока. Выполняет функции отправки и приема сообщений по нескольким SI каналам
SITransmitter	Передатчик. Отправляет SI сообщения
SIReciever	Приемник. Принимает SI сообщения
Router	Управляет инстансами приемников и передатчиков

Название	Функция
AsyncFifo	Асинхронный буфер, используются для передачи информации из одного клокового домена в другой
ArbCommunicator	Обрабатывает Arb транзакции

Описание работы

SlTranciever предназначен для взаимодействия с периферийными устройствами, подключенными по Sl интерфейсам. Для этого инстанцируется блок с указанным количеством каналов. На каждый канал приходится по одному приемнику и передатчику.

Каждый инстанс приемника и передатчика имеет свой адрес. Одновременно пользователь может управлять только одним устройством. Управление устройствами осуществляется записью и чтением регистров по апб шине.

Транзакции записи

Возможна запись в следующие регистры: .Регистры доступные для записи * Регистр адреса устройства * Регистр конфигурации выбранного устройства * Регистр данных выбранного устройства

При транзакции записи в один из выбранных регистров модуль ArbCommunicator кладет соответствующее сообщение в асинхронный буфер. Модуль Router, в зависимости от содержимого, либо записывает новый адрес управляемого устройства внутри себя, либо записывает регистры содержимое сообщения в регистр конфигурации/данных управляемого устройства (заданного содержимым регистра адреса устройства внутри модуля Router). Если сообщение содержит данные/конфигурацию, но устройство, которому предназначается это сообщение занято, Router ждет, пока устройство не освободится.

Транзакции чтения

Модуль Router считывает значения регистров выбранного устройства при смене адреса управляемого устройства, или же при их изменении. Сообщения с соответствующими данными он помещает в обратный асинхронный буфер. Модуль ArbCommunicator вынимает эти сообщения помещает их в соответствующие внутренние регистры. Содержимое этих внутренних регистров ArbCommunicator и выдает на шину Arb при транзакциях чтения.

Синхронизация и сброс

СФ-блок спроектирован для работы в двух доменах синхронизации: системная частота clk и частота Arb шины pclk. Частоты clk и pclk примерно равны.

В каждом домене синхронизации необходимо наличие своего сигнала сброса с активным низким уровнем, выставляемым асинхронно и снимаемым по фронту сигнала синхронизации.

Подмодули

ArbCommunicator

Описание

Модуль используется в проекте приемопередатчика SL канала для обработки APB транзакций и помещения/считывания полученных данных из входного и выходного асинхронных буферов

Описание верхнего уровня

Входные сигналы

APB-связанные сигналы

- pclk - сигнал тактовой частоты
- preset_n - сигнал сброса
- [15:0] paddr - шина адреса
- psel - сигнал выбора устройства
- penable - сигнал разрешения работы
- pwrite - сигнал выбора чтения или записи
- [31:0] pwwdata - шина записи данных

Сигналы входного и выходного буферов

- fifo_read_empty - сигнализирует что входной буфер пуст
- fifo_write_full - сигнализирует что выходной буфер полон
- [33:0] fifo_read_data - шина данных входного буфера

Выходные сигналы

APB-связанные сигналы

- [31:0] prdata - шина чтения данных
- pready - сигнал готовности к чтению или записи данных

Сигналы входного и выходного буферов

- fifo_read_inc - сигнал для чтения из входного буфера
- [33:0] fifo_write_data - шина данных выходного буфера
- fifo_write_inc - сигнал для записи в выходной буфера

Двунаправленные сигналы

Отсутствуют

Программная модель

Пользователю для работы доступно несколько регистров:

- 1. Конфигурационный
- 2. Состояния
- 3. Данных (при операции чтения это регистр приема, а при операции записи - отправки)
- 4. Адреса управляемого устройства (мриемника или передатчика)

Описание работы модуля

В ходе работы, модуль принимает транзакции APB шины и обрабатывает их следующим образом: При транзакции записи в соответствующий регистр, данные для записи помещаются в выходной буфер, расширенные до 34 разрядов, где 34 и 33 разряд представляют собой модификатор, однозначно задающий регистр, для которого предназначаются эти данные. При транзакции чтения на APB шину подается содержимое одного из четырех соответствующих внутренних регистров модуля, в который предварительно были записаны данные из выходного буфера.

Когда транзакций нет, а сообщения во входном буфере есть, то модуль переписывает данные из буфера в регистры, руководствуясь модификатором.

Таблица 1. Значения модификаторов для разных регистров

Регистр	Значение модификатора
Конфигурационный	2’d0
Данных	2’d1
Состояния	2’d2
Адреса устройства	2’d3

Конечный автомат

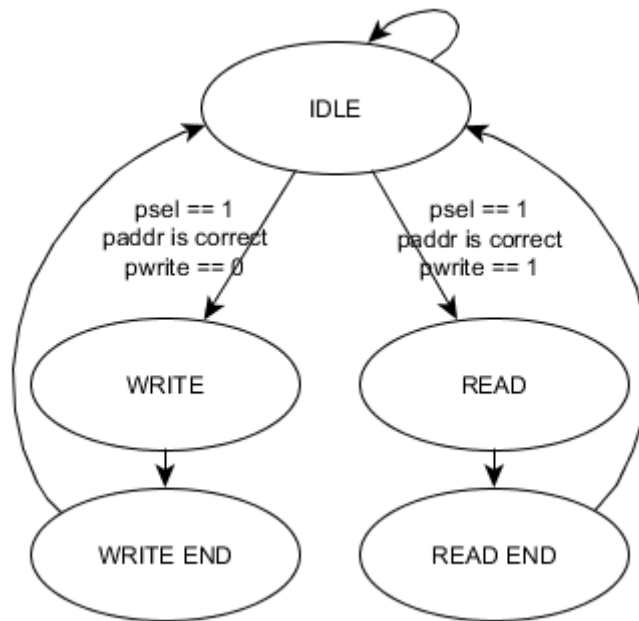


Рисунок 1. Конечный автомат модуля SITransmitter

Router

Описание

Модуль используется в проекте приемопередатчика SL канала для чтения управляющих данных из первого асинхронного буфера и распределения их выбранному приемнику и передатчику, и записи данных о состоянии приемника / передатчика во второй асинхронный буфер.

Описание верхнего уровня

Входные сигналы

Общие сигналы

- clk - системный клок
- rst_n - системный ресет

Сигналы передатчика

- [CHANNEL_COUNT-1:0] rd_status_tx - массив выводов регистров состояния передатчиков
- [TX_CONFIG_REG_WIDTH*CHANNEL_COUNT-1:0] rd_config_tx - массив выводов регистров конфигурационных регистров передатчиков
- [CHANNEL_COUNT-1:0] status_changed_tx - массив выводов сигналов изменения регистра состояния

Сигналы приемника

- [RX_STATUS_REG_WIDTH*CHANNEL_COUNT-1:0] rd_status_rx - смассив выводов регистров состояния приемников

- [RX_CONFIG_REG_WIDTH*CHANNEL_COUNT-1:0] rd_config_rx - массив выводов конфигурационных регистров приемников
- [32*CHANNEL_COUNT-1:0] rd_data_rx - массив выводов регистров данных приемников
- [CHANNEL_COUNT-1:0] data_status_changed_tx - * status_changed_tx - массив выводов сигналов изменения регистров состояния и данных (регистр данных не может измениться без изменения регистра состояния)

Сигналы асинхронных буферов

- fifo_read_empty - сигнализирует что входной буфер пуст
- fifo_write_full - сигнализирует что выходной буфер полон
- [33:0] fifo_read_data - шина данных входного буфера

Выходные сигналы

Сигналы передатчика

- [TX_CONFIG_REG_WIDTH*CHANNEL_COUNT-1:0] wr_config_tx - данные, которые должны быть записаны в конфигурационный регистр (массив выходов для всех передатчиков)
- [CHANNEL_COUNT-1:0] config_we_tx - сигналы записи в конфигурационный регистр (массив выходов для всех передатчиков)
- [32*CHANNEL_COUNT-1:0] wr_data_tx - данные, которые должны быть записаны в регистр для отправляемого сообщения (массив выходов для всех передатчиков)
- [CHANNEL_COUNT-1:0] data_we_tx - сигналы записывающие данные и начинающий отправку сообщения (массив выходов для всех передатчиков)

Сигналы приемника

- [RX_CONFIG_REG_WIDTH*CHANNEL_COUNT-1:0] wr_config_rx - данные, которые должны быть записаны в конфигурационный регистр (массив выходов для всех передатчиков)
- [CHANNEL_COUNT-1:0] config_we_rx - сигналы для записи в конфигурационный регистр (массив выходов для всех передатчиков)
- [CHANNEL_COUNT-1:0] word_picked_rx - сигнал для сброса бита принятого слова (массив выходов для всех передатчиков)

Сигналы входного и выходного буферов

- fifo_read_inc - сигнал для чтения из входного буфера (массив выходов для всех передатчиков)
- [33:0] fifo_write_data - шина данных выходного буфера (массив выходов для всех передатчиков)
- fifo_write_inc - сигнал для записи в выходной буфера (массив выходов для всех передатчиков)

Двунаправленные сигналы

Отсутствуют

Пользователю для работы доступен регистр:

1. Регистр адреса управляемого устройства

Перезаписать содержимое этого регистра можно, поместив во входной асинхронный буфер сообщение с адресом устройства и соответствующим идентификатором.

Значения первого бита регистра адреса управляемого устройства

- "0" - модуль сконфигурирован для работы как передатчик
- "1" - модуль сконфигурирован для работы как приемник

Модуль параметризуется значением параметра CHANNEL_COUNT, для возможности подключить N передатчиков и N приемников. Таким образом адреса приемников имеют четный адрес, а адреса передатчиков имеют нечетный адрес. Все биты адреса кроме первого, задают номер устройства.

Описание работы модуля

Работа модуля делится на две части - обработка команд поступающих из входного буфера, и чтение данных регистров и потравка их содержиомого через в выходной буфер. Все данные поступающие из входного буфера и записываемые в выходной снабжаются следующими модификаторами (33 и 34 разряды содержимого сообщения).

Таблица 2. Значения модификаторов для разных регистров

Регистр	Значение модификатора
Конфигурационный	2'd0
Данных	2'd1
Состояния	2'd2
Адреса устройства	2'd3

Обработка сообщений из входного буфера

Для обработки сообщений из входного буфера используется машина состояний, работающая по следующему алгоритму: В зависимости от текущего состояния регистра адреса устройства, сообщение читаемое из буфера считается сообщением для соответствующего устройства. Если выполнены следующие условия, то машина состояний переходит из состояния ожидания в соответствующее состояние обработки сообщения

Условия перехода

- Буфер не пуст
- Приемник/передатчик не занят (Для сообщений данных и конфигурации)

При этом, при попытке записать данные в передатчик (у него нет входа для регистра данных), а также при сообщении содержащим данные для регистра состояния (запись в регистр состояния запрещена), сообщение просто уничтожается. В случае смены устройства, содержимое сообщения записывается в регистр адреса устройства, В случае изменения данных передатчика/приемника на

соответствующие выходы подается сообщение из буфера и write_enable для соответствующего входа выставляется в "1".

Следующим тактом машина состояний возвращается в состояние ожидания сообщения, единицы на выходах write_enable переключаются в 0. При смене устройства и управлении конфигурационными регистрами генерируются внутренние сигналы "channel_changed", "rx_config_changed", "tx_config_changed". Их назначение будет описано далее. Запись сообщений в выходной буфер В выходной буфер записываются сообщения следующим образом:

Серия сообщений записываемая при смене адреса устройства (addr_changed == 1)

- текущий адрес управляемого устройства
- регистр данных текущего устройства (только для приемников)
- регистр состояния текущего устройства
- конфигурационный регистр текущего устройства

Серия сообщений записываемая при смене регистра состояния модуля, находящегося на текущем устройстве (data_status_changed_rx == 1, status_changed_tx == 1)

- регистр данных текущего устройства (только для приемников)
- регистр состояния текущего устройства
- конфигурационный регистр текущего устройства

При config_changed_rx == 1 и config_changed_tx == 1 в асинхронный буфер записывается сообщение с данными регистра выбранного устройства.

При возникновении конкурирующего импульса, он будет игнорирован. Возникновение таких ситуаций не предусматривается другими модулями.

Конечный автомат

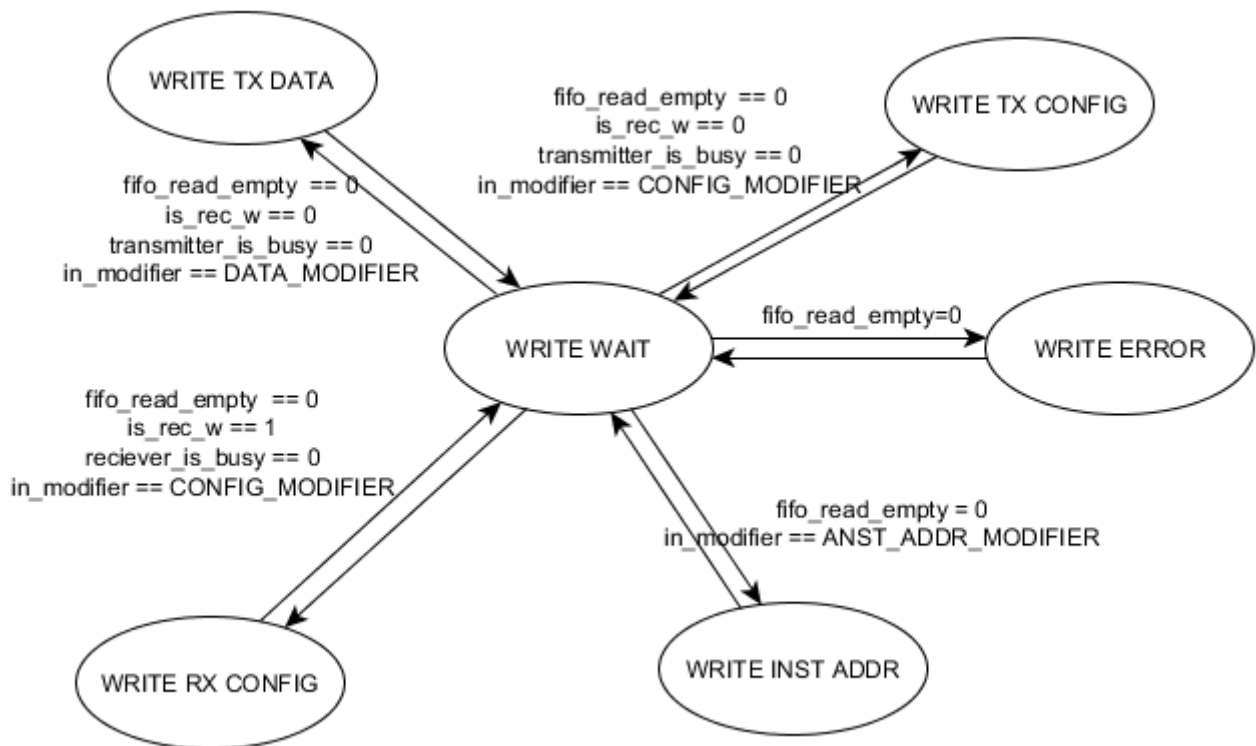


Рисунок 2. Конечный автомат транзакций записи в регистры

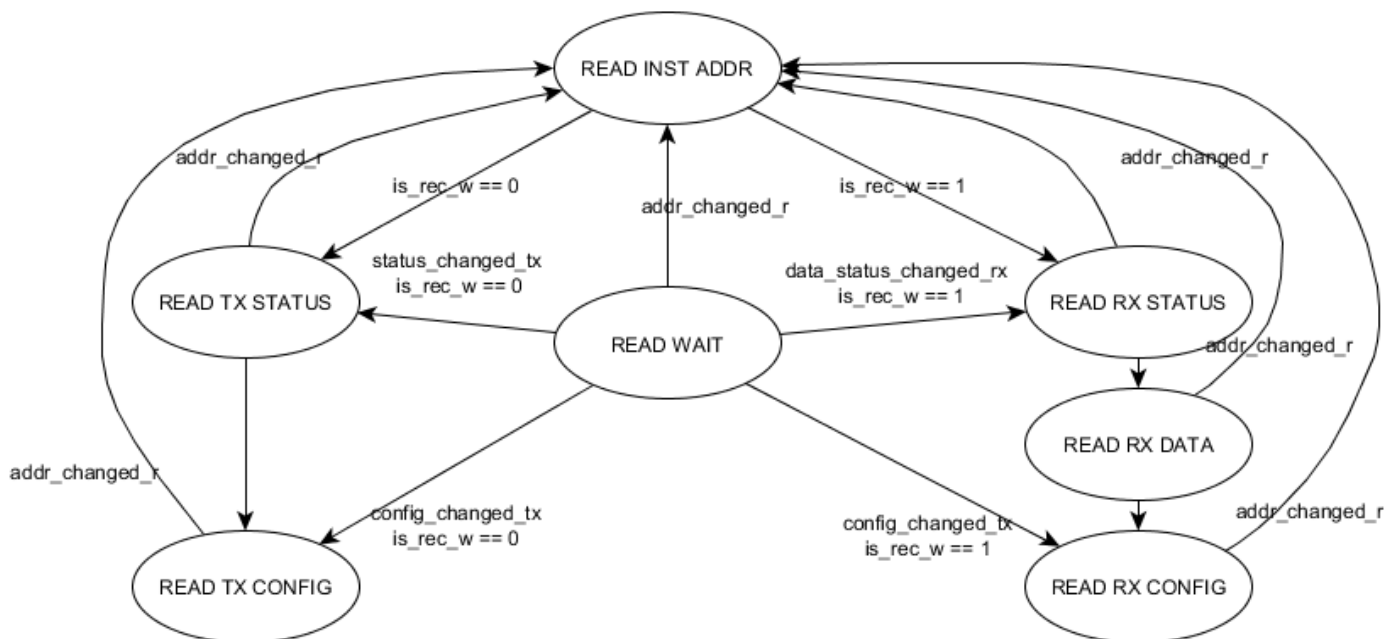


Рисунок 3. Конечный автомат транзакций чтения регистров

SITransmitter

Описание

Данный проект подразумевает реализацию RTL-описания на языке Verilog одноканального передатчика SL-канала

Описание верхнего уровня

Входные сигналы

- rst_n - асинхронный общий сигнал сброса
- clk - сигнал тактовой частоты
- [31:0] D_in - порт для записи данных в регистры
- wr_en - После установки в 1 в выбранный портом A регистр записывается необходимое число
- addr - "0" - регистр данных, "1" - регистр конфигурации и состояния

Выходные сигналы

- SL0 - сигнал нулей SL канала
- SL1 - сигнал единиц SL канала
- [31:0] D_out - порт для чтения регистров
- irq - вывод прерывания

Двунаправленные сигналы

Отсутствуют.

Программная модель

Пользователю для работы доступно несколько регистров:

- Регистр конфигурации и состояния (config_r и status_r)
- Данных к отправке (txdata_r)

Регистр конфигурации и состояния

Регистр конфигурации и состояния состоит из двух объединенных регистров - конфигурации и состояния. Регистру конфигурации соответствуют младшие 16 разрядов, регистру состояния - старшие.

Таблица 3. Назначение разрядов регистра конфигурации (config_r)

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
SR	BC[6:0]						IRQM	FQM[9:7]			Res*	Res*	Res*	Res*	Res*

Описание разрядов регистра конфигурации (config_r)

1. SR - soft reset, включает (SR=1) и выключает (SR=0) приемник
2. BC - bit count, количество бит в слове
3. IRQM - interrupt request mode, разрешение (IRQM = 1) или запрещение (IRQM = 0) работы прерываний модуля

4. FQM - frequency mode, соответствие значения FQM и во сколько раз делится частота описано в таблице ниже.

Таблица 4. Связь значения FQM и частоты работы передатчика

Значение FQM в десятичной системе	Делитель частоты
1	2
2	4
3	8
4	16
5	32
>5	32

Таблица 5. Назначение разрядов регистра состояния (status_r)

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
SIP	Res*	Res*	Res*	Res*	Res*	Res*	Res*	IRQSM			IRQC C	IRQIC	IRQD WE	Res*	Res*

Описание разрядов регистра состояния (status_r)

1. SIP - send in process, сообщение отправляется, при попытке перезаписи этого бита ничего не происходит
2. IRQSM - interrupt request of sent message
3. IRQWCC - interrupt request of wrong configuration changed
4. IRQIC - interrupt request of incorrect configuration
5. IRQDWE - interrupt request of data write error

Регистр данных к отправке

txdata_r[31:0]

Таблица 6. Назначение разрядов регистра данных к отправке (txdata_r)

0 - 31
Data

Data - данные к отправке.

Описание работы

Модуль отправляет SL-сообщения. Сообщения могут иметь четную длину от 8 до 32 бит. Бит четности формируется автоматически. Частота импульсов может меняться от 500кГц до 16МГц (при частоте тактового сигнала = 16МГц).

Запись и чтение регистров

Управление модулем осуществляется путем записи/чтения регистров.

Запись в регистры осуществляется подачей записываемой информации на шину d_in, адреса на порт addr, и единицы на порт wr_en. В режиме отправки сообщения (поле регистра состояния SIP = "1") запись в регистр конфигурации и состояния возможна, но при изменении конфигурационной части корректность отправляемого сообщения не гарантируется. Попытка записать в конфигурационный регистр некорректные параметры игнорируется. Попытка записать данные в процессе отправки сообщения игнорируется.

Для чтения регистра необходимо подать адрес на порт addr и считать информацию с шины d_out.

Смена конфигурации

Для изменения конфигурации приемника необходимо перезаписать регистр конфигурации и состояния. В конфигурационной части вы можете установить необходимую частоту, длину слова, разрешение вызова прерываний, или включить/выключить модуль.

Отправка сообщений

Для отправки сообщения необходимо записать отправляемое сообщение в регистр данных к отправке. Сразу после записи модуль переходит в режим отправки сообщения. При этом поле SIP регистра состояния устанавливается в "1". В случае когда поле BC регистра конфигурации не равно 32, отправляемым сообщением являются младшие биты регистра данных. Старшие биты регистра, которые не входят в длину сообщения заданную конфигурацией (txdata[31:32-BC]) будут записаны в регистр, но игнорированы при отправке.

Прерывания

Прерывания вызываются если поле регистра конфигурации IRQM = 1 и произошло одно из событий: * Отправка сообщения завершена * Была предпринята попытка записать некорректные данные в конфигурационный регистр * Изменение конфигурации в процессе отправки сообщения * Попытка записать новые данные во время отправки старых Причину возникновения можно посмотреть в соответствующих полях регистра состояния. Для сбрасывания прерываний, вам необходимо считать регистр конфигурации и состояния и записать считанное снова, занулив биты прерываний.

Выключение модуля

При выключении передатчика (поле регистра конфигурации SR = "1"), передатчик прекращает отправку текущего сообщения. Когда передатчик выключен, запись в регистр данных игнорируется.

Алгоритмы работы

Если в режиме отправки происходит запись регистра конфигурации и состояния, сначала проверяются биты прерываний: если значения соответствующих записываемых битов прерываний равны 0, то они сбрасываются. После этого, проверяется изменяются ли биты конфигурации (поля FQM, BC, SR). Если они не изменяются, модуль остается в режиме отправки сообщения. Если они изменяются то отправка завершается, выставляются биты SIP = 0 и IRQSM = 1. Если конфигурация корректна, она записывается в регистр. Модуль переходит в режим ожидания записи.

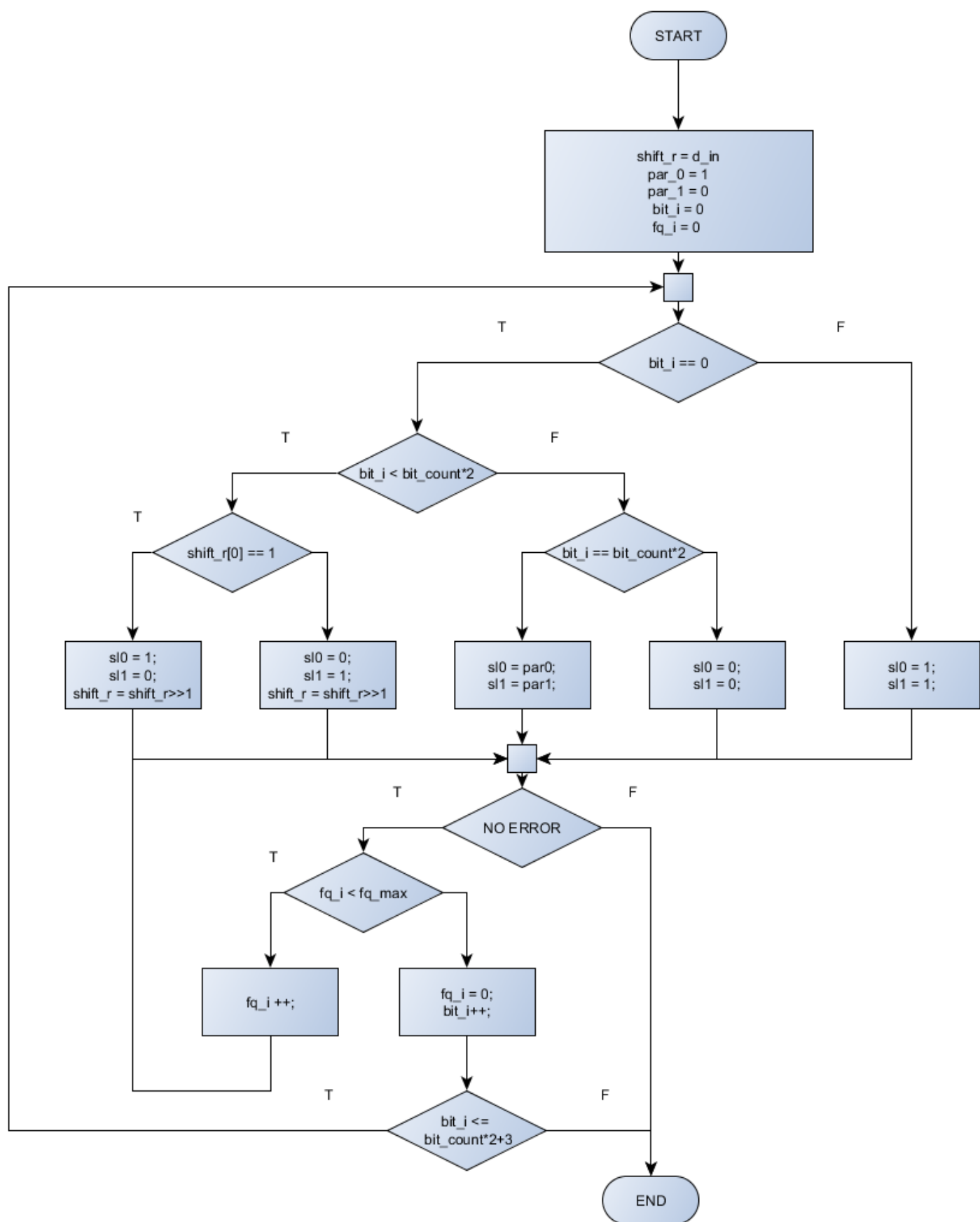


Рисунок 5. Алгоритм работы модуля STTransmitter в режиме отправки

В начале режима отправки в сдвиговый регистр загружается отправляемое сообщение. Счетчики

количества бит и частоты устанавливаются в 0. Счетчик частоты считает от 0 до значения (делитель частоты - 1). Когда счетчик частоты достигает максимального значения, инкрементируется счетчик количества бит. Счетчик количества бит считает от нуля до числа, равного $(BC + 1) * 2 + 1$, где BC (bit count) - поле регистра конфигурации.

При нулевом значении счетчика частоты на линии канала выставляется значение, зависящее от значения счетчика битов.

На значениях счетчика битов 0, 2, ..., $(BC-1) * 2$ на выход выставляется комбинация соответствующая первому биту сдвигового регистра. Также происходит подсчет четности на основе первого бита сдвигового регистра и сдвиг регистра.

На нечетных значениях счетчика битов 1, 3, ..., $(BC+1) * 2 + 1$ на выход выставляется комбинация соответствующая промежутку между значащими битами (единица на линии нулей и единица на линии единиц)

На значении счетчика битов $BC * 2$ на выход выставляется комбинация соответствующая подсчитанной четности, а на значении $(BC+1) * 2$ - комбинация стоп бита.

Также на каждом значении счетчика частоты происходит проверка наличия ошибок - попытки записать данные во время отправки или изменения конфигурации. В случае, если ошибка произошла, отправка прекращается.

В результате на выходе модуля формируется sl - сообщение. = SlReciever :Date: 13.10.2017 :Revision: 0.1 :toc: right :icons: font :source-highlighter: rouge :table-caption: Таблица :listing-caption: Код :chapter-label: Глава :toc-title: Оглавление :version-label: Версия :figure-caption: Рисунок :imagesdir: ../img/

Описание

Данный проект подразумевает реализацию RTL-описания на языке Verilog одноканального приемника SL-канала.

Описание верхнего уровня

Входные сигналы

- rst_n - асинхронный общий сигнал сброса
- clk - сигнал тактовой частоты
- [31:0] D_in - порт для записи данных в регистры
- wr_en - После установки в 1 в выбранный портом addr регистр записывается необходимое число
- addr - адрес регистра "0" - регистр данных, "1" - регистр конфигурации и состояния
- serial_line_zeroes_a - асинхронный вход линии нулей SL-канала
- serial_line_ones_a - асинхронный вход линии единиц SL-канала

Выходные сигналы

- [31:0] D_out - порт для чтения регистров
- irq - вывод прерывания

Двунаправленные сигналы

Отсутствуют.

Программная модель

Пользователю для работы доступно несколько регистров:

- Регистр конфигурации и состояния (config_r и status_r)
- Данных к отправке (txdata_r)

Регистр конфигурации и состояния

Регистр конфигурации и состояния состоит из двух объединенных регистров - регистра конфигурации и регистра состояния. Регистру конфигурации соответствуют младшие 16 разрядов, регистру состояния - старшие.

Таблица 7. Назначение разрядов регистра конфигурации (config_r)

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
SR	BC[6:0]						IRQM	PCE	Res*	Res*	Res*	Res*	Res*	Res*	Res*

Описание разрядов регистра конфигурации (config_r)

1. SR - soft reset, включает (SR=1) и выключает (SR=0) приемник
2. BC - bit count, количество бит в слове
3. IRQM - interrupt request mode, разрешение (IRQM = 1) или запрещение (IRQM = 0) работы прерываний модуля
4. PCE - parity check enable, разрешение контроля четности (PCE = 1), или запрещение (PCE = 0)

Таблица 8. Назначение разрядов регистра состояния (status_r)

16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
WLC	WRP	Res*	WRF	PEF	LEF	Res*	Res*	IRQSM			IRQC C	IRQIC	Res*	Res*	Res*

Описание разрядов регистра состояния (status_r)

1. WLC - word length check, результат проверки длины полученного слова на равенство значению BC регистра config_r, WLC = 1, если значения не равны
2. WRP - word receiving process, флаг идущего процесса приема слова по SL-каналу
3. Res* - Зарезервированно
4. WRF - word received flag, флаг успешно заверченного приема слова

5. PEF - parity error flag, флаг наличия(PEF = 1) ошибки четности принятого слова
6. LEF - level error on line flag, флаг наличия ошибки уровня напряжения на линии SL-канала
7. IRQSM - interrupt request of sent message
8. IRQCC - interrupt request of configuration changed
9. IRQIC - interrupt request of incorrect configuration

Регистр полученных данных

buffered_data_r[31:0]

Таблица 9. Назначение разрядов регистра полученных данных (buffered_data_r)

0 - 31
Data

Data - данные к отправке.

Описание работы

Модуль принимает SL-сообщения. Сообщения могут иметь четную длину от 8 до 32 бит. Бит четности проверяется автоматически. Частота импульсов принимаемых сообщений может меняться от 500кГц до 2МГц (при частоте тактового сигнала = 16МГц).

Запись и чтение регистров

Управление модулем осуществляется путем записи/чтения регистров.

Запись в регистры осуществляется подачей записываемой информации на шину d_in, адреса на порт addr, и единицы на порт wr_en. В режиме отправки сообщения (поле регистра состояния SIP = "1") запись в регистр конфигурации и состояния возможна, но при изменении конфигурационной части корректность принятия сообщения не гарантируется. Попытка записать в конфигурационный регистр некорректные параметры игнорируется. Попытка записать данные игнорируется.

Для чтения регистра необходимо подать адрес на порт addr и считать информацию с шины d_out.

Смена конфигурации

Для изменения конфигурации приемника необходимо перезаписать регистр конфигурации и состояния. В конфигурационной части вы можете установить длину слова, разрешение вызова прерываний, проверку четности или включить/выключить модуль.

Прием сообщений

После приема сообщения выставляется соответствующий флаг, а также возникает прерывание. В регистре данных хранится последнее успешно принятое сообщение.

Прерывания

Прерывания вызываются если поле регистра конфигурации IRQM = 1 и: * Успешно принято

сообщение * Была предпринята попытка записать некорректные данные в конфигурационный регистр * Произошло изменение конфигурации в процессе отправки сообщения Причину возникновения можно посмотреть в соответствующих полях регистра состояния. Для сбрасывания прерываний, вам необходимо считать регистр конфигурации и состояния и записать считанное снова, занулив биты причины прерывания при записи единиц в поле IRQC значение поле не изменяется.

Выключение модуля

При выключении приемника (поле регистра конфигурации SR = "1"), приемник прекращает прием текущего сообщения.

Конечный автомат

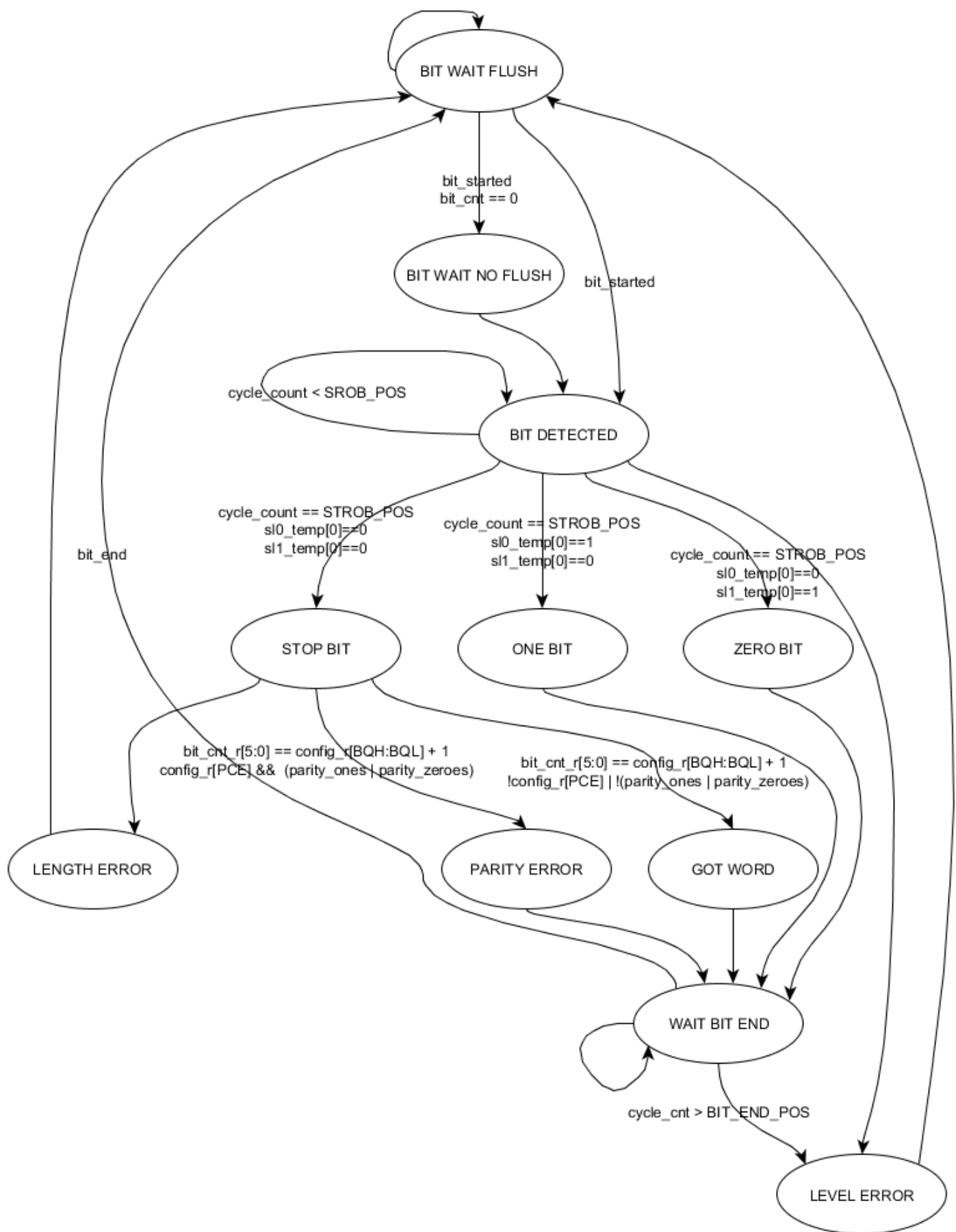


Рисунок 6. Конечный автомат модуля SIReceiver

Описание SL-канала

SL - канал - последовательный однонаправленный канал обмена данными, разработанный для внутриплатного и межплатного обмена информацией. Обмен данными типа "точка-с-точкой". Канал состоит из двух линий: линии единиц и линии нулей. Пассивный уровень на линиях - единица. В случае передачи данных каждый разряд кодируется отрицательным импульсом на соответствующей линии. Информация передается словами произвольной разрядности младшими разрядами вперед. Предпоследний разряд - четность. Передатчик вычисляет четность таким образом, чтобы количество импульсов на линии единиц с учетом разряда четности было нечетным, а на линии нулей - четным. Приемник контролирует четность индивидуально по каждой линии. Последним импульсом является синхроимпульс, представляющий собой отрицательные импульсы по обоим линиям одновременно. Синхроимпульс означает, что передача закончена. Не допускается перекрытия информационных импульсов во время передачи.

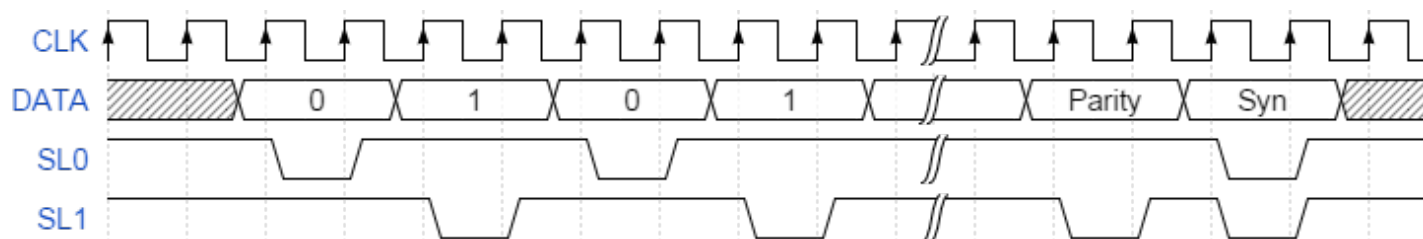


Рисунок 7. Временная диаграмма SL-канала

Типичная рабочая частота передатчика, спроектированного в синхронном стиле, составляет от 500кГц до 1МГц. Пауза между информационными битами равна длительности отрицательного импульса.

Описание верхнего уровня

Входные сигналы

Общие сигналы

- rst_n - асинхронный общий сигнал сброса
- clk - сигнал тактовой частоты

АРВ-связанные сигналы

- pclk - сигнал тактовой частоты
- preset_n - асинхронный сигнал сброса
- [15:0] paddr - асинхронная шина адреса
- psel - асинхронный сигнал выбора устройства
- penable - асинхронный сигнал разрешения работы
- pwrite - асинхронный сигнал выбора чтения или записи
- [31:0] pwdata - асинхронная шина данных

SL-связанные сигналы

- SL0_in - асинхронный сигнал линии нулей
- SL1_in - асинхронный сигнал линии единиц

Выходные сигналы

APB-связанные сигналы

- [31:0] prdata - шина данных
- pready - асинхронный сигнал готовности к приему или передаче данных

SL-связанные сигналы

- SL0_out - синхронный сигнал линии нулей
- SL1_out - синхронный сигнал линии единиц

Двунаправленные сигналы

Отсутствуют.

Тактирование сигналов

Таблица 10. Указание на источник тактирования входных и выходных сигналов

Сигнал	Направленность	Клоковый домен
rst_n	in	async
SL0_in	in	async
SL1_in	in	async
preset_n	in	async
[15:0]paddr	in	pclk
psel	in	pclk
penable	in	pclk
pwrite	in	pclk
[31:0]pwwdata	in	pclk
[31:0]prdata	out	pclk
pready	out	pclk
SL0_out	out	clk
SL1_out	out	clk

Программная модель

Пользователю для работы доступно несколько регистров:

1. Конфигурационный
2. Состояния

3. Данных

4. Номера управляемого устройства (приемника или передатчика)

Регистр конфигурации

Назначение битов регистра конфигурации различается в зависимости от того является ли управляемое устройство приемником или передатчиком (значение первого бита регистра адреса устройства). Назначение разрядов регистра `config_r` в режиме приемника

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
PCE	BC[5:0]						MODE	IRQM	Res*	Res*	Res*	Res*	Res*	Res*	Res*
							E								

Описание разрядов регистра `config_r` в режиме приемника

1. PCE - parity check enable, разрешение контроля четности(PCE = 1), или запрещение(PCE = 0)
2. BC - bit count, количество бит в слове
3. MODE - выбор режима работы модуля в качестве приемника(MODE = 0), или передатчика(MODE = 1)
4. IRQM - interrupt request mode, разрешение(IRQM = 1) или запрещение(IRQM = 0) работы прерываний модуля

Таблица 11. Назначение разрядов регистра `config_r` в режиме передатчика

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
BC[6:0]						IRQM	FQM[9:7]			Res*	Res*	Res*	Res*	Res*	Res*

Описание разрядов регистра `config_r` в режиме передатчика

1. BC - bit count, количество бит в слове
2. IRQM - interrupt request mode, разрешение(IRQM = 1) или запрещение(IRQM = 0) работы прерываний модуля
3. FQM - frequency mode, соответствие частот описано в таблице ниже

При ошибке указания количества бит в слове (нечетное или меньше восьми) попытка смены конфигурации будет игнорирована.

Таблица 12. Связь значения `FQM` и частоты работы передатчика

Значение FQM в десятичной системе	Частота, МГц
1	8
2	4
3	2
4	1
5	0.5
>5	0.5

Регистр состояния

Назначение разрядов первого байта разрядов регистра состояния зависят от режима работы приемопередатчика. Второй байт регистров состояния содержит биты отвечающие за состояние приемопередатчика в целом

Таблица 13. Назначение разрядов регистра status_r в режиме приемника

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
WLC	WRP	Res*	WRF	PEF	LEF	Res*	Res*	CBF	CBE	Res*	Res*	Res*	Res*	Res*	Res*

Описание разрядов регистра status_r в режиме приемника

1. WLC - word length check, результат проверки длины полученного слова на равенство значению BC регистра config_r, WLC = 1, если значения не равны
2. WRP - word receiving process, флаг идущего процесса приема слова по SL-каналу
3. Res* - Зарезервированно
4. WRF - word received flag, флаг успешно завершеного приема слова
5. PEF - parity error flag, флаг наличия (PEF = 1) ошибки четности принятого слова
6. LEF - level error on line flag, флаг наличия ошибки уровня напряжения на линии SL-канала
7. CBF - control buffer is full буфер, куда записываются управляющие команды полон
8. CBE - control buffer is empty буфер, куда записываются управляющие команды пуст

Таблица 14. Назначение разрядов регистра status_r в режиме передатчика

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
SIP	Res*	Res*	Res*	Res*	Res*	Res*	Res*	CBF	SBE	Res*	Res*	Res*	Res*	Res*	Res*

Описание разрядов регистра status_r в режиме передатчика

1. SIP - send in process - передатчик в данный момент занят отправкой сообщения
2. CBF - control buffer is full буфер, куда записываются управляющие команды полон
3. CBE - control buffer is empty, куда записываются управляющие команды пуст

Описание особенностей работы управляющего буфера будет объяснено далее

Регистр данных

data_r[31:0] - регистр данных в котором находится последнее успешно принятое сообщение. В режиме передатчика при транзакции записи в регистр записываемое слово принимается к отправке, значение регистра не меняется.

В режиме приемника при транзакции чтения вы получите последнее принятое приемником сообщение. Транзакция записи в режиме приемника будет игнорирована.

Регистр адреса устройства

Регистр адреса устройства. Количество устройств определяется количеством каналов (на каждый канал приходится один приемник и один передатчик). Приемники имеют нечетные адреса, передатчики четные. При попытке записать некорректное значение, попытка будет игнорирована.

Конечный автомат



Рисунок 8. Конечный автомат транзакций записи в регистры