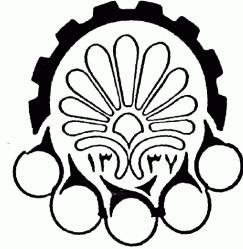




بسمه تعالیٰ



پروژه پایانی درس طراحی سیستم‌های VLSI

عنوان پروژه:

طراحی و شبیه‌سازی ۱ بیتی Full Adder

اعضاي گروه:

سپند هقيقى
۹۰۲۳۰۷۶

امير محمد نادرى
۹۰۲۳۹۰۴

الله پرها^م
۹۰۲۳۸۰۲

بهار، ۹۴

فهرست

۱	۱- مقدمه
۲	۲- طراحی
۳	۱- انتخاب نوع منطق	
۴	۲- انتخاب اندازه	
۵	۳- پیاده سازی با I-edit	
۶	۴- شماتیک	
۷	۵- رسم اوت	
۸	۶- شبیه سازی با I-edit	
۹	۷- DRC	
۱۰	۸- استراج نت لیست	
۱۱	۹- Test Bench	
۱۲	۱۰- شبیه سازی شماتیک	
۱۳	۱۱- Post Layout Simulation	
۱۴	۱۲- جمع بندی و پیشنهاد	
۱۵	۱۳- پیوست	
۱۶	۱۴- منابع	

۱. مقدمه:

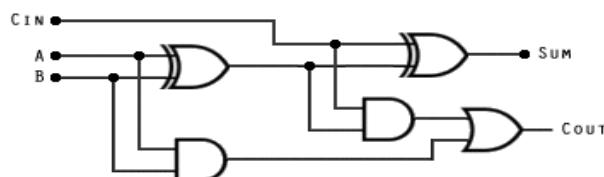
انتخاب منطق مناسب برای طراحی مدار، به شدت ویژگی های مدار را تحت تاثیر قرار می دهد.

زمان تاخیر به سایز ترانزیستور ها، تعداد ترانزیستور ها در تراشه، خازن های پارازیتی و عمق منطقی (مثلًا تعداد گیت ها و مسیر بحرانی) بستگی دارد. توان مصرفی دینامیک به فعالیت سوئیچینگ و تعداد ترانزیستور ها و مساحت تراشه به تعداد و سایز ترانزیستورها و پیچیدگی مدار وابسته است.

اگرچه توان دینامیک متناسب با مقیاس تکنولوژی کاهش پیدا می کند، اما توان استاتیک نشتی زیاد میشود و انتظار می رود که سهم بزرگی از توان کلی را در مدارها داشته باشد. توان نشتی یک مسئله ای اساسی است که Standby Mode به مدیریت توان مناسب نیاز دارد، به ویژه در سیستم هایی که بیشتر زمان خود را در هستند. برای طراحی مدار هایی با توان کم انتخاب شماتیک مناسب قدم اول است.

در این پروژه قصد پیاده سازی یک FULL ADDER تک بیتی در نرم افزار L-EDIT با هدف بهینه سازی مساحت و تاخیر را داریم.

مدار سطح گیت یک تمام جمع کننده در شکل-۱ و جدول درستی آن در شکل-۲ آمده است.



شکل-۱

Symbol	Definition				
	A	B	CarryIn	CarryOut	Sum
CarryIn	0	0	0	0	0
	0	0	1	0	1
	0	1	0	0	1
	0	1	1	1	0
	1	0	0	0	1
	1	0	1	1	0
	1	1	0	1	0
CarryOut	1	1	1	1	1

$$\text{CarryOut} = (A \cdot B \cdot \text{CarryIn}) + (A \cdot \bar{B} \cdot \text{CarryIn}) + (\bar{A} \cdot B \cdot \text{CarryIn}) + (\bar{A} \cdot \bar{B} \cdot \text{CarryIn})$$

$$= (B \cdot \text{CarryIn}) + (A \cdot \text{CarryIn}) + (A \cdot B)$$

$$\text{Sum} = (A \cdot B \cdot \text{CarryIn}) + (\bar{A} \cdot B \cdot \text{CarryIn}) + (\bar{A} \cdot \bar{B} \cdot \text{CarryIn}) + (A \cdot \bar{B} \cdot \text{CarryIn})$$

شکل ۲

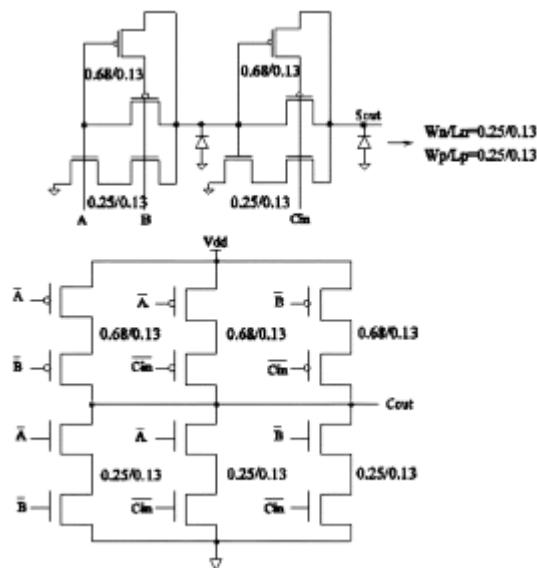
برای پیاده سازی ابتدا با منطق CMOS ایستا شروع می کنیم و با رسم نمودار میله ای و شماتیک آن مساحت را تخمین و تاخیر را به صورت دستی محاسبه می کنیم سپس با استفاده از دو منطق مشهور برای پیاده سازی ULPFA و BBL-PT یعنی Full Adder آن را پیاده سازی می کنیم و در هر کدام از این موارد نتایج مقایسه می کنیم.

۲. طراحی:

۲.۱ انتخاب نوع منطق:

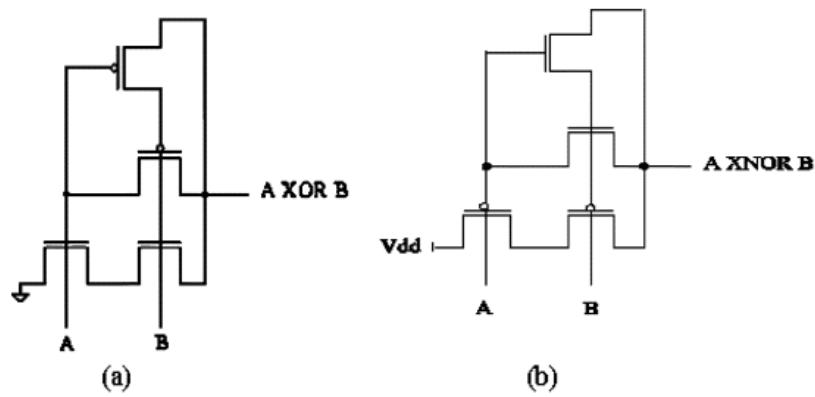
منطق اصلی مورد استفاده در این پروژه **ULPFA** است که با جستجو در اینترنت و مقالات **IEEE** یکی از سریع ترین و کم مصرف ترین منطق های **CMOS** برای پیاده سازی تمام جمع کننده هاست. برای مقایسه بهتر عملکرد این منطق و تقاؤت های آن در تاخیر و معیار های بهبود آن را با منطق **Static CMOS** که معروفترین و اولین منطق برای پیاده سازی گیت های ترتیبی است و همچنین منطق هیبرید مبتنی بر شاخه (**BBL-PT**) مقایسه می کنیم.

بر پایه ای **ULPFA** و **LP XOR** در شکل زیر آمده اند.



شکل -۳(منطق **ULPFA**)

گیت های **XOR** با توان مصرفی پایین در شکل - ۴ آمده است.



شکل-۴(ساختار LPXNOR و LPXOR)

از آنالیز گیت های LP XOR ، مشاهده میشود که سیگنال خروجی سطح منطقی خوبی برای سیگنال های ورودی $(A,B)=(0,0)$ دارد. برای $(A,B)=(0,1)$ ، $(1,0)$ ، $(1,1)$ ، همه می PMOS ها روشن هستند و صفر ضعیف را عبور میدهند.

از طرفی گیت XNOR سطح منطقی خوبی برای سیگنال های ورودی $(A,B)=(0,0)$ ، $(1,0)$ ، $(0,1)$ نشان میدهد و برای $(A,B)=(0,0)$ ، همه می NMOS ها روشن هستند و یک منطقی ضعیف را عبور میدهند.

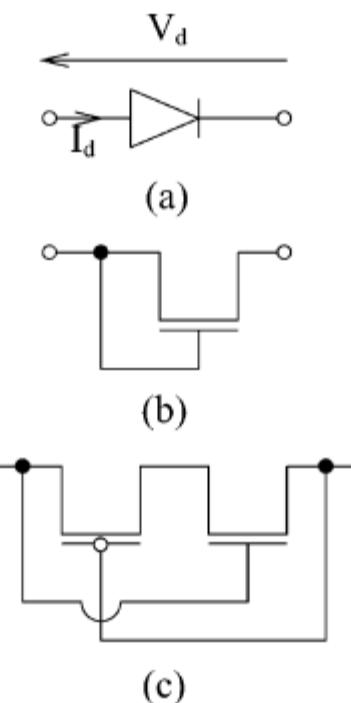
برای بالا بردن فن اوت در گره خروجی میتوانیم از یک معکوس کننده CMOS استفاده کنیم

با استفاده از گیت های LP XOR/XNOR ، بلوک جمع در یک زمان به مقدار ورودی ها و مکمل آن ها نیاز ندارد و همچنین به مکمل سیگنال کری ورودی نیاز ندارد. این باعث پرهیز از نیاز به وارونگر در زنجیر کری در جمع کننده چند بیتی میشود. همچنین وارونگر خروجی در بلوک رقم نقلی میتواند حذف شود.

ULPD با ترکیب یک ترانزیستور NMOS و PMOS به دست می آید و ساختار آن در شکل ۵ آمده است.

وقتی ULPD در بایاس معکوس است، هر دو ترانزیستور با V_{GS} منفی عمل میکنند و کاهش قابل ملاحظه ای جریان نشتی را در مقایسه با دیودهای استاندارد مشاهده میکنیم. به علاوه وقتی ولتاژ بایاس معکوس را افزایش میدهیم، جریان معکوس ULPD افزایش پیدا میکند تا به یک پیک برسد و سپس با شیب زیادی کاهش پیدا میکند، با افزایش V_{GS} این رفتار باعث ایجاد یک مقاومت منفی میشود. این منطق در ناحیه معکوس خیلی

ضعیف هم عمل میکند و فقط به ولتاژ آستانه‌ی ترانزیستورهای NMOS و PMOS که در آن استفاده شده اند بستگی دارد.



شکل - ۵ (ساختار ULPD)

۲.۲ تعیین اندازه ترانزیستور ها :

$$NMOS : I_{DSAT} = 115 \times 10^{-6} \times \frac{W_n}{L} [(5 - 0.43) \times 0.63 - \frac{0.63^2}{2}] = 616.5 \times 10^{-6} \times W_n$$

$$R_{eqn} = \frac{4}{3} \times \frac{5}{616.5 \times 10^{-6} \times W_n} (1 - \frac{5}{6} \times 0.06 \times 5) = \frac{8.1}{W_n} k\Omega$$

$$PMOS : I_{DSAT} = -30 \times 10^{-6} \times \frac{W_p}{L} [(5 + 0.4) \times (-1) - \frac{1}{2}] = 354 \times 10^{-6} \times W_p$$

$$R_{eqn} = \frac{4}{3} \times \frac{5}{354 \times 10^{-6} \times W_p} (1 - \frac{5}{6} \times -0.1 \times 5) = \frac{26.6}{W_p} k\Omega$$

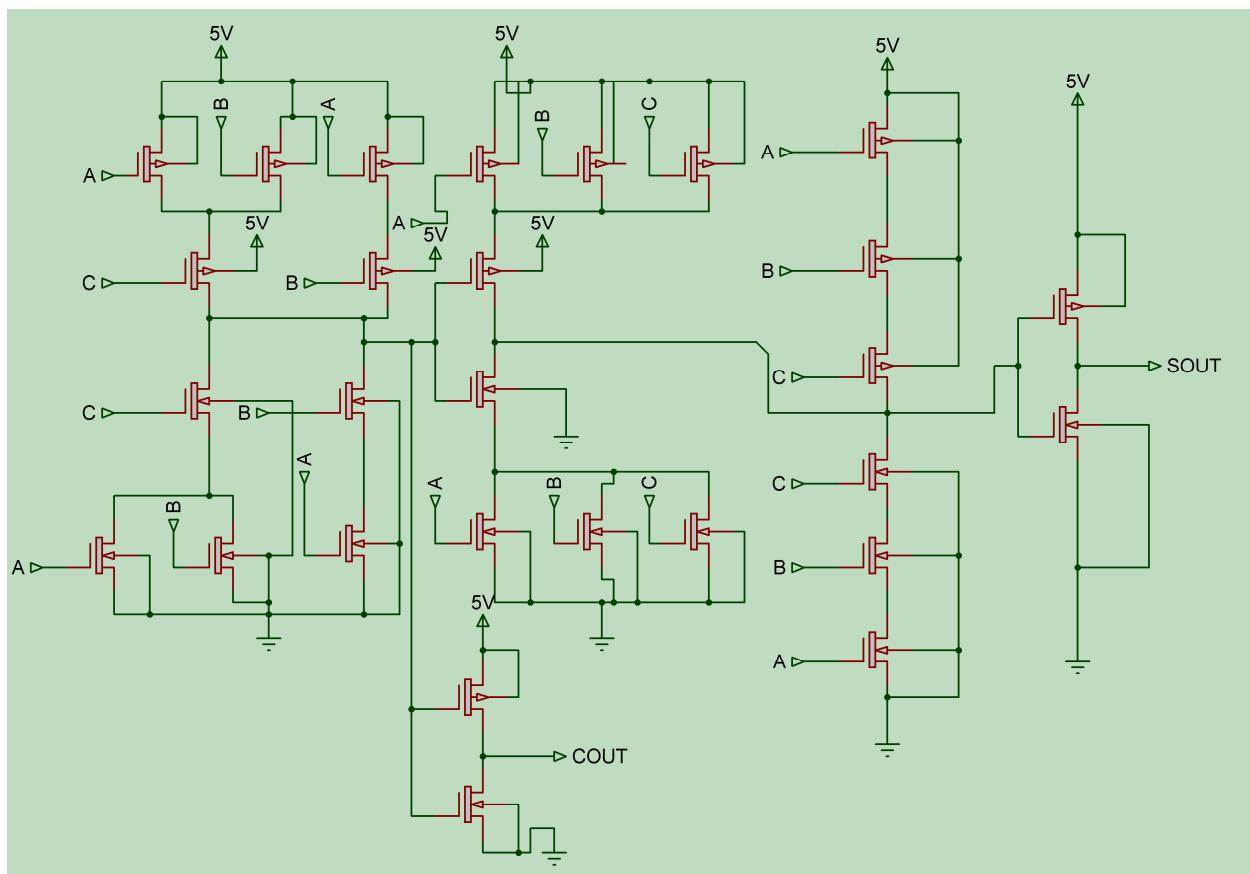
$$W_p \approx 2.5W_n \rightarrow R_{eqp} = \frac{10}{W_n} k\Omega$$

$$\begin{cases} A = 0 \\ B = 0 \\ C = 0 \end{cases} \rightarrow R = 4R_{eqp} + R_{eqn} \rightarrow 0.69RC = 200 ps \rightarrow \boxed{W_n = 8\mu m, W_p = 16\mu m}$$

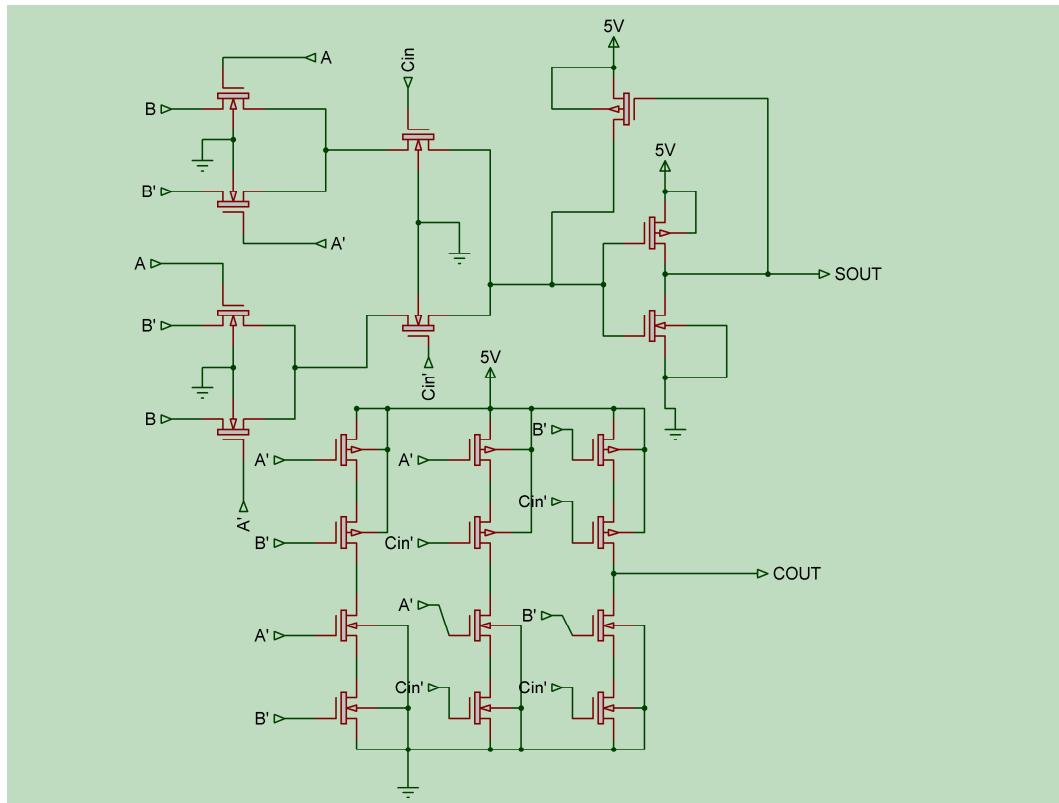
۳. پیاده سازی با نرم افزار L-EDIT

۳.۱ رسم شماتیک:

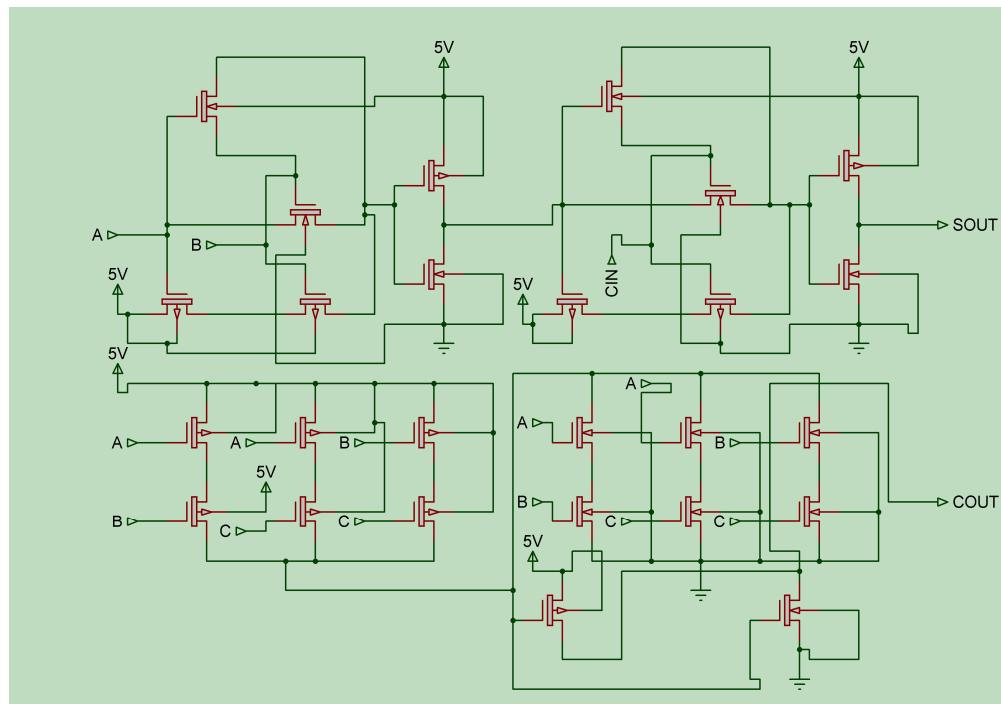
شماتیک هر ۳ منطق در نرم افزار *Proteus Spice* با مدل های *Spice* و پیاده سازی شده است که به ترتیب در شکل های ۳ تا ۵ آمده است.



شکل-۶(شماتیک تمام جمع کننده با منطق *Static CMOS*)



شکل-۷ (شماتیک مدار تمام جمع کننده با منطق BBL-PT)



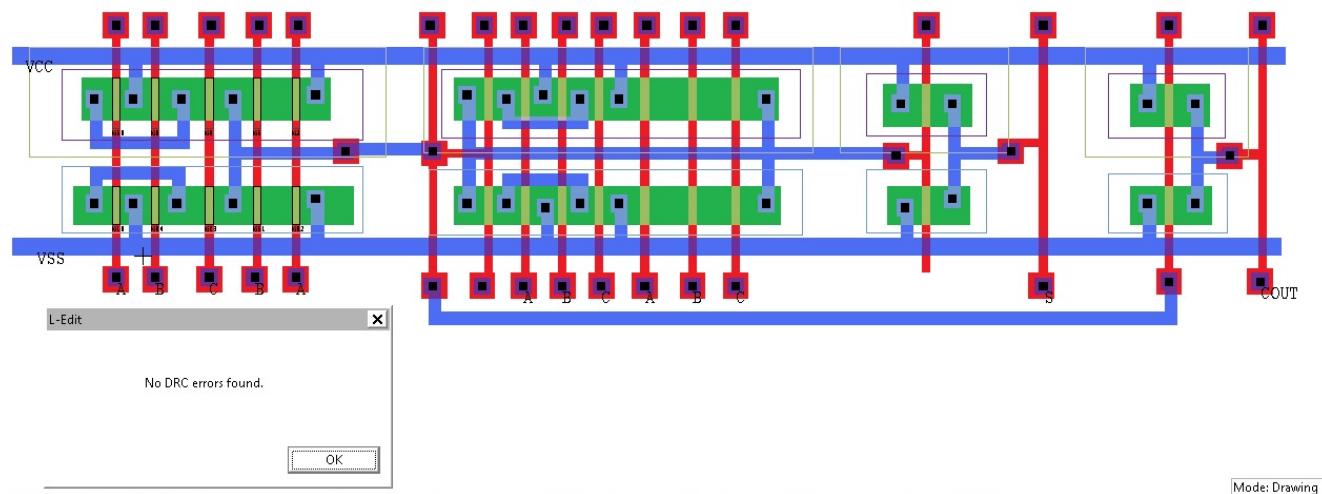
شکل-۸ (شماتیک مدار تمام جمع کننده با منطق ULPFA)

۳.۲ رسم لی اوت:

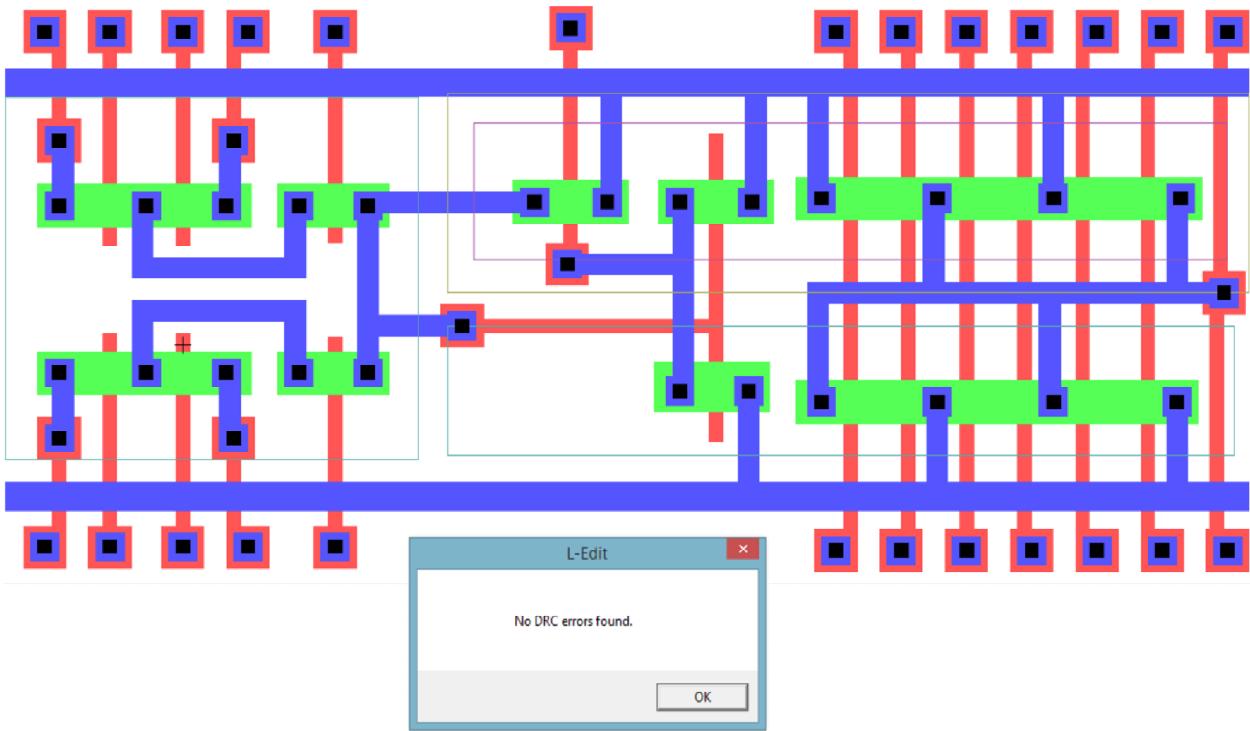
در مرحله بعد لی اوت هر سه مدار را به وسیلهٔ نرم افزار **L-Edit** رسم می‌کنیم در رسم این لی اوت ها از لایه‌های **Poly1** (به رنگ قرمز)، **Active** (به رنگ سبز)، **Metal Contact**، **P-Well**، **N-Well**، **P-Select**، **N-Select**، **Metal1** (به رنگ آبی) استفاده شده است و لی اوت هر سه منطق در شکل‌های ۶ تا ۸ و همچنین مساحت آنها در جدول ۱ آمده است.

Logic	Area(μm^2)
Static CMOS	1350
BBL-PT	830
ULPFA	1000

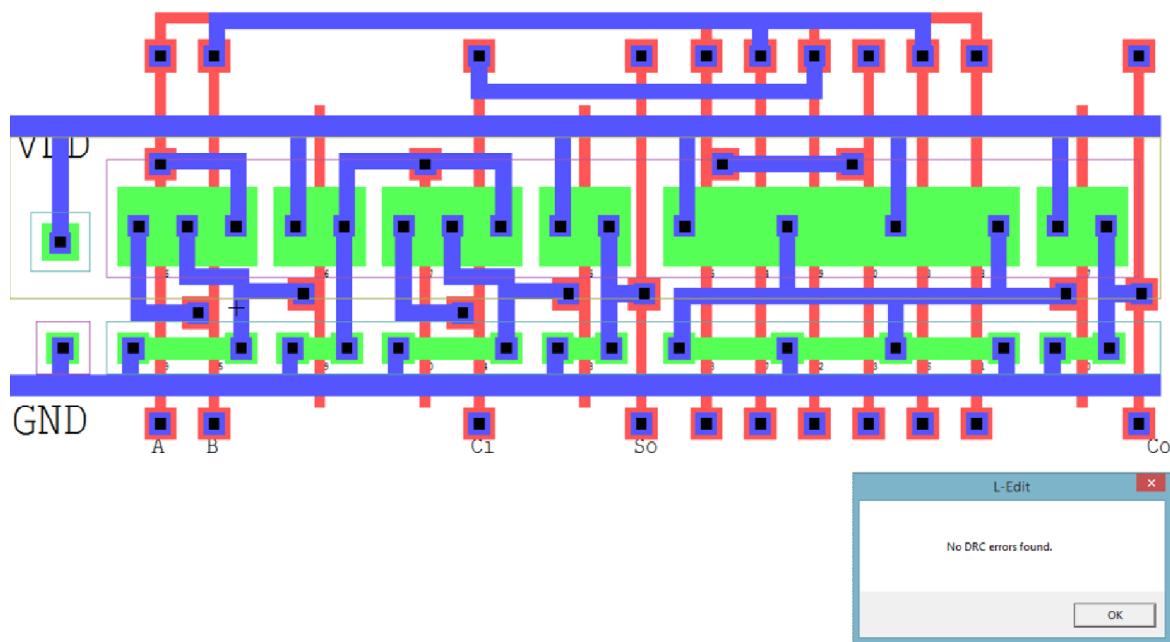
جدول ۱-مساحت لی اوت



شکل-۹ (لی اوت مدار تمام جمع‌کننده با منطق Static CMOS



شکل-۱۰ (لی اوت مدار تمام جمع کننده با منطق BBL-PT)



شکل-۱۱ (لی اوت مدار تمام جمع کننده با منطق ULPFA)

۴. شبیه سازی با نرم افزار L-EDIT :

۱-۴-۱: DRC انجام

برای تست عدم وجود خطأ در قوانین رسم بروی گزینه DRC در نرم افزار L-EDIT کلیک می کنیم و هر کدام از لی اوت هارا تست می کنیم پیام عدم وجود خطأ در قوانین رسم در پایین هر کدام از شکل های ۵ تا ۸ قرار دارد.

۱-۴-۲- استخراج نت لیست :

جهت استخراج نت لیست برای هر کدام از لی اوت ها در نرم افزار L-EDIT بروی گزینه Ext کلیک می کنیم و با انتخاب فایل تکنولوژی مورد نظر و همچنین کلیک بروی حد محاسبه خازن های پارازیتی ، فایل ورودی نرم افزار Pspice با پسوند cir. تولید می شود که از آن برای محاسبه تاخیر استفاده می شود.

- در هنگام اجرا پیغامی توسط نرم افزار ظاهر می شود که باید بروی گزینه Ignore All کلیک کرد.
- نت لیست های هرسه منطق در پیوست آمده است.

۴-۴ توضیح و ارائه Test Bench ایجاد شده جهت شبیه سازی نهایی :

در این قسمت برای ایجاد شرایط قابل کنترل و همچنین ارزیابی همه حالت های ممکن برای مدار ، در هر مرحله دو ورودی از سه ورودی را ثابت نگه می داریم و ورودی سوم را بین ۰ و ۱ در دو جهت پایین به بالا و بالا به پایین سوییچ می کنیم و تاخیر را در هر حالت در دو خروجی جمع و رقم نقلی اندازه گیری و بزرگترین تاخیر را به عنوان حداقل تاخیر مدار معرفی می کنیم به این عملیات Full **Test Bench** گویند که شامل تحریک بررسی ورودی ها و مقایسه خروجی ها است. این تحریک ها طبق جدول زیر انجام می شود : (تاخیر های بحرانی و حالت سوییچ آنها برروی جدول مشخص شده)

- در حالتی که نوع سوییچ در تاخیر مؤثر بوده است ، نوع آن مشخص شده است (- Falling- (Raising

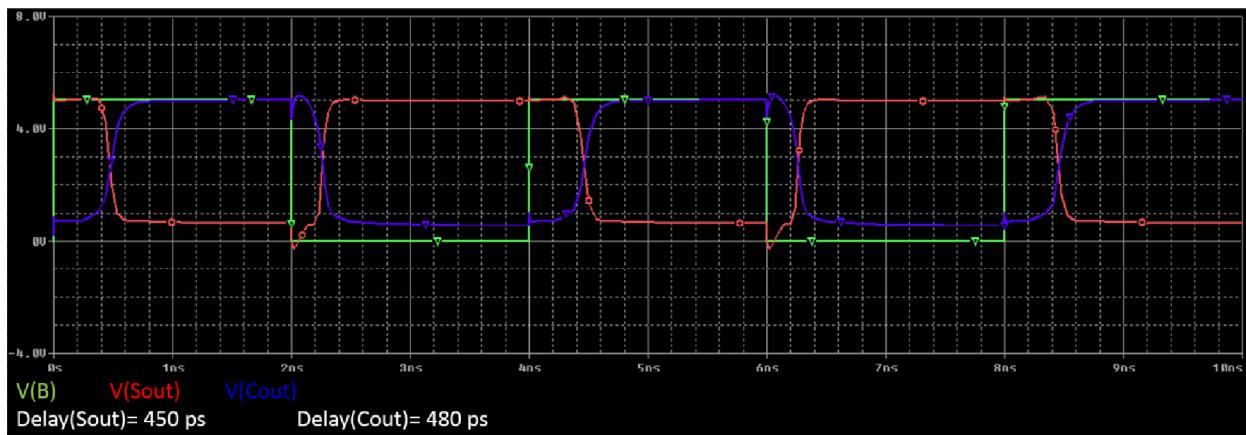
A	B	Cin	S Delay
0	0	Switch	
0	1	Switch	
1	0	Switch	
1	1	Switch	
Switch	0	0	BBL-PT
Switch	0	1	BBL-PT
Switch	1	0	BBL-PT
Switch	1	1	BBL-PT/CMOS Falling
0	Switch	0	
0	Switch	1	
1	Switch	0	ULPFA-Falling
1	Switch	1	

جدول ۲- جدول تحریک مدار ها

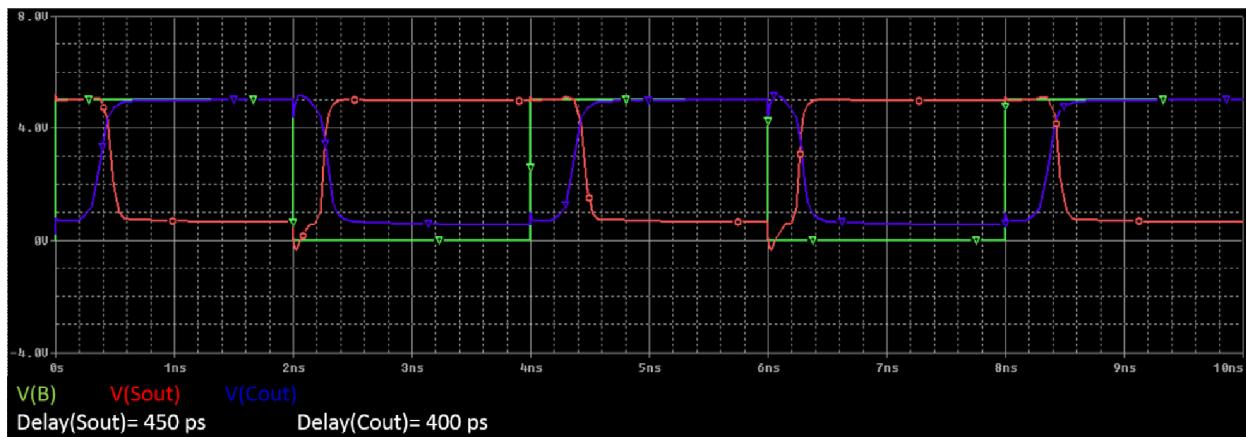
۴-۴ شبیه سازی شماتیک ها :

هدف از شبیه سازی شماتیک ها بررسی مدار داخلی تمام جمع کننده و محاسبه تاخیر آن در حالت ایده آل تر و بدون در نظر گرفتن خازن های پارازیتی و اتصال های میانی است.

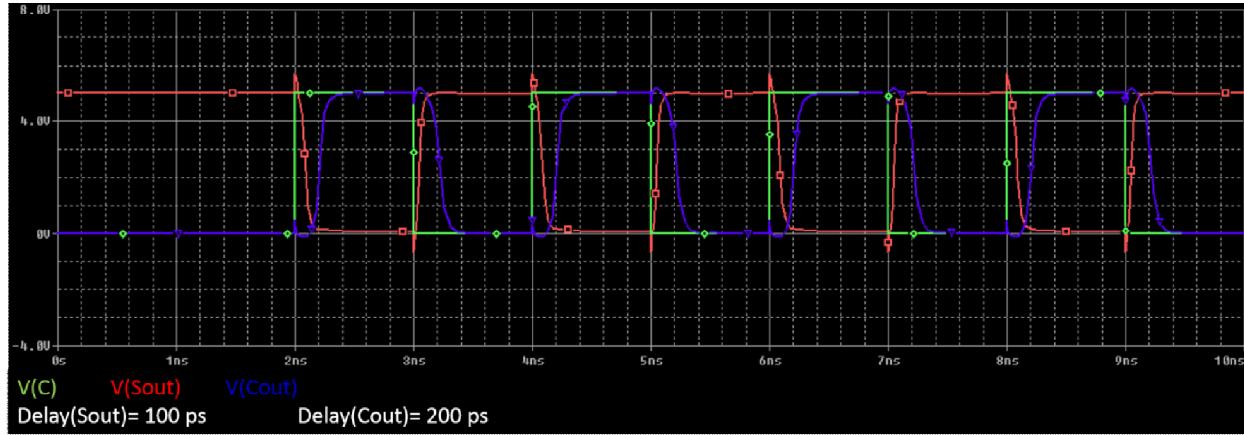
در شکل های ۸ الی ۱۰ شکل خروجی ها و تاخیر آنها در بدترین حالت آورده شده است.



شکل-۱۲ (شکل خروجی جمع و رقم نقلی شماتیک بر حسب تغییرات ورودی B در منطق Static CMOS



شکل-۱۳(شکل خروجی جمع و رقم نقلی شماتیک بر حسب تغییرات ورودی C در منطق BBL-PT



شکل-۱۴(شکل خروجی جمع و رقم نقلی شماتیک بر حسب تغییرات ورودی C در منطق ULPFA)

حداکثر تاخیر منطق های سه گانه با توجه به نمودار های ۸ الی ۱۰ در جدول-۳ آمده است.

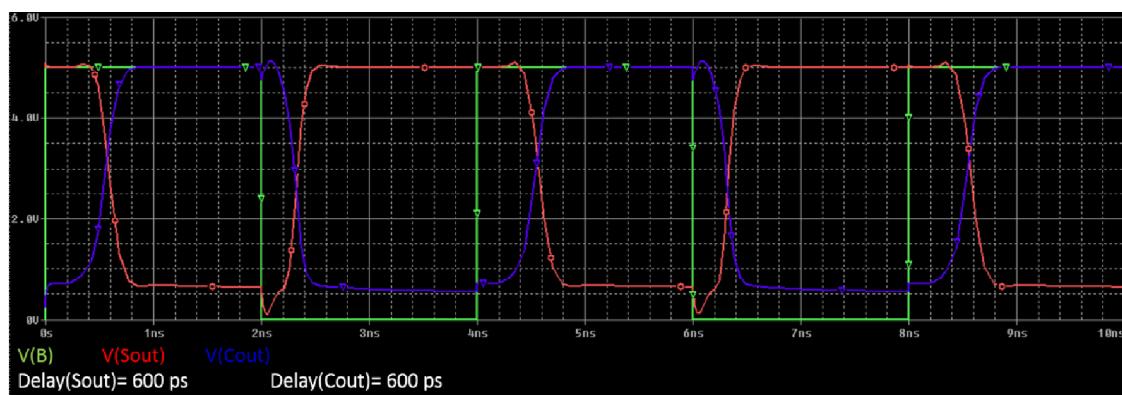
LOGIC	Max Delay(ps)
Static CMOS	480
BBL-PT	450
ULPFA	200

جدول-۳-تاخیر شماتیک های منطق های مختلف

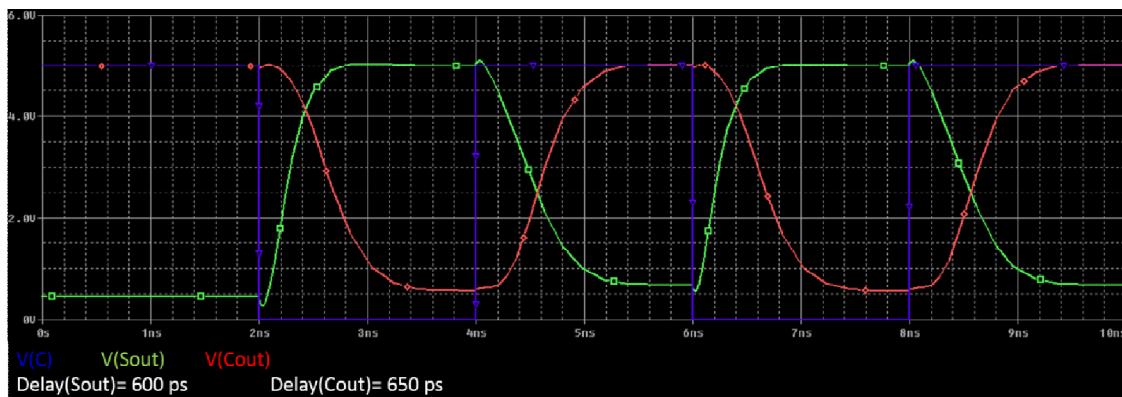
: Post Layout Simulation ۴-۵

پس از استخراج نت لیست در بخش ۴-۲ که در آن ترتیب اتصال ورودی ها و همچنین خازن های پارازیتی وجود دارد با قرار دادن مدل های ترانزیستور های NMOS و PMOS در ادامه نت لیست و ولتاژ دادن به ورودی های مختلف تاخیر خروجی جمع و رقم نقلی را بررسی می کنیم و بدترین تاخیر که تاخیر مسیر بحرانی است را به عنوان حداکثر تاخیر آن منطق معرفی می کنیم .

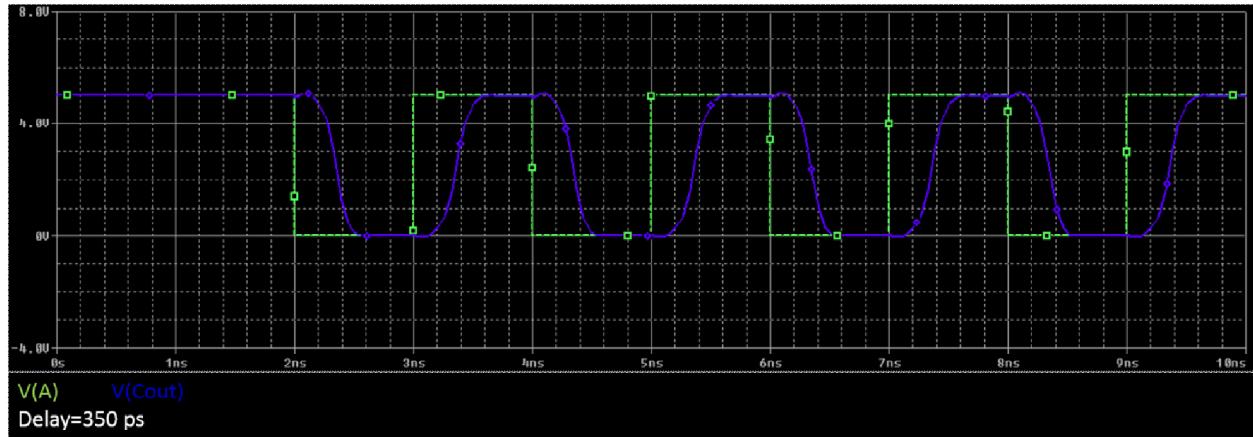
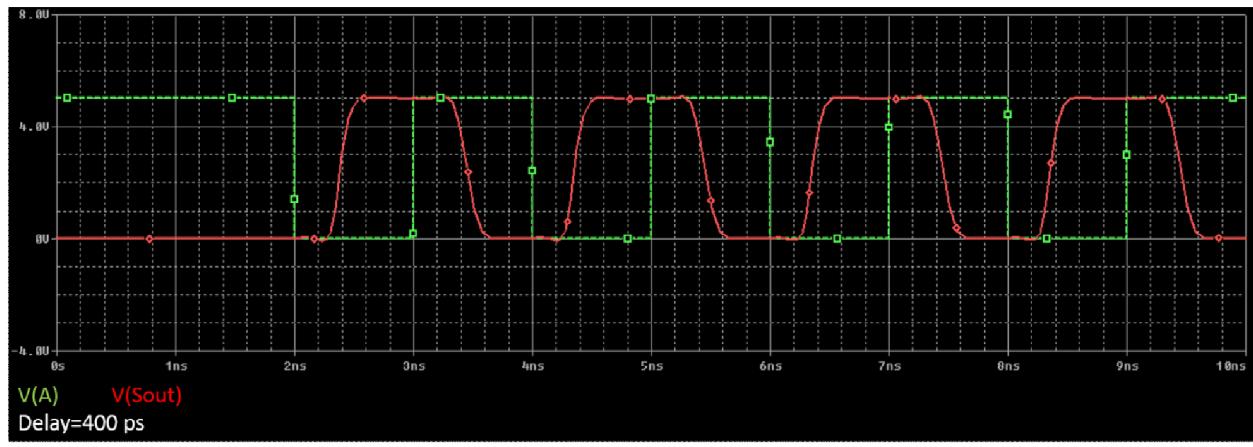
در ادامه نمودار های خروجی جمع و رقم نقلی در حالت حداکثر تاخیر برای منطق های BBL-PT ، Static CMOS و در همه حالت های سوییچ برای ULPFA آمده است .



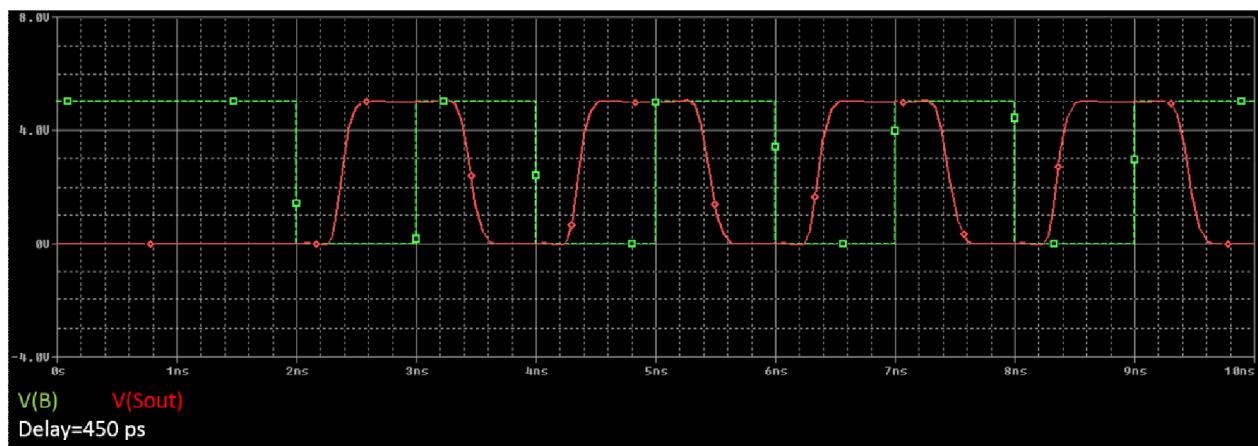
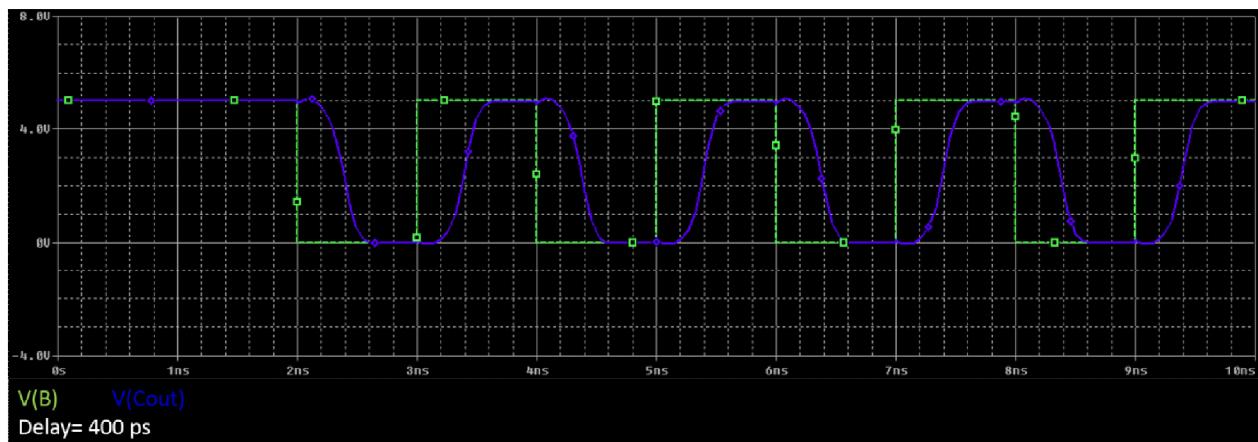
شکل-۱۵(شکل خروجی جمع و رقم نقلی بر حسب تغییرات ورودی B در منطق Static CMOS)



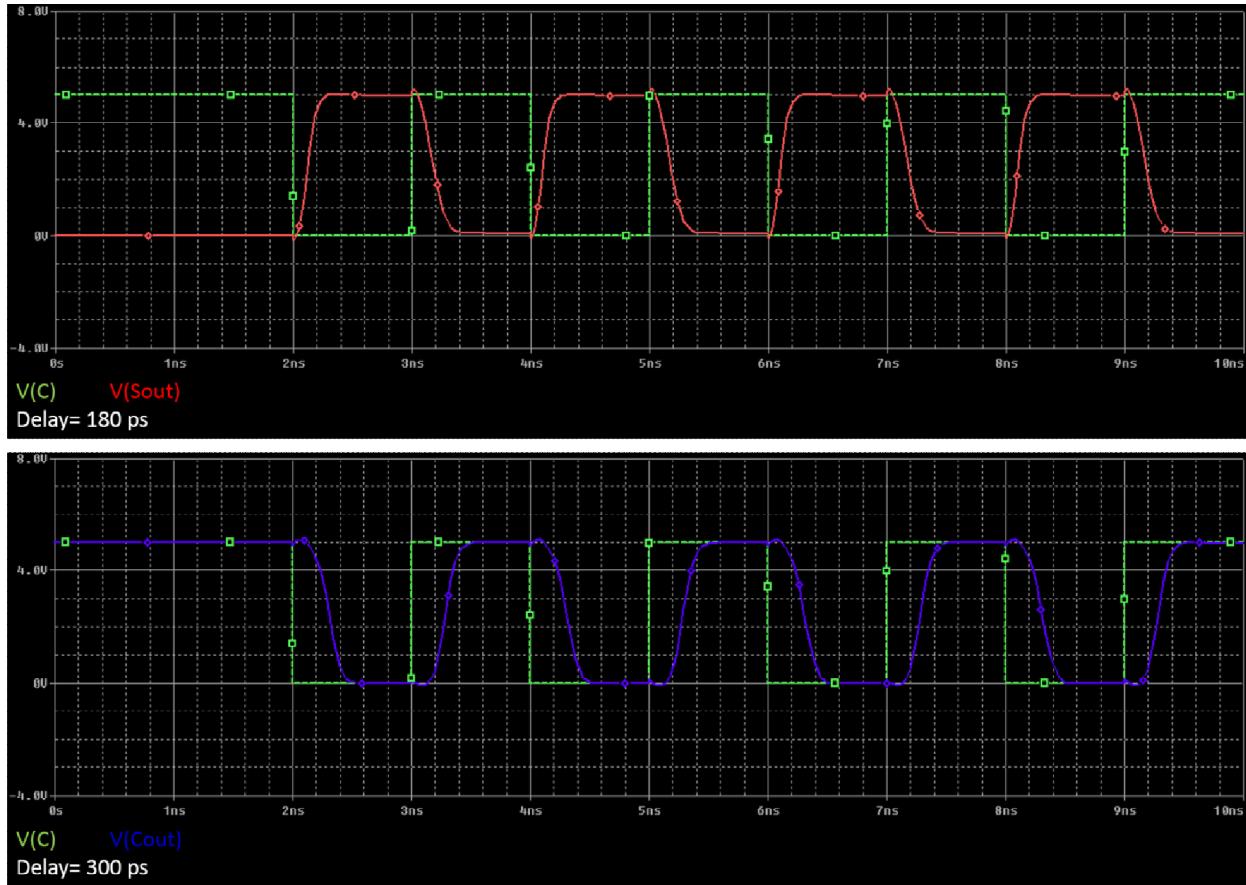
شکل-۱۶(شکل خروجی جمع و رقم نقلی بر حسب تغییرات ورودی C در منطق BBL-PT)



شکل-۱۷(شکل خروجی جمع و رقم نقلی بر حسب تغییرات ورودی A در منطق ULPFA)



شکل-۱۸(شکل خروجی جمع و رقم نقلی بر حسب تغییرات ورودی B در منطق ULPFA)



شکل-۱۹(شکل خروجی جمع و رقم نقلی بر حسب تغییرات ورودی گذر منطق (ULPFA)

تاخیر حداقل ، منطق های مختلف در جدول-۴ آمده است.

<i>Logic</i>	$\tau_p (ps)$
Static CMOS	600
BBL-PT	650
ULPFA	450

جدول-۴(حداکثر تاخیر منطق های مختلف)

۵. جمع بندی و ارائه پیشنهاد:

خلاصه تاخیر ها ، مساحت و فاکتور ارزیابی پروژه در جدول-۵ آمده است :

<i>Logic</i>	$\tau_p (ps)$	<i>Area(μm²)</i>	$Area \times \tau_p^2$
Static CMOS	600	1350	4.86*10 ⁸
BBL-PT	650	830	3.50*10 ⁸
ULPFA	450	1000	2.02*10 ⁸

جدول-۵ (خلاصه ارزیابی مدار)

با توجه به جدول بالا متوجه می شویم که کمترین تاخیر برای منطق ULPFA و کمترین مساحت برای منطق BBL-PT است و در کل کمترین فاکتور ارزیابی پروژه برای منطق ULPDA است.

برای بهبود تاخیر راه های بسیاری زیادی وجود دارد که هر کدام مزایا و معایبی دارند در زیر به چند مورد از آنها اشاره می کنیم.

۱- استفاده از منطق هایی مبتنی بر ترانزیستور های ECL و یا ترکیب ترانزیستور های CMOS و BiCMOS مثل BJT این منطق ها با توجه به استفاده از ترانزیستور های BJT سریع تر بوده ولی دارای تلفات ایستای بیشتری است.

۲- افزایش اندازه ترانزیستور ها به منظور کاهش تاخیر این کار از طرف دیگر باعث افزایش مساحت می شود و همچنین خطی نمی باشد.

۳- یافتن مسیر افزایش دهنده تاخیر و بهبود آن با تنظیم ترانزیستور ها به صورت قسمتی برای جلوگیری از افزایش بیش از حد مساحت.

۴- استفاده روش های محاسباتی و فرا ابتکاری مثل الگوریتم ژنتیک ، NSGA ، PSO برای بهبود نحوه اتصالات در مدارهای مجتمع.

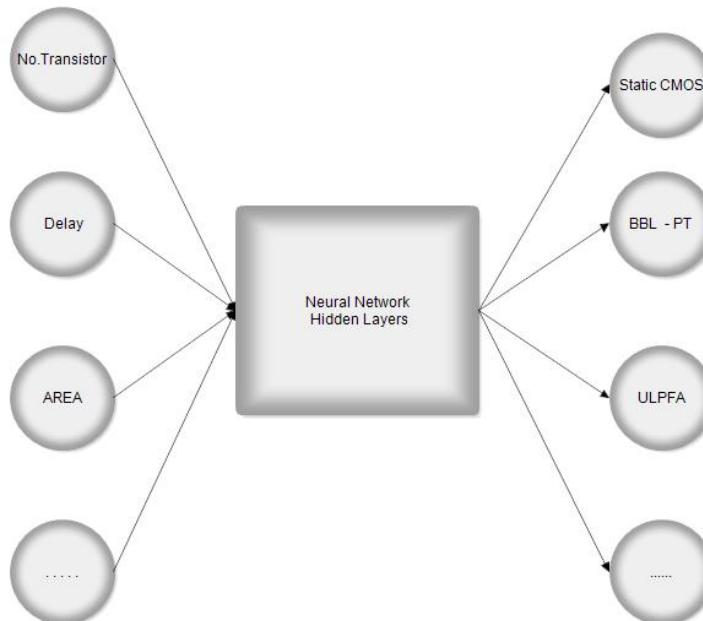
۵- استفاده از شبکه عصبی برای تشخیص منطق مناسب با توجه به مطلوبات که این روش در ادامه به صورت مختصر توضیح داده می شود.

استفاده از شبکه عصبی مصنوعی برای تشخیص منطق مناسب:

با توجه به اینکه انتخاب منطق مناسب برای پیاده سازی یک مدار کاری کاملاً غیر خطی است (زیرا منطق های مختلف دارای مزایا و معایب مختلفی هستند که پارامتر های آنها غیر خطی است). می توان از روش های هوش محاسباتی مبتنی بر یادگیری نظارت شده (Supervised Learning) (مثل شبکه عصبی مصنوعی رقابتی) برای انتخاب منطق استفاده کرد.

برای اینکار نیاز به اطلاعات پیاده سازی مدارهای مجتمع توسط افراد ، دانشگاه ها و کمپانی های بزرگ است که با آموزش شبکه عصبی برای منطق های مختلف ، برای مدار جدید با دادن پارامتر های مورد نظر مناسب ترین منطق برای پیاده سازی آن مدار را انتخاب کرد نمونه ساده ای از این شبکه در شکل زیر آمده است.

که توابع فعالسازی لایه خروجی می توانند سیگموید باشد که برای انتخاب احتمالی به کار می رود.



شکل-۲۰-(دیاگرام شبکه عصبی در حالت بسیار ساده)

۶. پیوست (نوت لیست ها) :

نوت لیست منطق Static CMOS

```
*****  
*****CMOS*****  
*****
```

```
*1 = GND  
*2 = VDD  
*16 = VA  
*17 = VB  
*18 = VC  
*3 = VSout  
*19 = VCout
```

Name	Drain	Gate	Source	Bulk	Type
M1	7	16	2	2	PMOS
M2	7	17	2	2	PMOS
M3	13	16	2	2	PMOS
M4	6	16	2	2	PMOS
M5	6	17	2	2	PMOS
M6	6	18	2	2	PMOS
M7	14	16	2	2	PMOS
M8	5	18	7	2	PMOS
M9	5	17	13	2	PMOS
M10	4	5	6	2	PMOS
M11	15	17	14	2	PMOS
M12	4	18	15	2	PMOS
M13	5	18	9	1	NMOS
M14	5	17	10	1	NMOS
M15	4	5	8	1	NMOS
M16	4	18	12	1	NMOS
M17	12	17	11	1	NMOS
M18	9	16	1	1	NMOS
M19	9	17	1	1	NMOS
M20	10	16	1	1	NMOS
M21	8	16	1	1	NMOS
M22	8	17	1	1	NMOS
M23	8	18	1	1	NMOS
M24	11	16	1	1	NMOS
M25	3	4	2	2	PMOS
M26	3	4	1	1	NMOS
M27	19	5	2	2	PMOS
M28	19	5	1	1	NMOS

نَتْ لِيْسْتْ مِنْطَقْ :BBL-PT

```
*****  
***** BBL-PT *****  
*****  
*1 = GND  
*2 = VDD  
*3 = VA  
*6 = VNA  
*4 = VB  
*7 = VNB  
*5 = VC  
*8 = VNC  
*11 = VSout  
*20 = VCout
```

Name	Drain	Gate	Source	Bulk	Type
M1	4	3	12	1	NMOS
M2	7	6	12	1	NMOS
M3	7	3	13	1	NMOS
M4	4	6	13	1	NMOS
M5	12	5	9	1	NMOS
M6	13	8	9	1	NMOS
M7	9	10	2	2	PMOS
M8	10	9	2	2	PMOS
M9	10	9	1	1	NMOS
M10	11	10	2	2	PMOS
M11	11	10	1	1	NMOS
M12	14	3	2	2	PMOS
M13	21	4	14	2	PMOS
M14	15	3	2	2	PMOS
M15	21	5	15	2	PMOS
M16	16	4	2	2	PMOS
M17	21	5	16	2	PMOS
M18	21	3	17	1	NMOS
M19	17	4	1	1	NMOS
M20	21	3	18	1	NMOS
M21	18	5	1	1	NMOS
M22	21	4	19	1	NMOS
M23	19	5	1	1	NMOS
M24	20	21	2	2	PMOS
M25	20	21	1	1	NMOS

نَتْ لِيْسْتْ مِنْطَقْ : ULPFA

```
*****  
***** ULPFA *****  
*****  


| *Name | Drain | Gate | Source | Bulk | Type |
|-------|-------|------|--------|------|------|
| M1    | 9     | 3    | 2      | 2    | PMOS |
| M2    | 5     | 4    | 9      | 2    | PMOS |
| M3    | 3     | 4    | 5      | 1    | NMOS |
| M4    | 5     | 3    | 4      | 1    | NMOS |
| M5    | 10    | 6    | 2      | 2    | PMOS |
| M6    | 7     | 8    | 10     | 2    | PMOS |
| M7    | 6     | 8    | 7      | 1    | NMOS |
| M8    | 7     | 6    | 8      | 1    | NMOS |
| M9    | 6     | 5    | 2      | 2    | PMOS |
| M10   | 6     | 5    | 1      | 1    | NMOS |
| M11   | 11    | 7    | 2      | 2    | PMOS |
| M12   | 11    | 7    | 1      | 1    | NMOS |
| M13   | 13    | 3    | 2      | 2    | PMOS |
| M14   | 12    | 4    | 13     | 2    | PMOS |
| M15   | 14    | 3    | 2      | 2    | PMOS |
| M16   | 12    | 8    | 14     | 2    | PMOS |
| M17   | 15    | 4    | 2      | 2    | PMOS |
| M18   | 12    | 8    | 15     | 2    | PMOS |
| M19   | 12    | 3    | 16     | 1    | NMOS |
| M20   | 16    | 4    | 1      | 1    | NMOS |
| M21   | 12    | 3    | 17     | 1    | NMOS |
| M22   | 17    | 8    | 1      | 1    | NMOS |
| M23   | 12    | 4    | 18     | 1    | NMOS |
| M24   | 18    | 8    | 1      | 1    | NMOS |
| M25   | 19    | 12   | 2      | 2    | PMOS |
| M26   | 19    | 12   | 1      | 1    | NMOS |


```

۷. منابع :

[1] IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS I: REGULAR PAPERS, VOL. 57, NO. 8, AUGUST 2010

[2] Feng Wang, and Yuan-Xiang Li, "Analog Circuit Design Automation using Neural Network-based Two-level Genetic Programming", Proceedings of the Fifth International Conference on Machine Learning and Cybernetics, Dalian, IEEE, pp. 2087-2092, 13-16 August 2006.

[3] محسن روزبهانی، مهدی جعفری، محمد مسعود جاویدی، بهبود عملکرد مدارات مجتمع با استفاده از روش های فرآیند ابتکاری، اولین کنفرانس ملی ایده های نو در مهندسی برق، ۱۶ و ۱۷ آذر ۹۱