

UNIVERSIDAD NACIONAL DE COLOMBIA

SEDE BOGOTÁ

ELECTRÓNICA DIGITAL I

Informe de laboratorio 1: COMPARACIÓN DE TECNOLOGÍA CMOS y TTL

**Cristian Javier Martinez Suarez
Sergio Eduardo Peña Santamaria
Juan Manuel Baron Alfonso**

2024

1. Práctica

Procedimiento 1: Comparación de especificaciones técnicas.

De manera previa al desarrollo experimental de esta práctica fue necesario iniciar con las simulaciones respectivas de los circuitos que se emplearon en el laboratorio. Para las simulaciones se usaron los modelos SPICE de los circuitos integrados TTL 74LS04 y CMOS CD4069. Las simulaciones se realizaron usando la compuerta NOT de cada integrado, usando un generador de señales con 10V de amplitud y 1Hz de frecuencia.

Los resultados de la simulación se resumen en las siguientes imágenes:

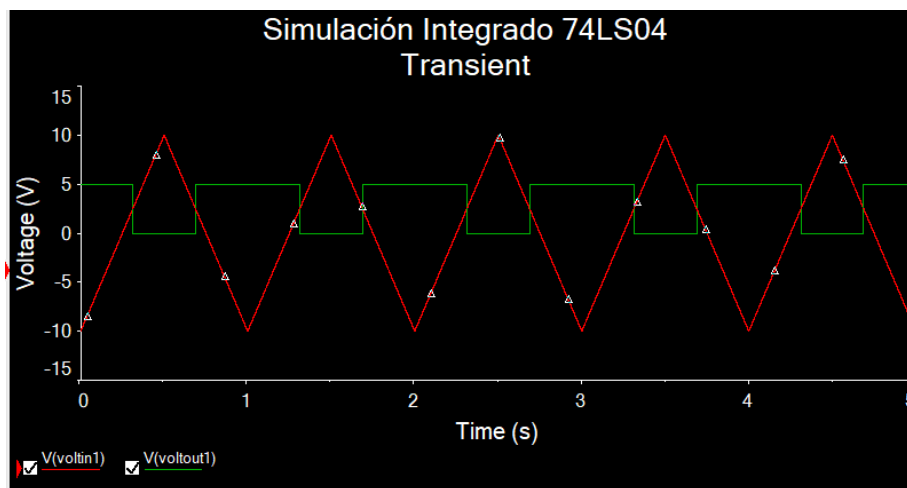


Figura 1: Simulación integrado 74LS04 con onda triangular

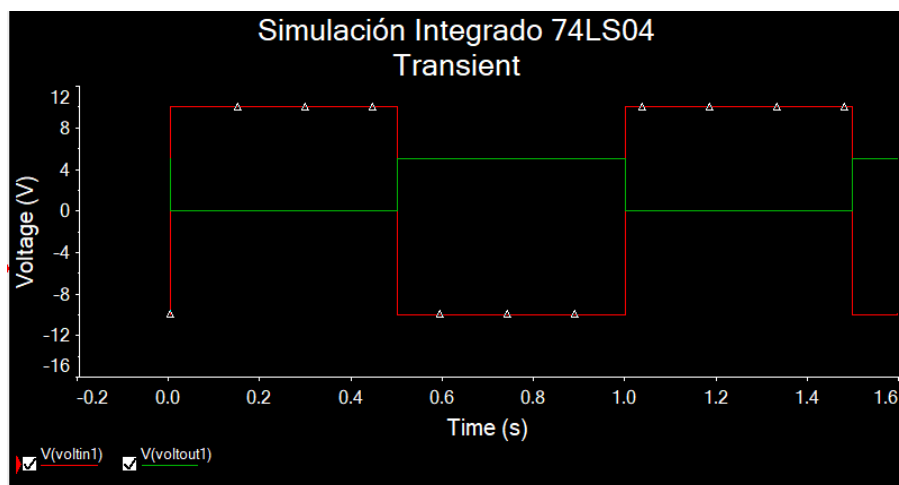


Figura 2: Simulación integrado 74LS04 con onda cuadrada

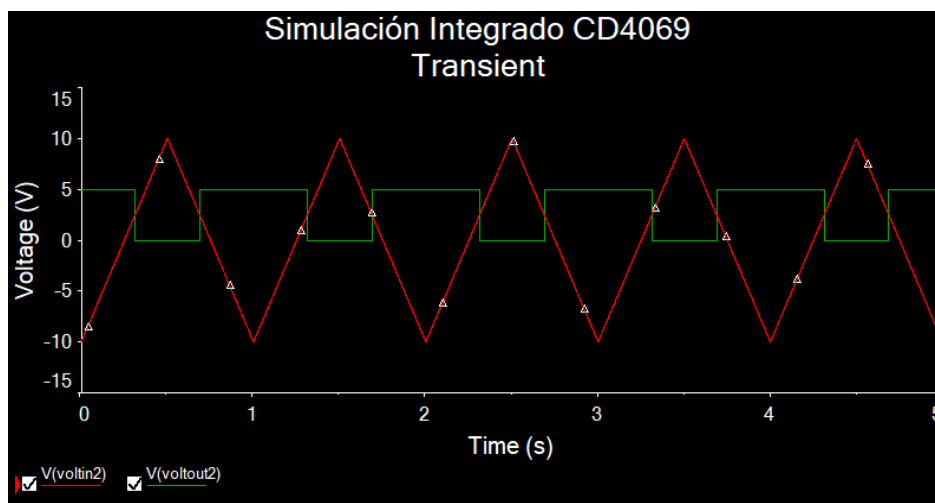


Figura 3: Simulación integrado CD4069 con onda triangular

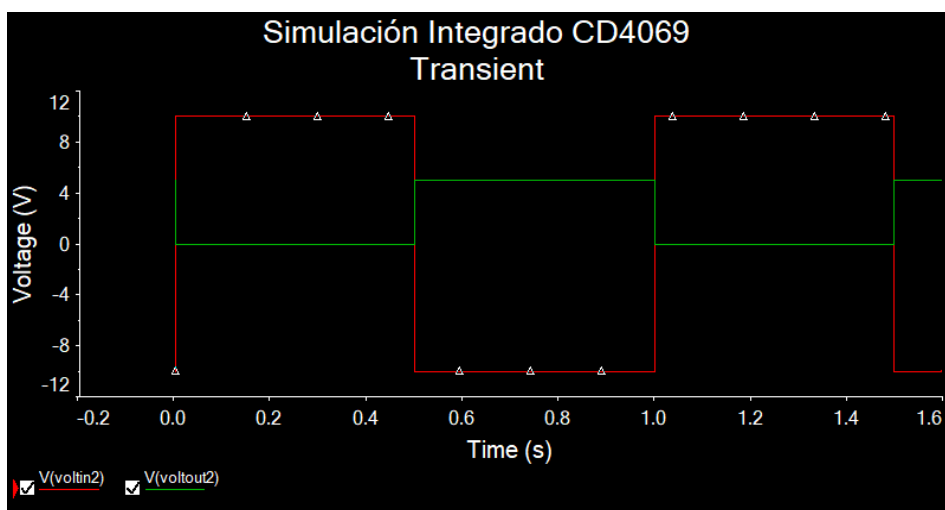


Figura 4: Simulación integrado CD4069 con onda cuadrada

El desarrollo de esta práctica inicia con los integrados TTL 74LS04 y CMOS CD4069 dispuestos en un circuito con una resistencia de $10\text{k}\Omega$, con un voltaje de alimentación de 5V y un generador de ondas encargado de enviar la señal a la compuerta de cada circuito integrado para su correspondiente activación. Cada compuerta de estos circuitos integrados está compuesta de un negador. El circuito correspondiente se representa de la siguiente manera, representando el generador de señales y la compuerta correspondiente de cada integrado:

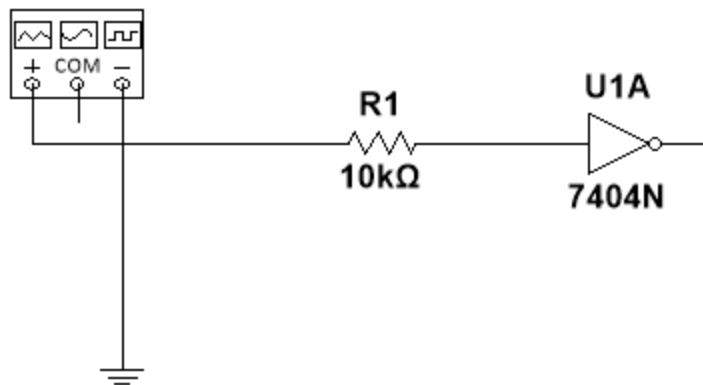


Figura 5: Esquema de circuito para compuerta de integrado 74LS04

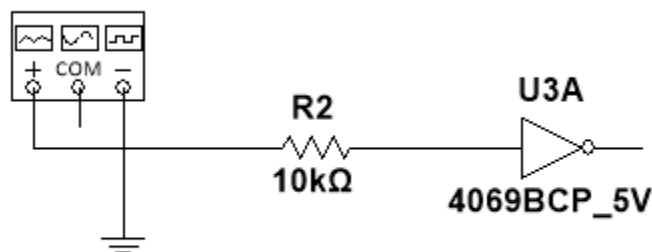


Figura 6: Esquema de circuito para compuerta de integrado CD4069

Para la primera parte del laboratorio fue necesario comparar el tipo de tecnología de cada circuito integrado, con el fin de entender y destacar las diferencias técnicas y de rendimiento de cada uno de ellos en la práctica, a partir de allí fue posible determinar que la tecnología TTL usa transistores bipolares BJT en sus compuertas, generalmente esta tecnología es más rápida aunque tiene mayor consumo energético debido a la necesidad de consumo de corriente de los BJT para poder operar. Por otro lado, la tecnología CMOS emplea transistores de efecto de campo MOSFET, que consumen menor energía, sin embargo, su velocidad de conmutación en sus transistores es más lenta en comparación con los TTL.

Después de tener los circuitos correspondientes ensamblados y aplicando con el generador de señales una onda triangular a 1 kHz con amplitud de 5V, iniciamos tomando los datos para el integrado 74LS04 haciendo uso del osciloscopio captando la señal de entrada en el canal 1 (Color amarillo) contra la señal de salida en el canal 2 (Color azul) después de pasar por la compuerta del integrado, con el fin de determinar a partir de estos gráficos el voltaje de entrada alto V_{IH} , el voltaje de entrada bajo V_{IL} , el voltaje de salida alto V_{OH} y el voltaje de salida bajo V_{OL} .

La imagen correspondiente a la vista del osciloscopio para el integrado 74LS04 es la siguiente:

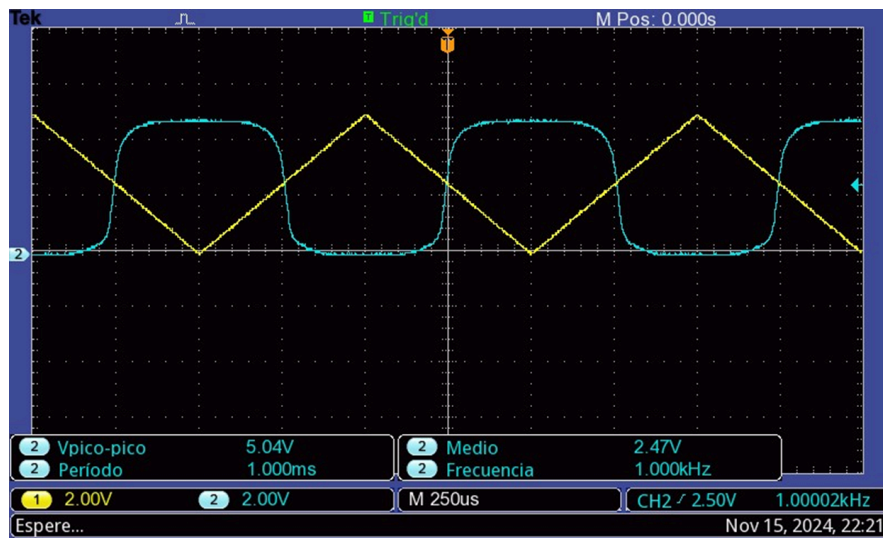
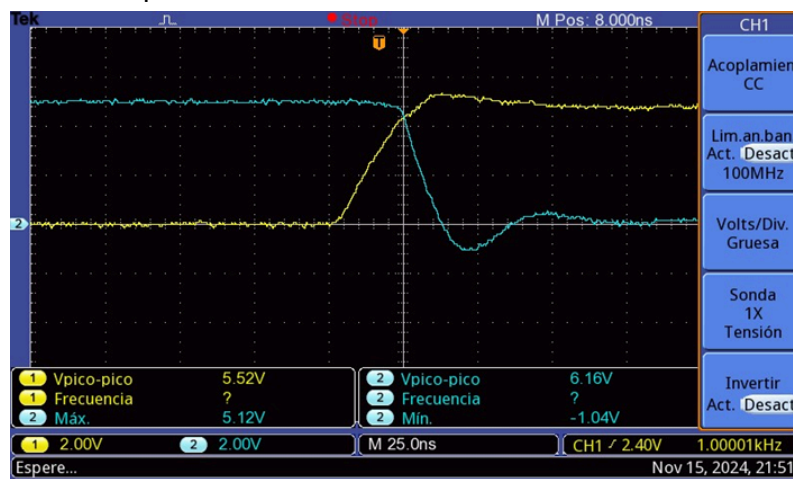


Figura 7: Señales integrado 74LS04 con onda triangular.

Posteriormente ajustamos el generador de señales para que entregara una señal cuadrada con la misma amplitud y frecuencia, esto con el fin de determinar a partir de la gráfica el tiempo de subida y bajada, tiempo de retardo y tiempo de almacenamiento de la señal de salida con respecto a la de entrada. Las imágenes correspondientes para el integrado 74LS04 en los ciclos de caída y subida respectivamente son:



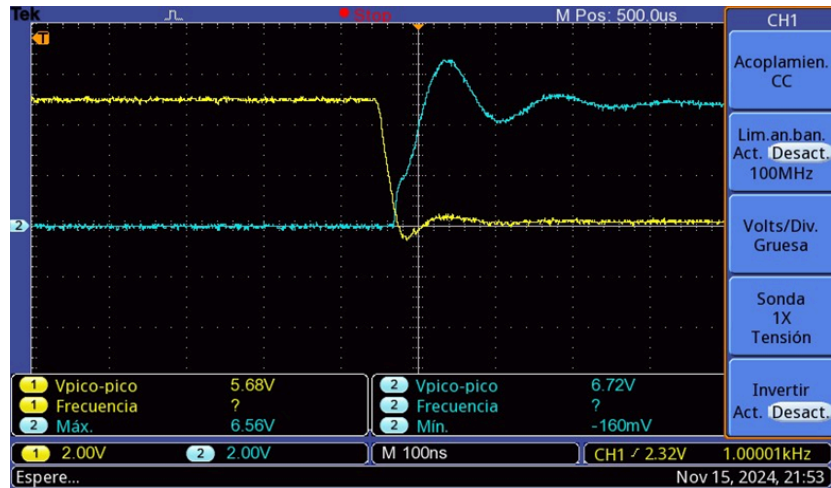


Figura 8: Señales integrado 74LS04 con onda cuadrada.

Para el integrado CD4069 se realizó el mismo procedimiento con el fin de determinar los mismos datos del integrado anterior haciendo uso del osciloscopio. Los valores del generador de señales para la onda triangular y para la onda cuadrada son los mismos que en el caso anterior. La imagen correspondiente a la vista del osciloscopio para el integrado CD4069 es la siguiente:

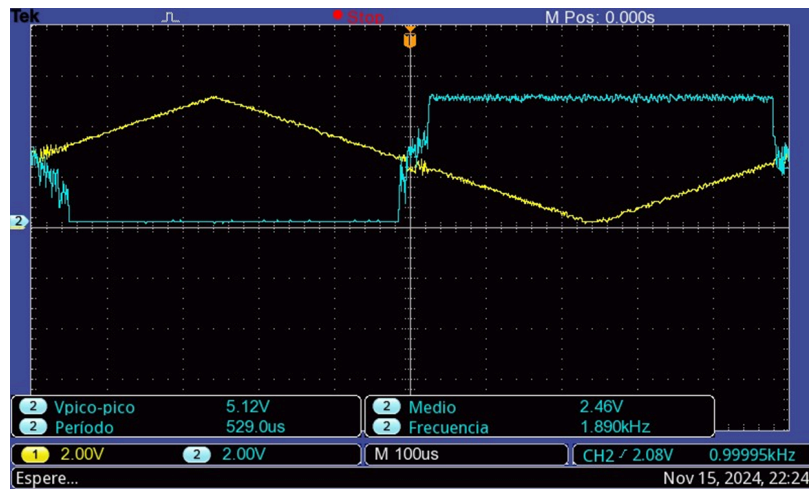


Figura 9: Señales integrado CD4069 con onda triangular.

Usando ahora el generador de señales con una onda cuadrada obtenemos las gráficas de caída y subida respectivamente:

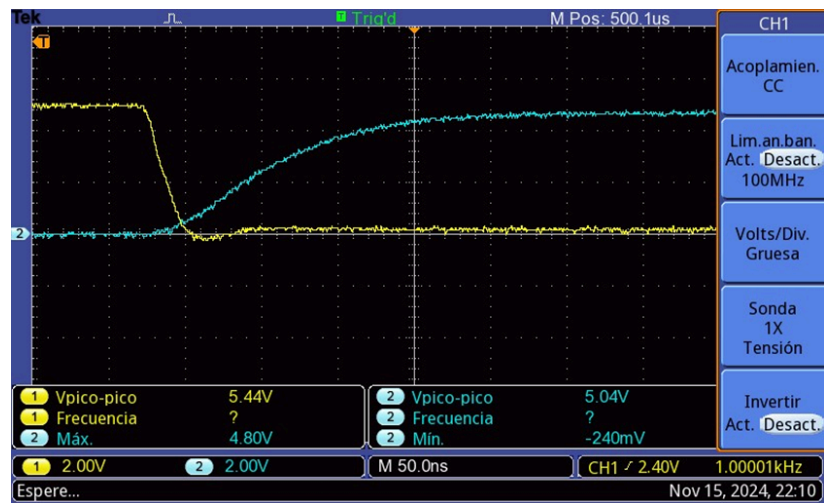
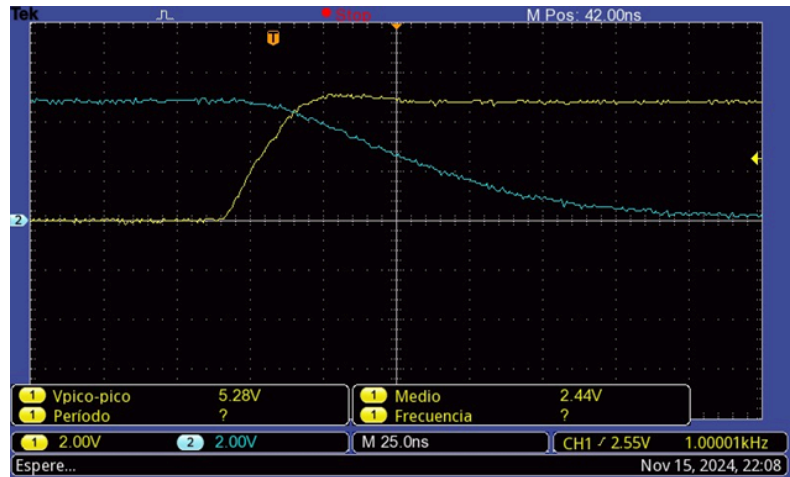


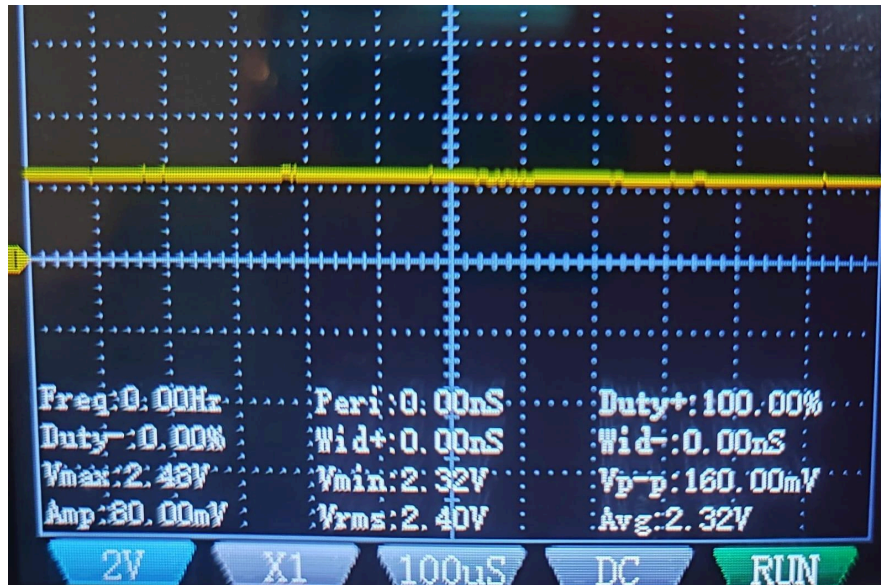
Figura 10: Señales integrado CD4069 con onda cuadrada.

Procedimiento 2: Obtención Fan-in y Fan-out de compuertas.

Para el caso de la SN74LS04 del datasheet sabemos que la corriente de entrada en estado alto es de aproximadamente 20 mA por lo que se pudo hacer el siguiente cálculo:

$$R_{input} = \frac{5V}{20mA} = 220\Omega$$

por lo que se puede saber la resistencia equivalente de entrada de una compuerta y con esto saber cuantas compuertas es posible conectar a la salida para afectar el nivel lógico, de manera que al conectar alrededor de doce resistencias con valor de 220 Ohmios se bajó el nivel de salida de 5V a 2.5v como se ve en la siguiente imagen:



Para el caso del fan-out de la compuerta CD4069 se realizó el mismo procedimiento, según el datasheet la corriente de entrada de la compuerta es de aproximadamente 10pA por lo que se tiene:

$$R_{input} = \frac{5V}{10pA} = 416M\Omega$$

por lo que para este caso se tendrá que se necesitarán muchas más compuertas para lograr hacer que el nivel de salida lógico sea bajo , alrededor de 75 compuertas por lo general.

Fan-In compuertas inversoras.

Al tratarse de compuertas de una sola entrada el fan-in de ambas será de 1, ya que están diseñadas para trabajar con una única señal en la entrada.

Procedimiento 3: Oscilador en anillo basado en la compuerta NOT.

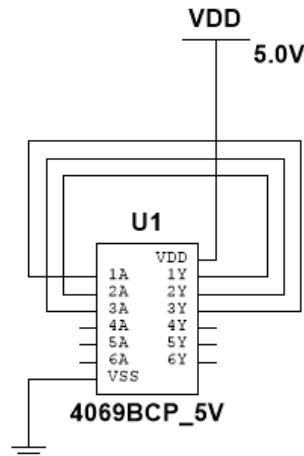
En el último procedimiento se realizó el diseño de dos osciladores en anillo usando el integrado CMOS CD4069. En el primer caso se diseñó un oscilador de 3 compuertas. Para determinar la frecuencia de salida esperada se usó la siguiente ecuación:

$$f = \frac{1}{2n\tau}$$

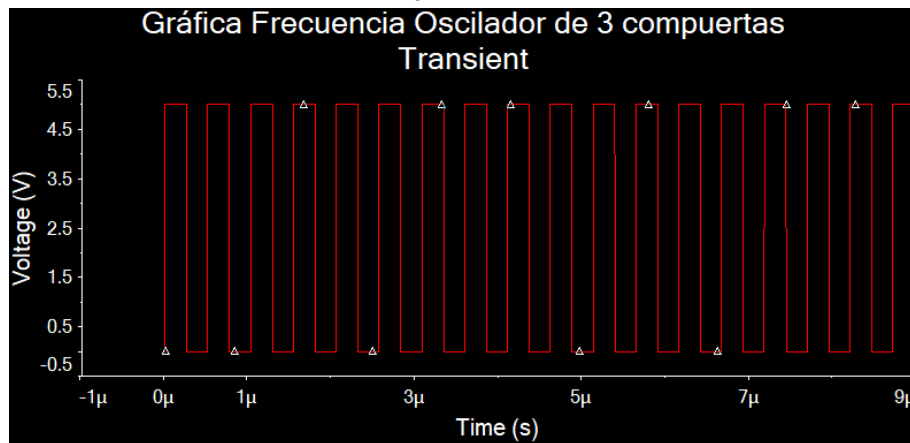
Donde, n es igual al número de compuertas y τ es el tiempo de retardo de compuertas para este inversor cuyo valor teórico constante fue de 40nS.

Teóricamente la frecuencia esperada para este oscilador es de 4MHz.

Posteriormente se procede a realizar la simulación para conocer las gráficas y los valores para este oscilador en particular. El esquemático del circuito simulado se muestra a continuación:



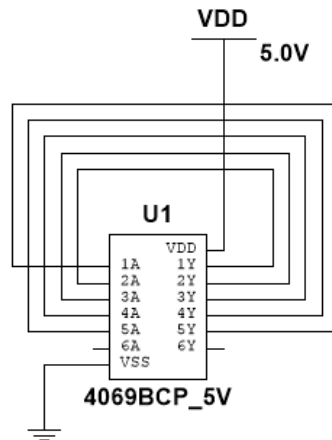
A partir de este circuito simulado, alimentado con un voltaje VDD de 5V obtenemos la siguiente gráfica que determina la frecuencia del voltaje de salida, a partir de un análisis transitorio:



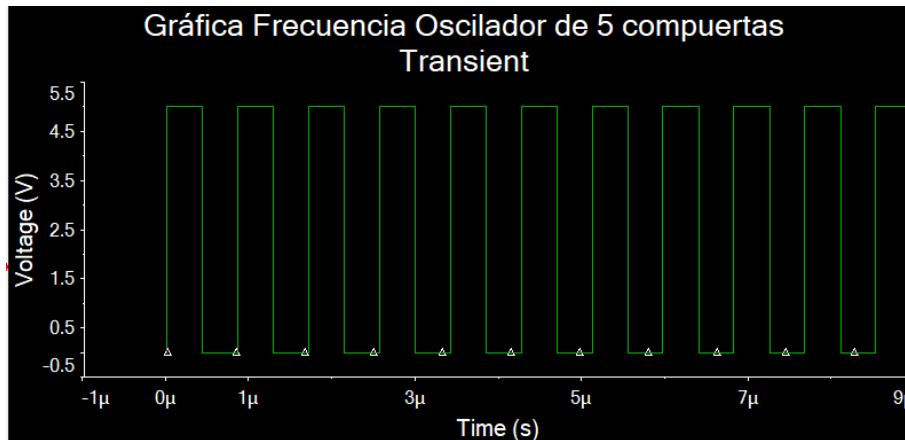
Según el simulador, la frecuencia obtenida en este caso es de 1.95 MHz.

En la segunda parte se realizó un oscilador con 5 compuertas y usando la misma relación matemática para la frecuencia descrita anteriormente, tenemos un valor teórico de 2.5 MHz.

El esquemático del circuito simulado para el oscilador de 5 compuertas se describe a continuación:



Luego de realizar el análisis transitorio para el circuito descrito anteriormente, obtenemos la siguiente gráfica de frecuencia para la señal de voltaje:

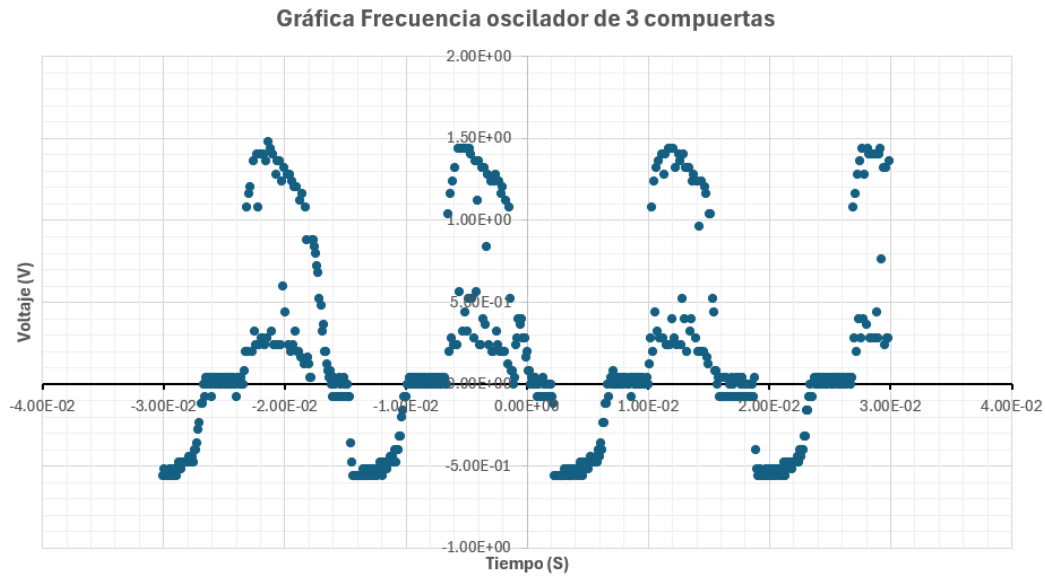


Según la simulación la frecuencia en este caso es de 1.17 MHz.

En el último procedimiento de este laboratorio y a partir de los diseños hechos y simulados se procedió a realizar los osciladores de 3 y 5 compuertas respectivamente.

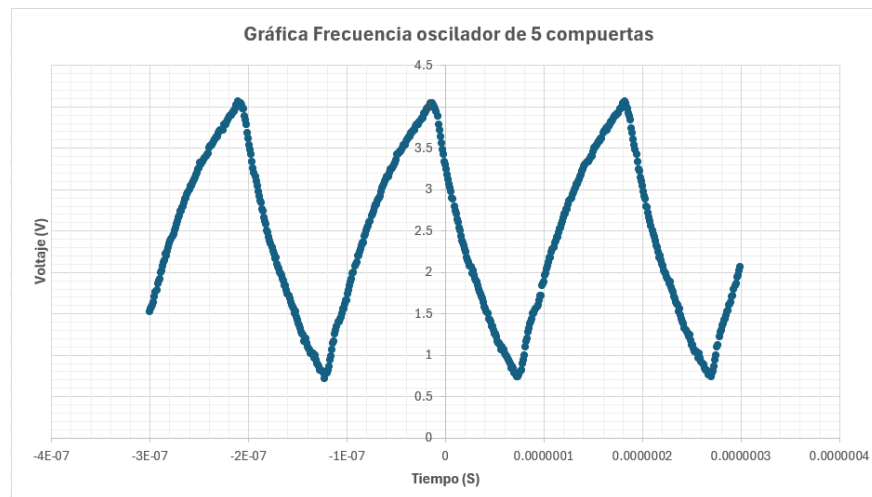
El montaje de los circuitos se realizó tomando la fuente de tensión DC con un voltaje de 5V para alimentar el integrado, luego se conectaron las compuertas en serie de acuerdo a la cantidad de compuertas de cada oscilador y la salida de la última compuerta se conectó al mismo nodo que la entrada de la primera compuerta. En ese mismo nodo se conectó el osciloscopio para determinar las señales de salida respectivas.

Para el primer caso tenemos la siguiente señal tomada desde el osciloscopio:



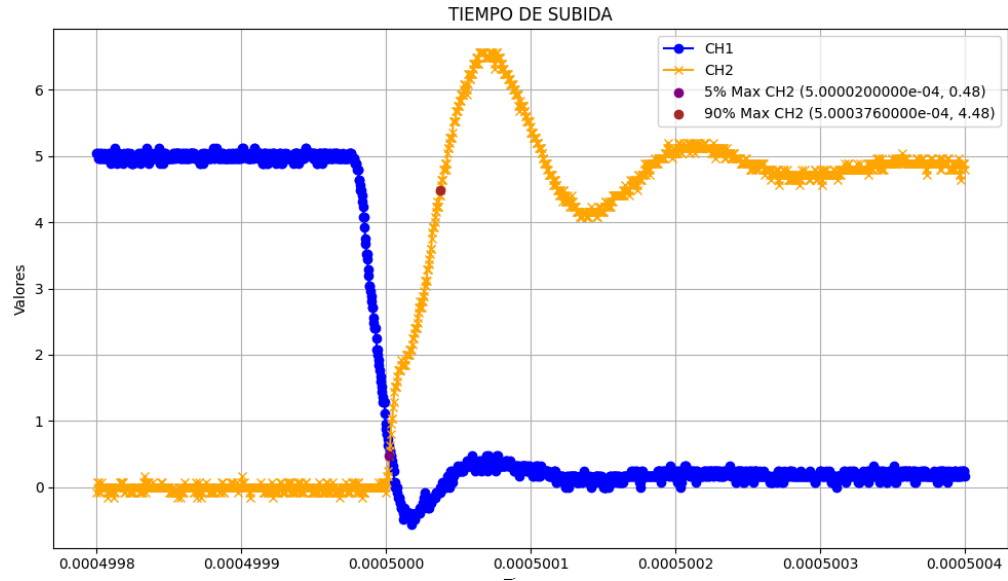
Debido al formato de archivo que el osciloscopio exportó, no se registraron los datos de forma continua, por lo que la onda está incompleta y solo cuenta con una serie de datos discretos.

En el segundo caso, para el oscilador de 5 compuertas la gráfica fue la siguiente:



2. Análisis de resultados

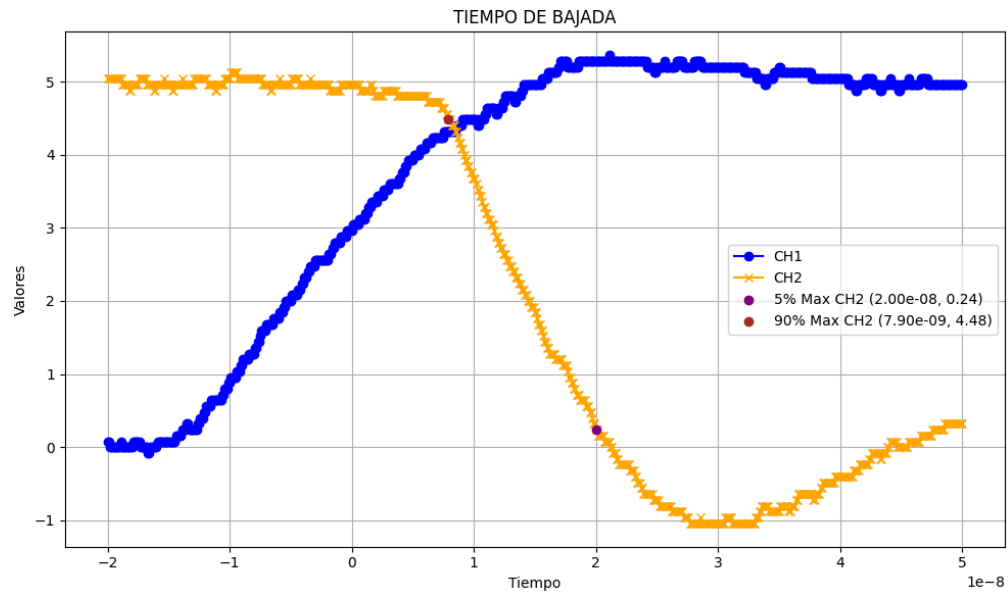
Para observar el tiempo de subida y bajada de las compuertas lógicas se debe medir el tiempo en el que la señal llega de un 5% de su valor final a un 90% del mismo, para el caso de la compuerta SN74LS04 se realizó el siguiente gráfico usando los datos del osciloscopio el cual nos permite ver más claramente estos tiempos:



observando que el tiempo de subida es de:

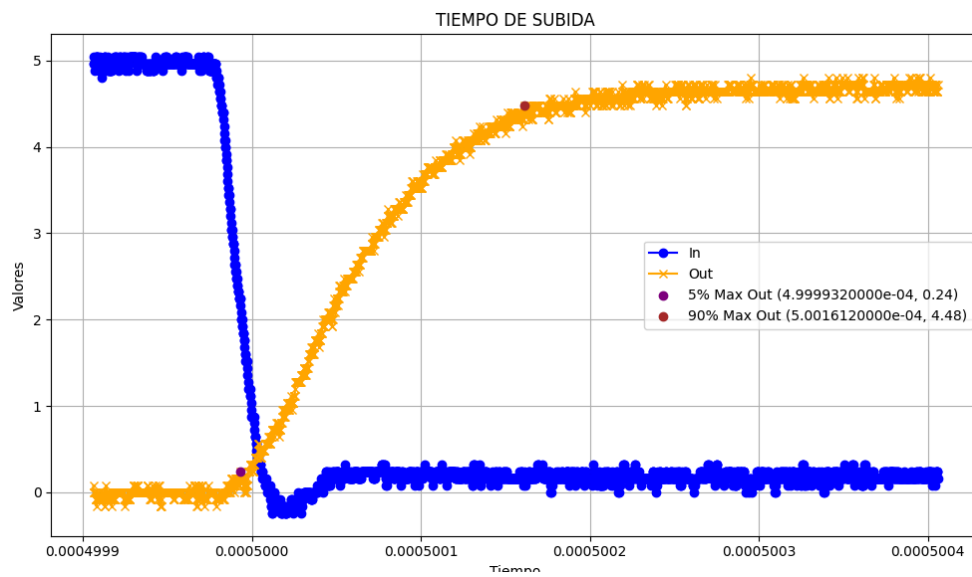
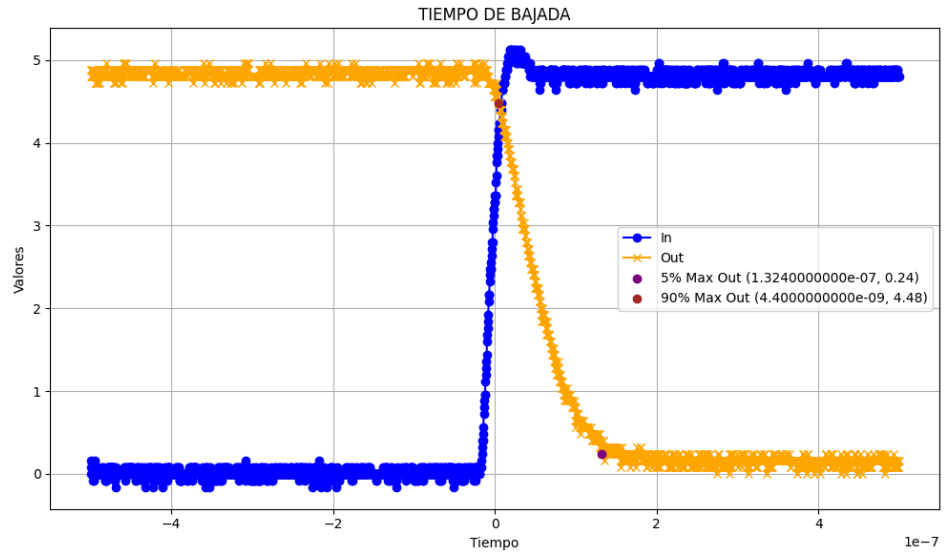
$$T_{subida} = (5.00036e - 4) - (5.00002e - 4) = 35.6nS$$

tiempo de bajada:



$$T_{bajada} = (2.0e - 8) - (7.9e - 9) = 12.1nS$$

Tiempo de bajada para CD4069UBE



$$T_{subida} = (5.01612e - 4) - (4.999932e - 4) = 1.618uS$$

Señales de entrada y salida:

Se observó que las compuertas TTL producen una salida más definida y rápida frente a las variaciones de entrada, mientras que las CMOS presentan ligeras deformaciones en la forma de onda debido a su menor velocidad de conmutación. Esto se puede deber a que las señales en tecnología CMOS son más sensibles a interferencias, especialmente a frecuencias altas, debido a las características de los MOSFET.

Comparación de las dos compuertas:

- **TTL (74LS04):** Las compuertas TTL del 74LS04 destacan por su rapidez, ya que los tiempos de subida y bajada son más bajos. Esto las hace ideales para circuitos con alta frecuencia. Esto se puede deber al hecho de que estas TTL están hechas con transistores BJT que responden mejor a los cambios de voltaje, sin embargo, se puede encontrar un problema a la hora de querer usar los transistores en circuitos que requieran baja potencia ya que al pedirle mayor corriente a las señales de entrada esto tiende a causar mayor consumo de potencia.
- **CMOS (CD4069):** Aunque los tiempos de respuesta son mayores lo que los hace relativamente lentos, en comparación la tecnología CMOS es significativamente más eficiente en términos de consumo energético, lo que la hace más adecuada para circuitos de bajo consumo o en su mayoría portátiles.

Fan In y Fan Out:

En ambas tecnologías se presenta un fan in de 1 ya que son compuestas simples y cuentan con una sola entrada, y con esto se asegura un funcionamiento estable en circuitos no tan complejos. En comparación con lo visto obtenido para el fan out de las compuertas esto cambia drásticamente ya que en este caso para la CMOS se halló un fan out de 75, que es mucho mayor en comparación a lo que se halló para la familia TTL que en este caso fue de 12, esto se puede deber en su mayoría a que la tecnología CMOS le pide muy poca corriente a las señal de entrada, optimizando de esta forma la utilización de potencia en el circuito.

Oscilador en anillo:

Las frecuencias obtenidas en el laboratorio fueron más bajas que los valores que se esperaba en las simulaciones, esto se puede deber a distintos factores, como por ejemplo efectos parasitarios por estática encontrados en el laboratorio y limitaciones en la respuesta de los modelos usados en el simulador para los transistores y al no tener en cuenta esto en las simulaciones cambian los resultados.

Oscilador de 3 compuertas:

- Frecuencia teórica: 4 MHz.
- Frecuencia simulada: 1.95 MHz.
- Frecuencia obtenida: 110 Hz.

Oscilador de 5 compuertas:

- Frecuencia teórica: 2.5 MHz.
- Frecuencia simulada: 1.95 MHz.

- Frecuencia obtenida: 5 MHz.

Estas diferencias demuestran la importancia de validar los diseños teóricos mediante simulaciones y pruebas experimentales, ya que al no obtener una gráfica más exacta de la respuesta del oscilador de tres compuertas el valor de frecuencia obtenido varía de manera significativa en comparación al otro oscilador y a los esperado

Además se puede notar que al aumentar la cantidad de compuertas conectadas en serie, la frecuencia de oscilación disminuye, esto se debe a que según la fórmula señalada en el procedimiento del oscilador, la frecuencia es inversamente proporcional al número de compuertas, ya que al aumentar el número de compuertas el tiempo que recorre la señal de igual forma se alarga disminuyendo la frecuencia de la oscilación, como por ejemplo, en este caso, el oscilador de 3 compuertas presentó una frecuencia más alta (1.95 MHz simulada) en comparación con el oscilador de 5 compuertas (1.17 MHz simulada). Esto refleja cómo el aumento en la cantidad de compuertas reduce la frecuencia, lo cual debe considerarse en aplicaciones donde se necesiten frecuencias específicas o rápidas. Además, es importante anotar que, aunque más compuertas pueden proporcionar mayor estabilidad en la oscilación, también pueden incrementar la complejidad y reducir la eficiencia del circuito en términos de velocidad.

3. Conclusiones

- Se demostró la incidencia del tipo de tecnología para la creación de compuertas lógicas, en este caso siendo la tecnología CMOS la más apta ya que presenta un menor consumo comparada con la tecnología TTL.
- La respuesta en frecuencia de las compuertas TTL usadas es mejor ya que tienen un tiempo de respuesta muy bajo, alrededor de los 9 nS.
- Se observó que el fan out de la familia CMOS les permite soportar más conexiones sin afectar los niveles lógicos de la señal de salida, siendo más útil para circuitos con mayor complejidad o más grandes, mientras que las TTL tienen limitaciones respecto esto pues consumen más corriente en comparación.
- Las simulaciones hechas antes de la práctica son importantes para esperar cierto comportamiento en el laboratorio, sin embargo al no tener en cuenta ciertos factores se pueden encontrar diferencias entre lo esperado y lo encontrado.
- En los osciladores se observó que entre más compuertas se usen en el circuito de anillo la frecuencia será menor.

4. Bibliografía

[1]

T. L. Floyd, *Fundamentos de Sistemas Digitales - Con CD*. Prentice Hall, 2000.

[2]

L. Cuesta y A. G. Padilla, *Electronica Digital*. McGraw-Hill Interam., 1992.

[3]

Analog | Embedded processing | Semiconductor company | TI.com. Accedido el 25 de noviembre de 2024. [En línea]. Disponible: <https://www.ti.com/lit/ds/symlink/cd4069ub.pdf?ts=1732683402977>

[4]

Analog | Embedded processing | Semiconductor company | TI.com. Accedido el 25 de noviembre de 2024. [En línea]. Disponible:

https://www.ti.com/lit/ds/symlink/sn7404.pdf?ts=1732749078107&ref_url=https%3A%2F%2Fwww.google.com.ec%2F