

Особенности современных подходов к верификации RISC-V ядер

Чусов Сергей Андреевич

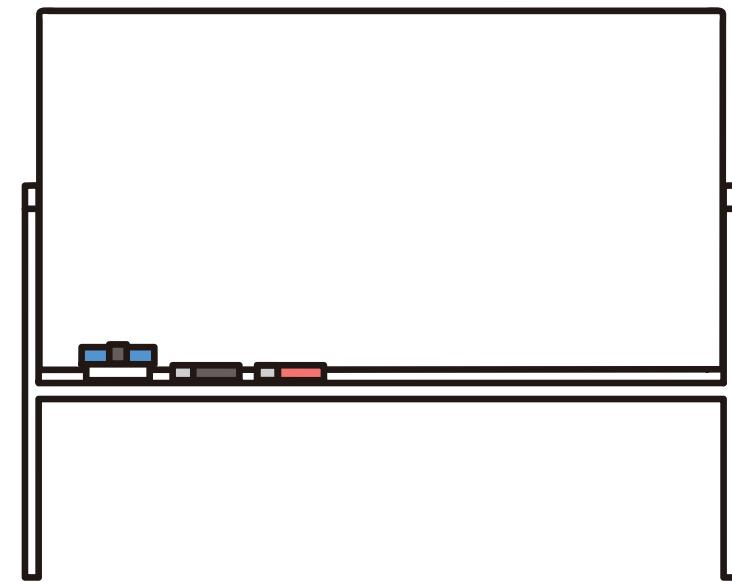
Инженер по верификации

НИЛ энергоэффективных Систем на Кристалле



План выступления

- Введение в верификацию процессорных ядер
 - Что такое верификация цифровых устройств
 - Верификация процессорных ядер: основные сложности
- Верификация RISC-V
 - Архитектура RISC-V
 - Верификация с учетом особенностей
- Типы верификации и их применимость для RISC-V ядер
 - Формальная верификация и симуляция
 - Применимость типов
- Верификация на основе симуляции и ее типы
- Интерфейсы RVFI и RVVI
- Оценка вектора развития верификации RISC-V ядер

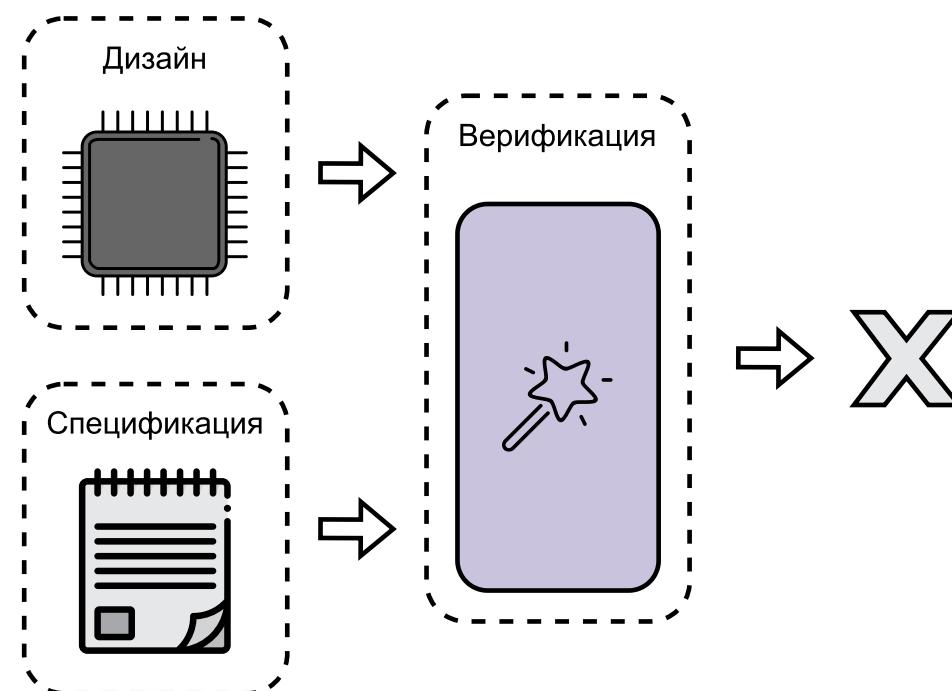


Введение в верификацию процессорных ядер

Что такое верификация цифровых устройств

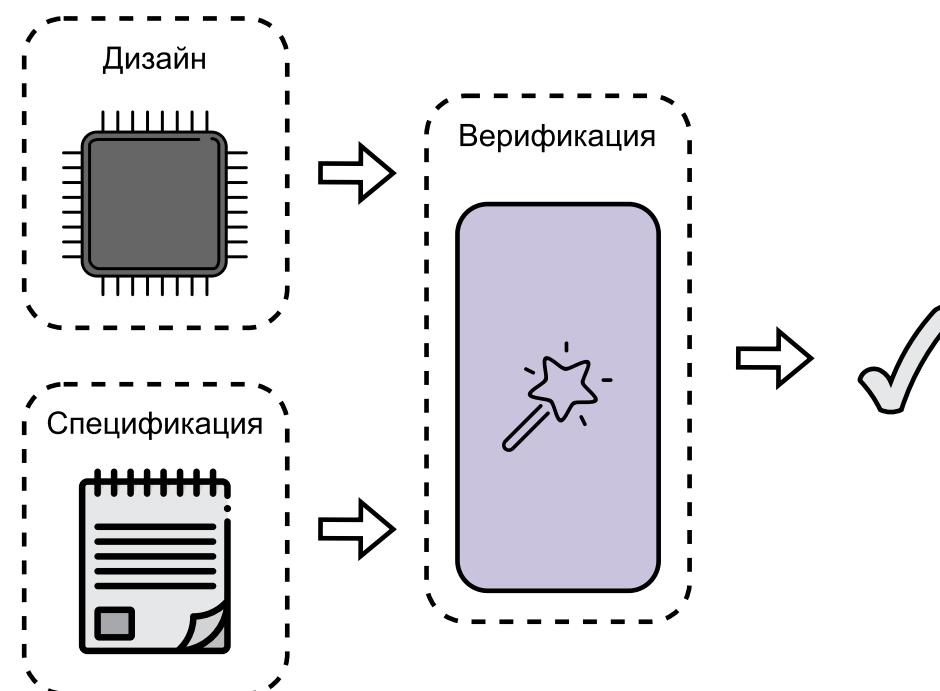
Что такое верификация цифровых устройств

Верификация – процесс обоснованного доказательства корректной работы устройства в рамках представленной на него спецификации.



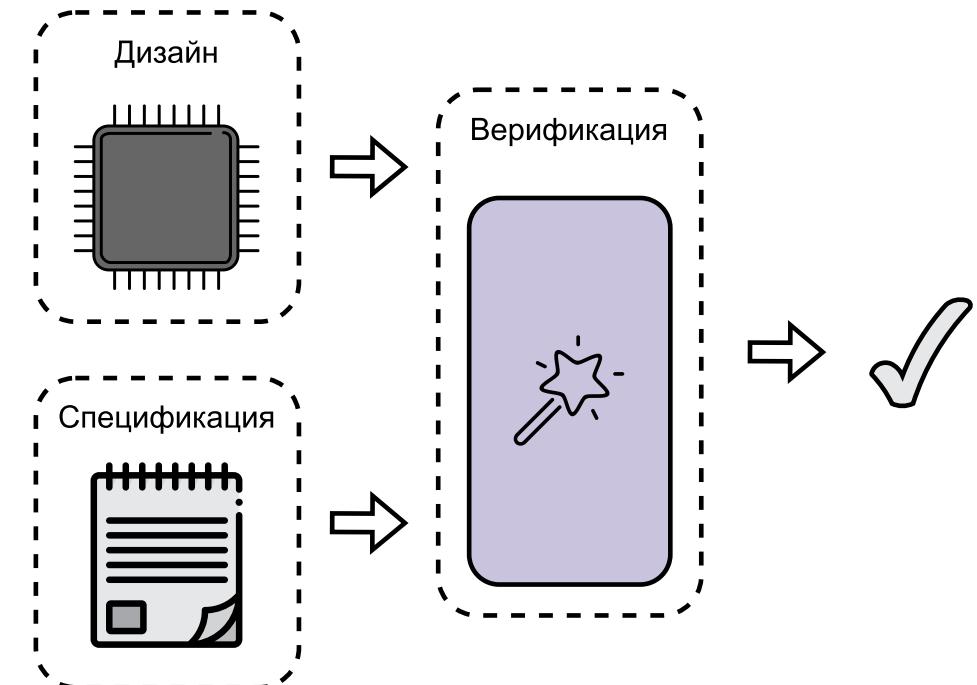
Что такое верификация цифровых устройств

Верификация – процесс обоснованного доказательства корректной работы устройства в рамках представленной на него спецификации.



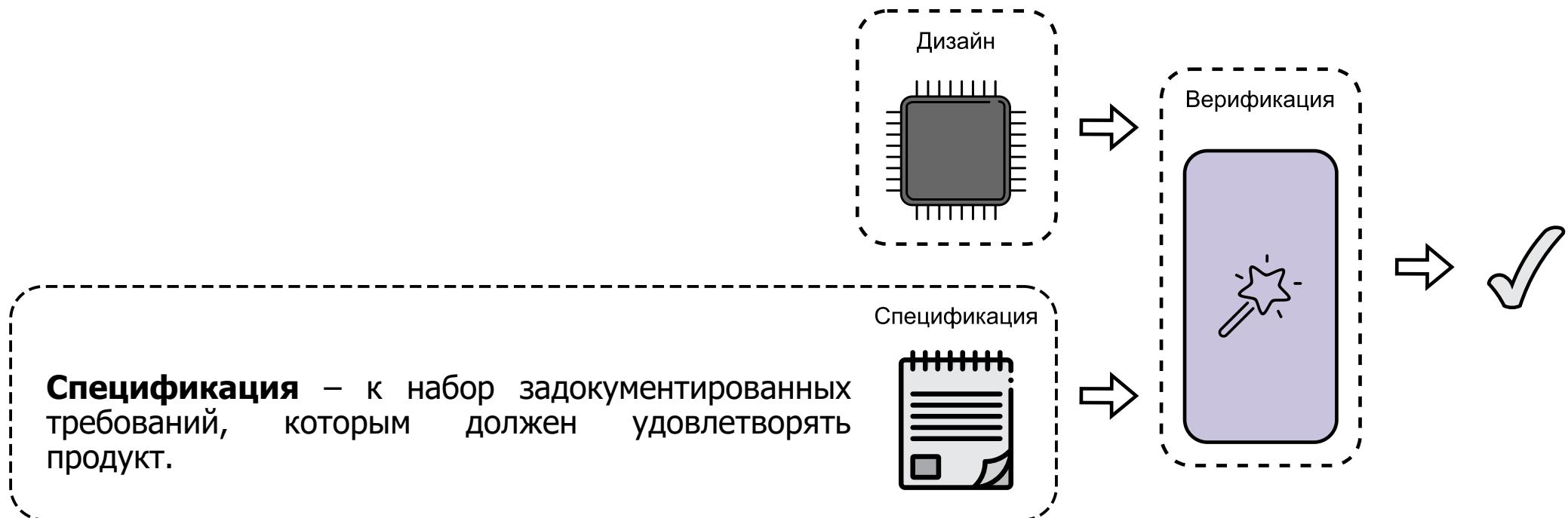
Что такое верификация цифровых устройств

Верификация – процесс обоснованного доказательства корректной работы устройства в рамках представленной на него спецификации.



Что такое верификация цифровых устройств

Верификация – процесс обоснованного доказательства корректной работы устройства в рамках представленной на него спецификации.



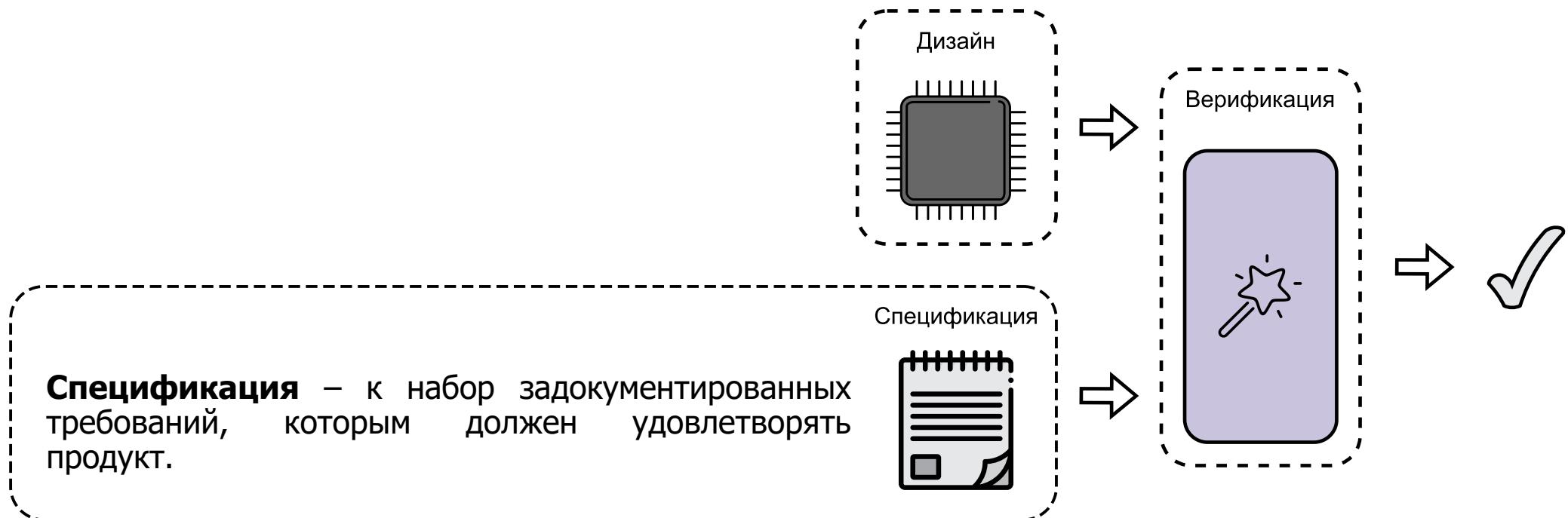
Введение в верификацию процессорных ядер

Верификация процессорных ядер

Введение в верификацию процессорных ядер

Верификация процессорных ядер

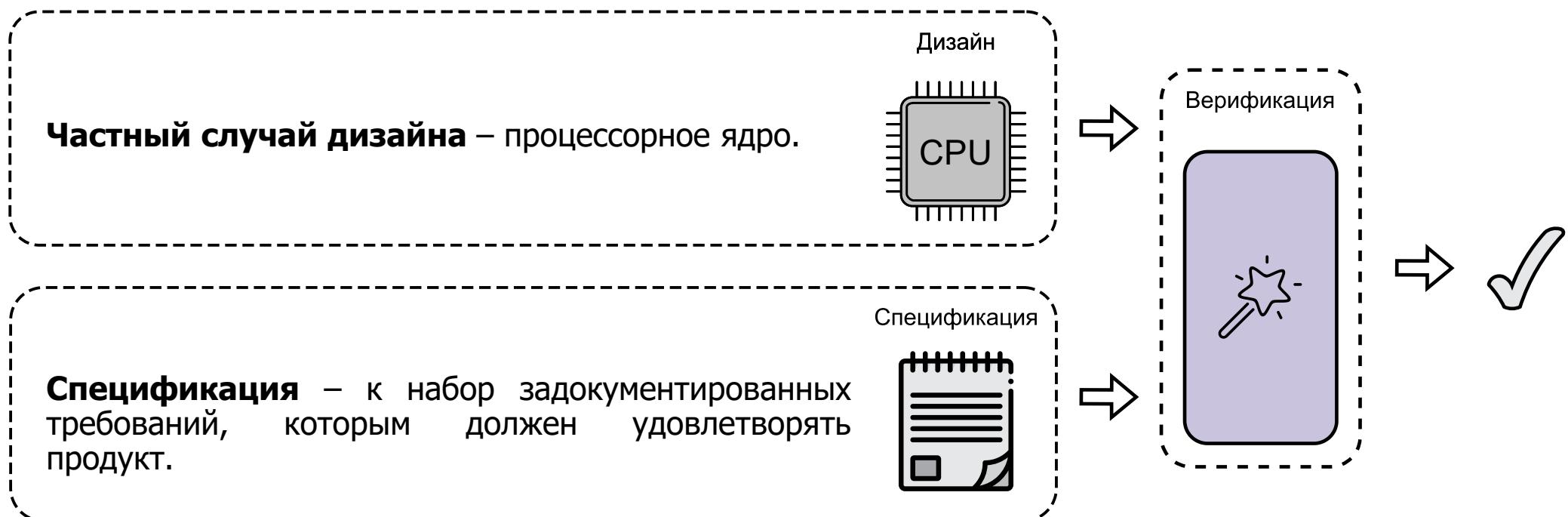
Верификация – процесс обоснованного доказательства корректной работы устройства в рамках представленной на него спецификации.



Введение в верификацию процессорных ядер

Верификация процессорных ядер

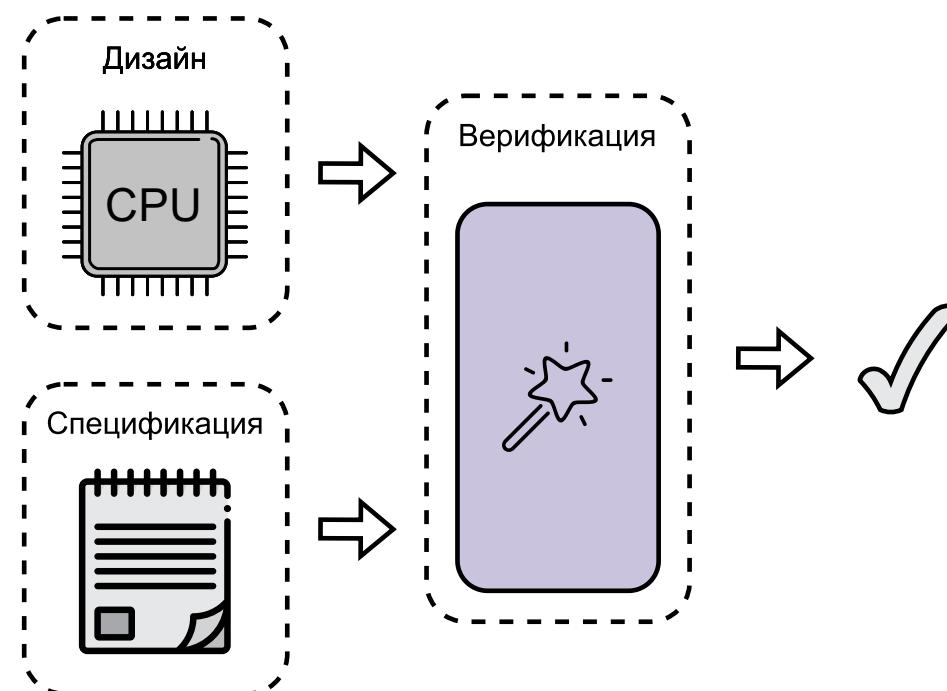
Верификация процессорного ядра – процесс обоснованного доказательства корректной работы ядра в рамках представленной на него спецификации.



Введение в верификацию процессорных ядер

Верификация процессорных ядер

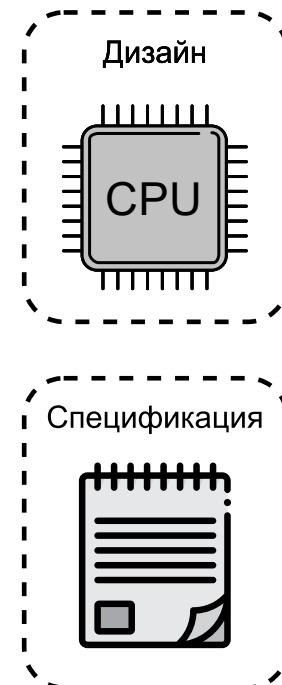
Верификация процессорного ядра – процесс обоснованного доказательства корректной работы ядра в рамках представленной на него спецификации.



Введение в верификацию процессорных ядер

Верификация процессорных ядер

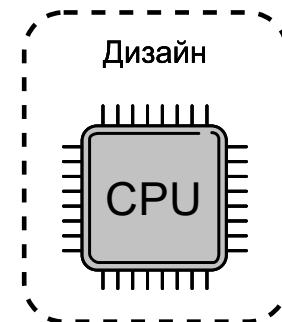
Верификация процессорного ядра – процесс обоснованного доказательства корректной работы ядра в рамках представленной на него спецификации.



Введение в верификацию процессорных ядер

Верификация процессорных ядер

Верификация процессорного ядра – процесс обоснованного доказательства корректной работы ядра в рамках представленной на него спецификации.



Введение в верификацию процессорных ядер

Верификация процессорных ядер

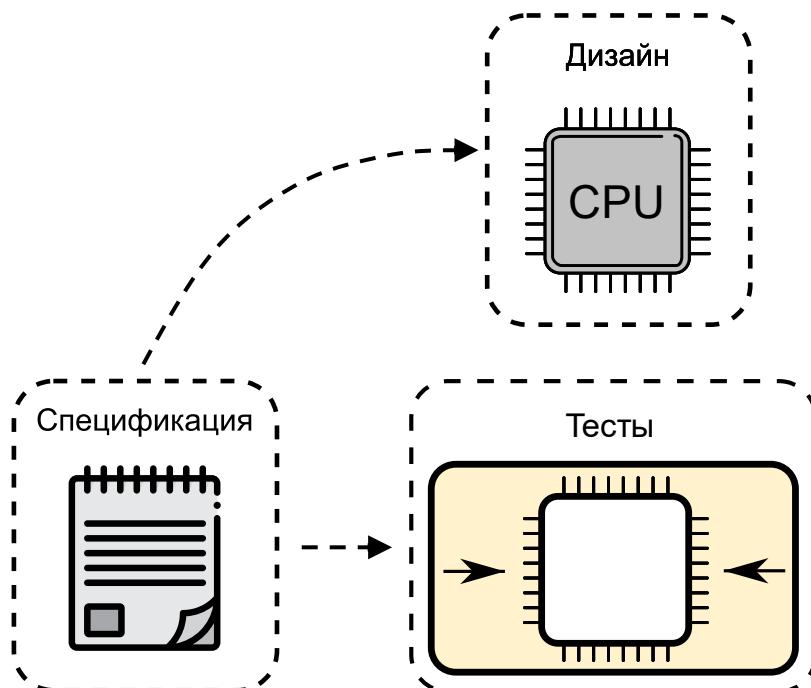
Верификация процессорного ядра – процесс обоснованного доказательства корректной работы ядра в рамках представленной на него спецификации.



Введение в верификацию процессорных ядер

Верификация процессорных ядер

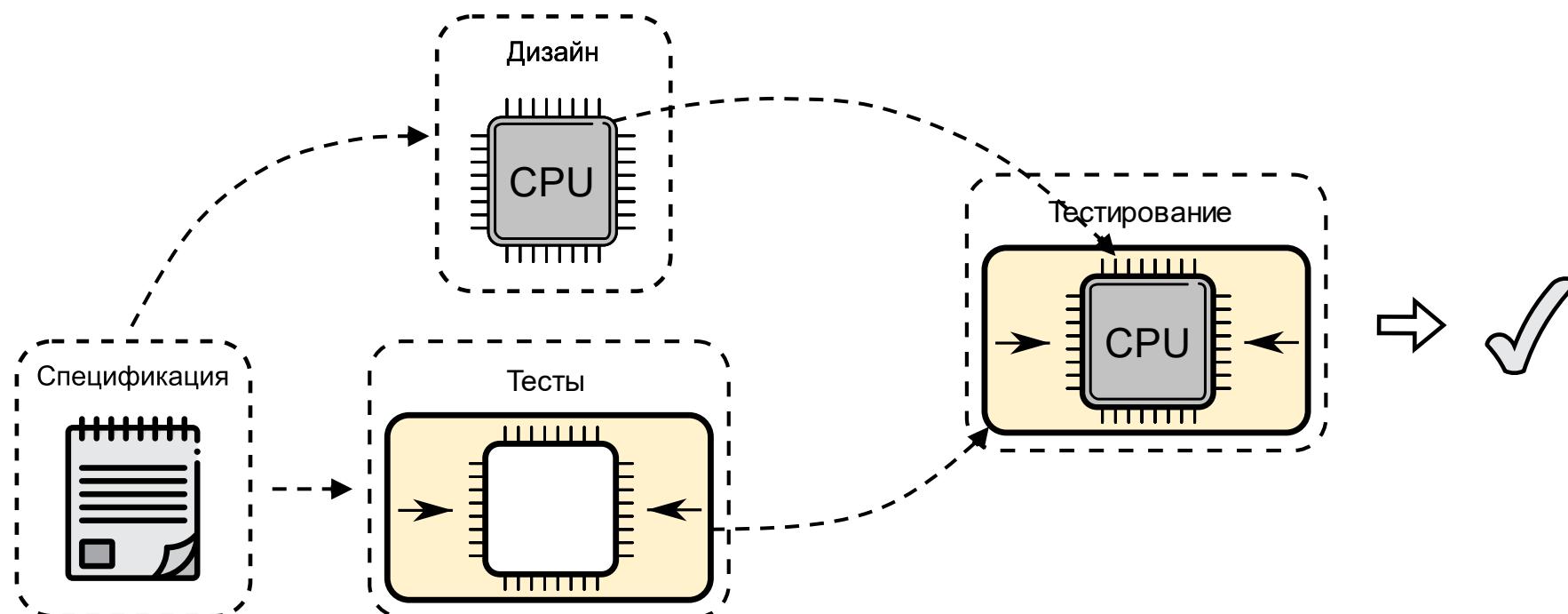
Верификация процессорного ядра – процесс обоснованного доказательства корректной работы ядра в рамках представленной на него спецификации.



Введение в верификацию процессорных ядер

Верификация процессорных ядер

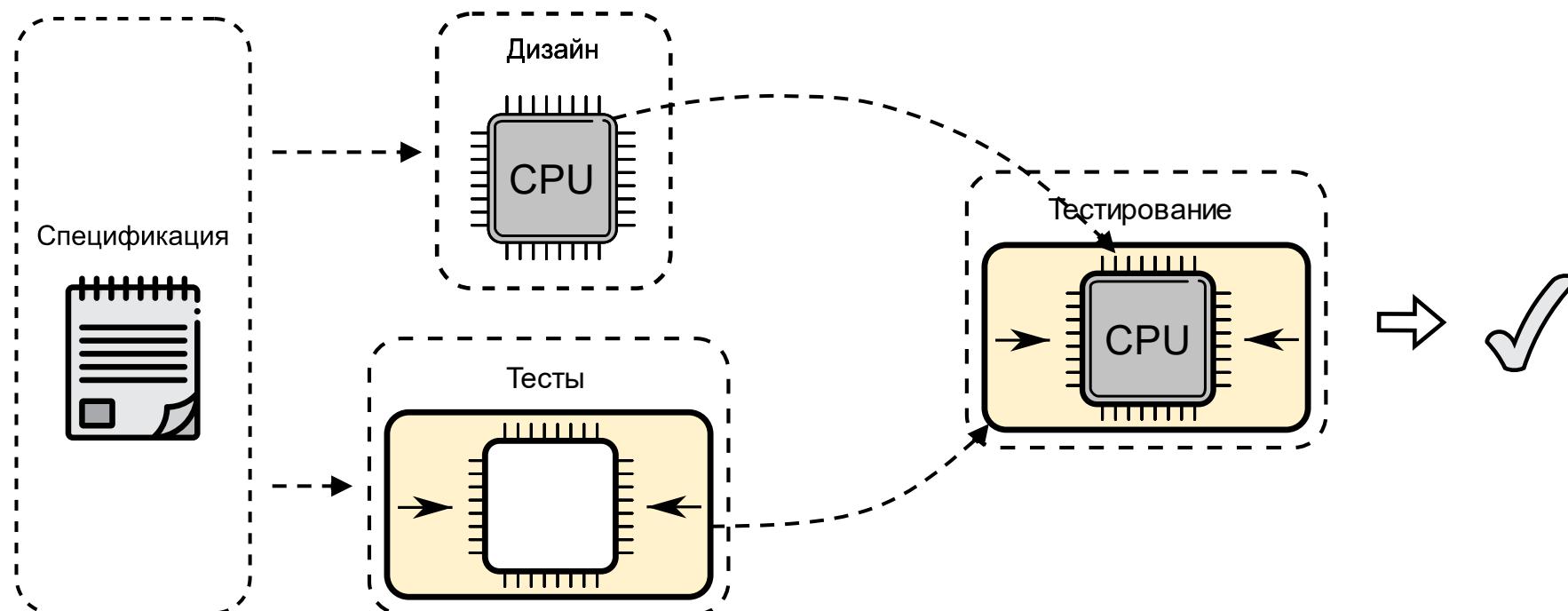
Верификация процессорного ядра – процесс обоснованного доказательства корректной работы ядра в рамках представленной на него спецификации.



Введение в верификацию процессорных ядер

Верификация процессорных ядер

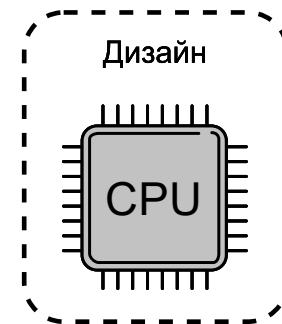
Верификация процессорного ядра – процесс обоснованного доказательства корректной работы ядра в рамках представленной на него спецификации.



Введение в верификацию процессорных ядер

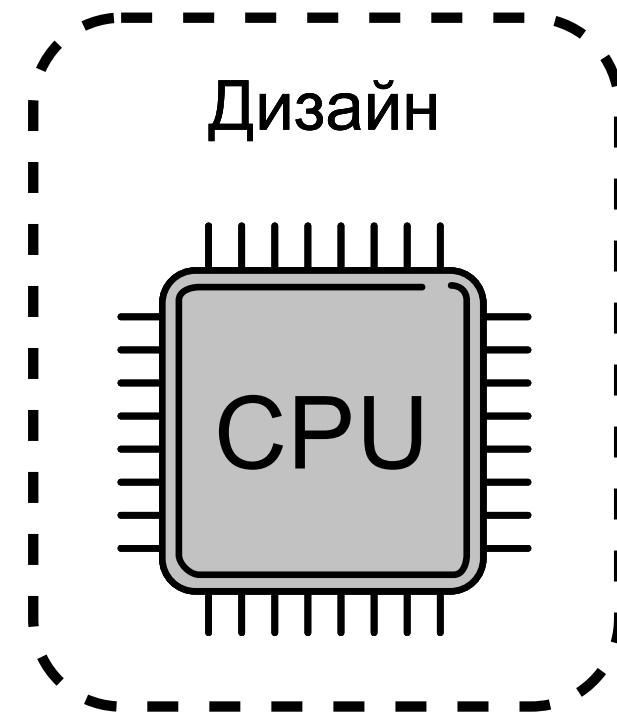
Верификация процессорных ядер

Верификация процессорного ядра – процесс обоснованного доказательства корректной работы ядра в рамках представленной на него спецификации.



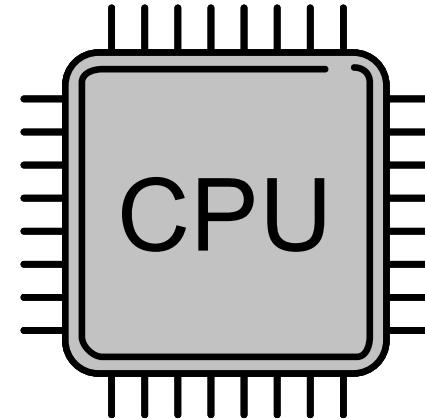
Введение в верификацию процессорных ядер

Верификация процессорных ядер



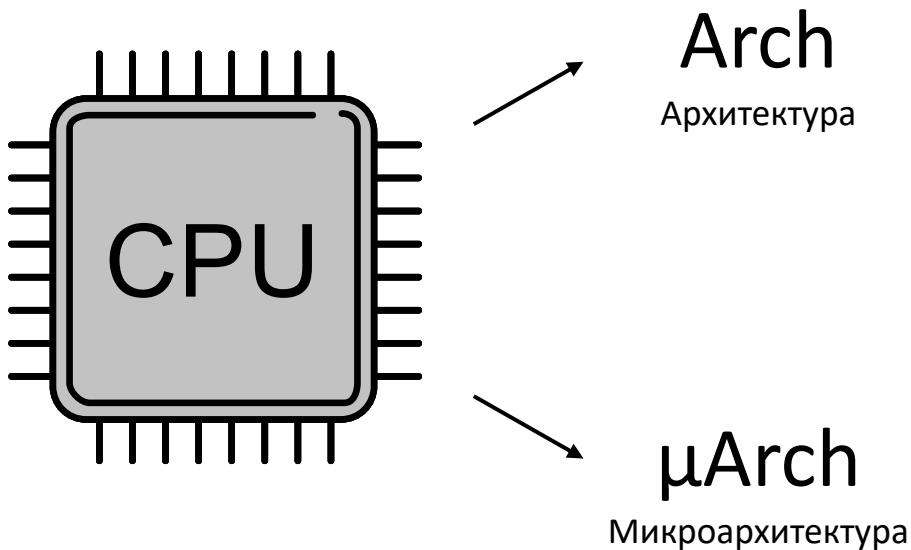
Введение в верификацию процессорных ядер

Верификация процессорных ядер



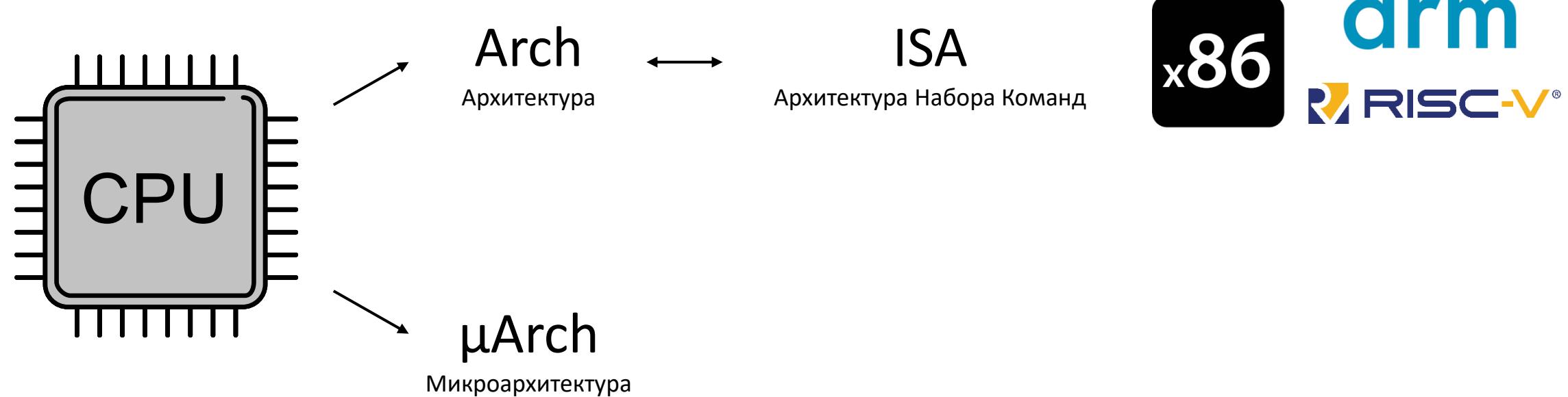
Введение в верификацию процессорных ядер

Верификация процессорных ядер



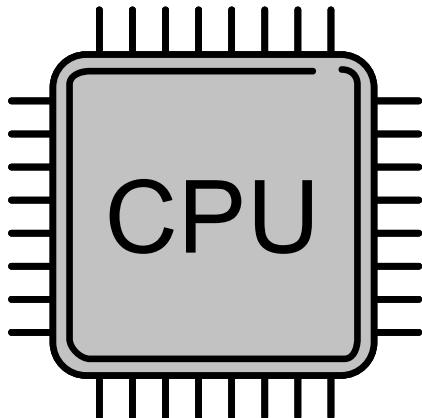
Введение в верификацию процессорных ядер

Верификация процессорных ядер



Введение в верификацию процессорных ядер

Верификация процессорных ядер



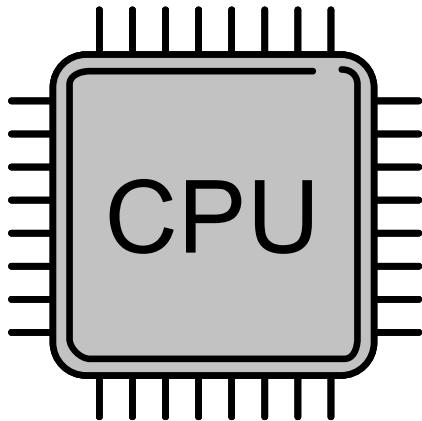
ISA
Архитектура Набора Команд

μArch
Микроархитектура



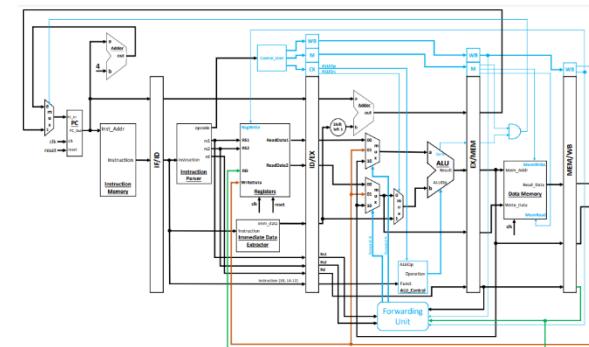
Введение в верификацию процессорных ядер

Верификация процессорных ядер



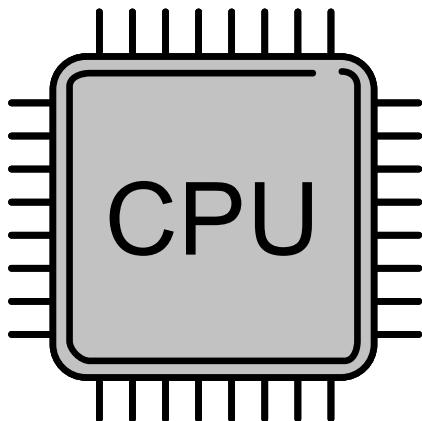
ISA
Архитектура Набора Команд

μArch
Микроархитектура



Введение в верификацию процессорных ядер

Верификация процессорных ядер

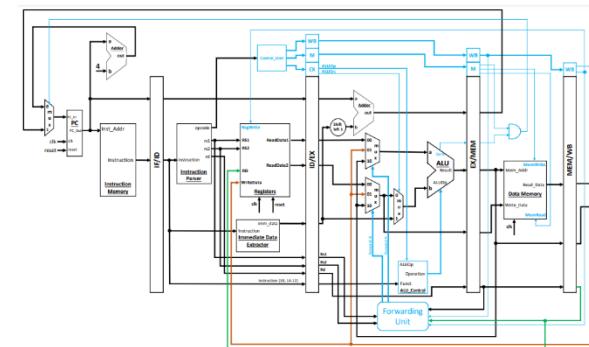


ISA
Архитектура Набора Команд

μArch
Микроархитектура

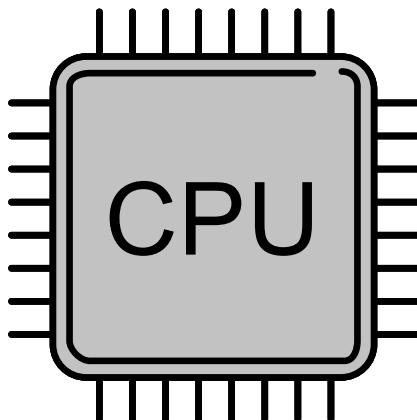
μArch

Микроархитектура



Введение в верификацию процессорных ядер

Верификация процессорных ядер



ISA
Архитектура Набора Команд

μ Arch
Микроархитектура



The RISC-V Instruction Set Manual
Volume I: Unprivileged ISA
Document Version 20191213

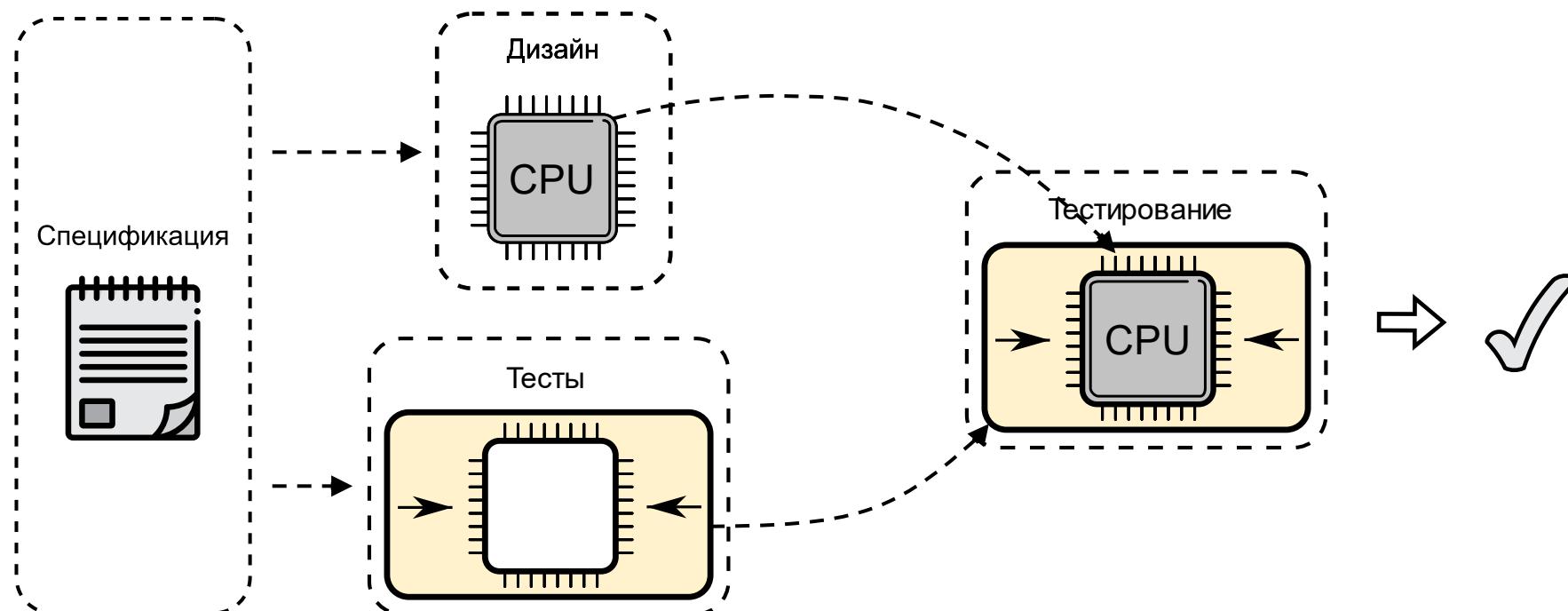
Intel® 64 and IA-32 Architectures
Software Developer's Manual
Volume 1:
Basic Architecture

Внутренняя документация

Введение в верификацию процессорных ядер

Верификация процессорных ядер

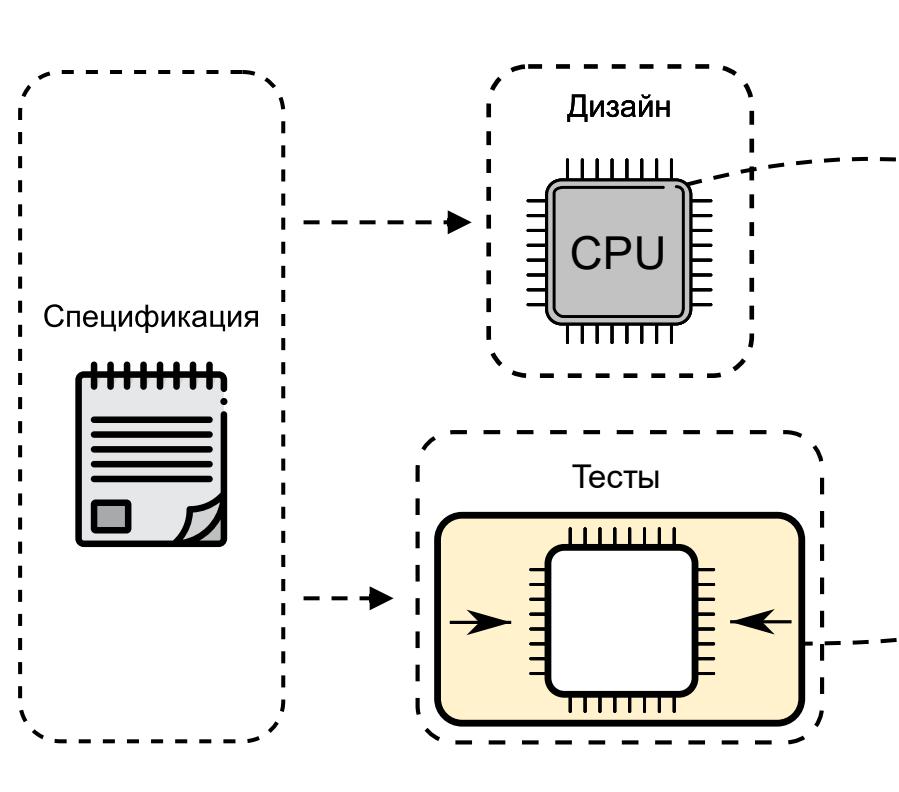
Верификация процессорного ядра – процесс обоснованного доказательства корректной работы ядра в рамках представленной на него спецификации.



Введение в верификацию процессорных ядер

Верификация процессорных ядер

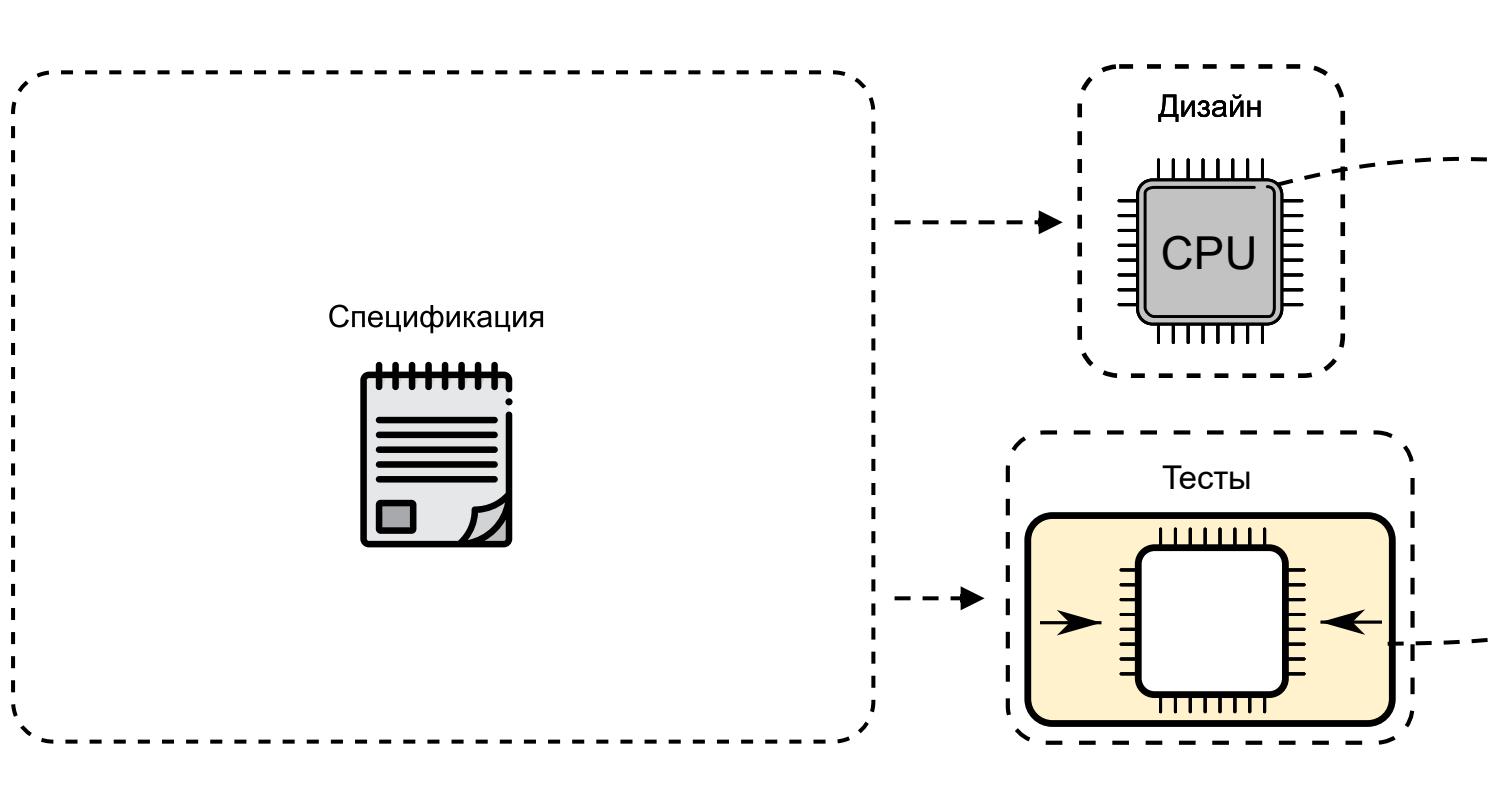
Верификация процессорного ядра – процесс обоснованного доказательства корректной работы ядра в рамках представленной на него спецификации.



Введение в верификацию процессорных ядер

Верификация процессорных ядер

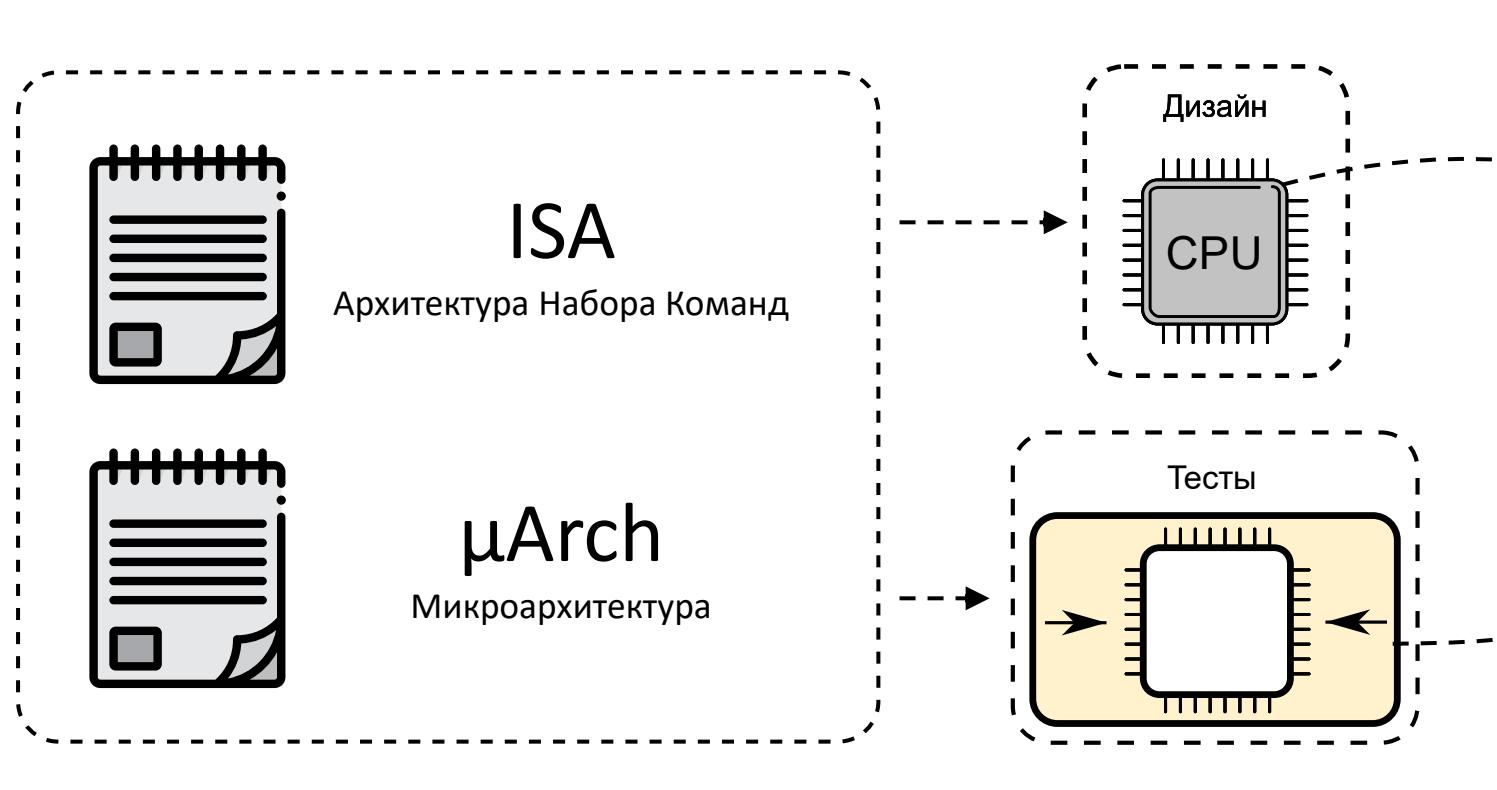
Верификация процессорного ядра – процесс обоснованного доказательства корректной работы ядра в рамках представленной на него спецификации.



Введение в верификацию процессорных ядер

Верификация процессорных ядер

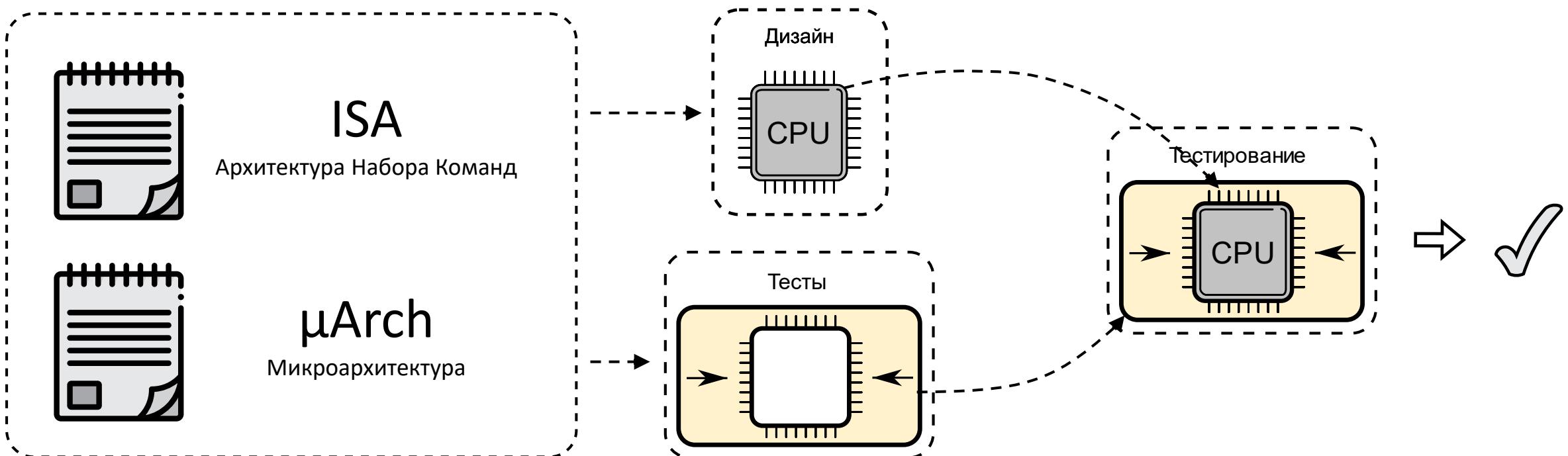
Верификация процессорного ядра – процесс обоснованного доказательства корректной работы ядра в рамках представленной на него спецификации.



Введение в верификацию процессорных ядер

Верификация процессорных ядер

Верификация процессорного ядра – процесс обоснованного доказательства корректной работы ядра в рамках представленной на него спецификации.

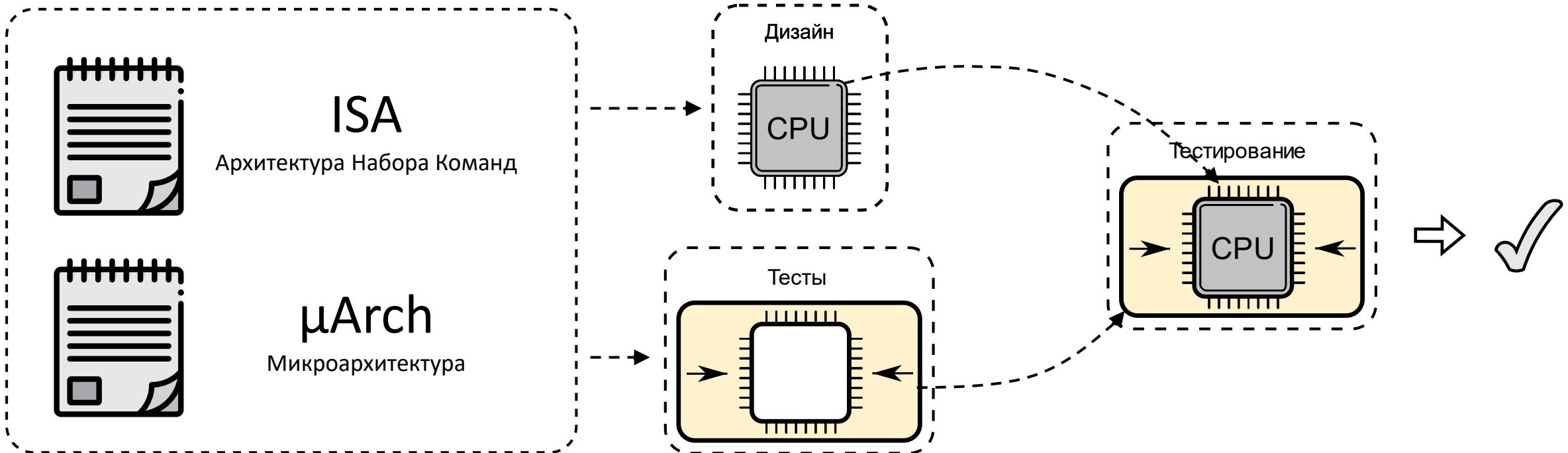


Введение в верификацию процессорных ядер

Сложности верификации процессорных ядер

Введение в верификацию процессорных ядер

Сложности верификации процессорных ядер



Введение в верификацию процессорных ядер

Сложности верификации процессорных ядер



ISA

Архитектура Набора Команд



μ Arch

Микроархитектура

Введение в верификацию процессорных ядер

Сложности верификации процессорных ядер



ISA

Архитектура Набора Команд

Введение в верификацию процессорных ядер

Сложности верификации процессорных ядер



ISA

Архитектура Набора Команд

Введение в верификацию процессорных ядер

Сложности верификации процессорных ядер



ISA

Архитектура Набора Команд

The RISC-V Instruction Set Manual
Volume I: Unprivileged ISA
Document Version 20191213

Intel® 64 and IA-32 Architectures
Software Developer's Manual

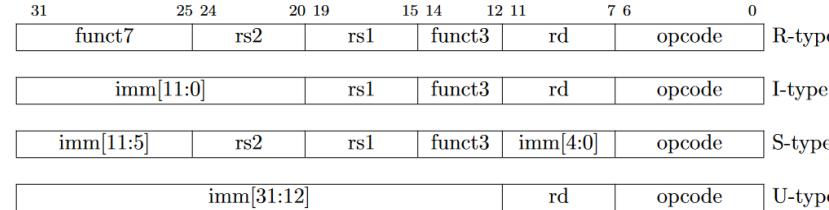
Volume 1:
Basic Architecture

238 стр.

500 стр.

Введение в верификацию процессорных ядер

Сложности верификации процессорных ядер



ISA

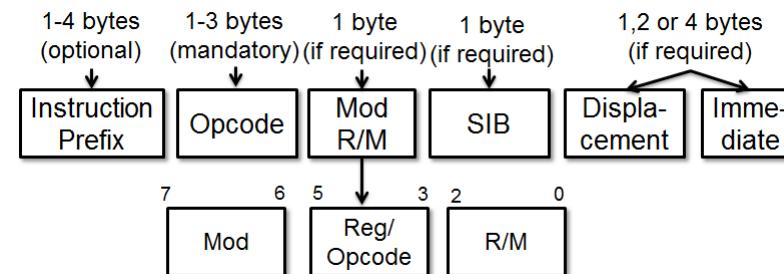
Архитектура Набора Команд

The RISC-V Instruction Set Manual
Volume I: Unprivileged ISA
Document Version 20191213

238 стр.

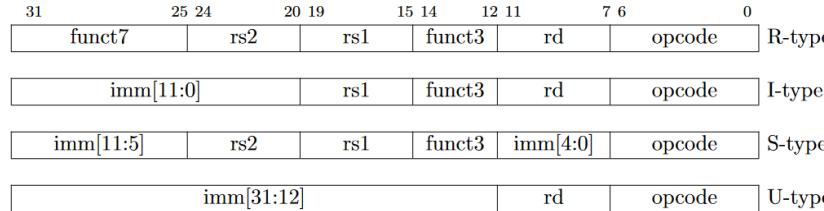
Intel® 64 and IA-32 Architectures
Software Developer's Manual
Volume 1:
Basic Architecture

500 стр.



Введение в верификацию процессорных ядер

Сложности верификации процессорных ядер



Register	ABI Name	Description	Saver
x0	zero	Hard-wired zero	—
x1	ra	Return address	Caller
x2	sp	Stack pointer	Callee
x3	gp	Global pointer	—
x4	tp	Thread pointer	—
x5-7	t0-2	Temporaries	Caller
x8	s0/fp	Saved register/frame pointer	Callee
x9	s1	Saved register	Callee
x10-11	a0-1	Function arguments/return values	Caller
x12-17	a2-7	Function arguments	Caller
x18-27	s2-11	Saved registers	Callee
x28-31	t3 6	Temporaries	Caller
f0 7	ft0 7	FP temporaries	Caller
f8 9	fs0 1	FP saved registers	Callee
f10-11	fa0-1	FP arguments/return values	Caller
f12-17	fa2-7	FP arguments	Caller
f18-27	fs2-11	FP saved registers	Callee
f28-31	ft8-11	FP temporaries	Caller



ISA

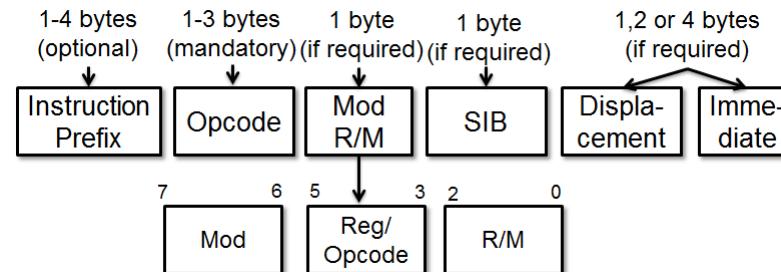
Архитектура Набора Команд

The RISC-V Instruction Set Manual
Volume I: Unprivileged ISA
Document Version 20191213

238 стр.

Intel® 64 and IA-32 Architectures
Software Developer's Manual
Volume 1:
Basic Architecture

500 стр.



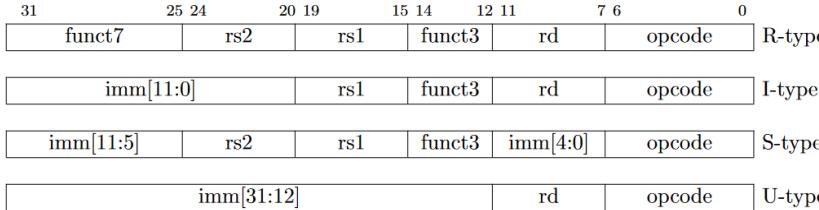
Введение в верификацию процессорных ядер

Сложности верификации процессорных ядер



ISA

Архитектура Набора Команд

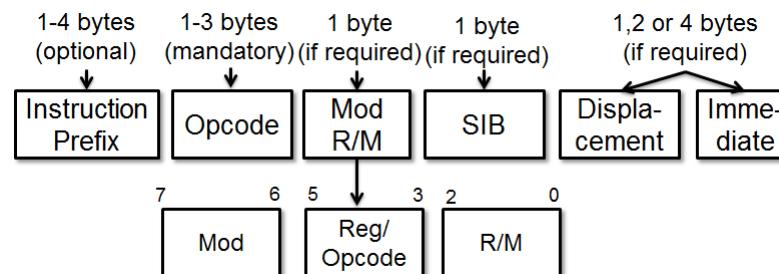


The RISC-V Instruction Set Manual
Volume I: Unprivileged ISA
Document Version 20191213

238 стр.

Intel® 64 and IA-32 Architectures
Software Developer's Manual
Volume 1:
Basic Architecture

500 стр.



Register	ABI Name	Description	Saver
x0	zero	Hard-wired zero	—
x1	ra	Return address	Caller
x2	sp	Stack pointer	Callee
x3	gp	Global pointer	—
x4	tp	Thread pointer	—
x5-7	t0-2	Temporaries	Caller
x8	s0/fp	Saved register/frame pointer	Callee
x9	s1	Saved register	Callee
x10-11	a0-1	Function arguments/return values	Caller
x12-17	a2-7	Function arguments	Caller
x18-27	s2-11	Saved registers	Callee
x28-31	t3-6	Temporaries	Caller
f0-7	ft0-7	FP temporaries	Caller
f8-9	fs0-1	FP saved registers	Callee
f10-11	fa0-1	FP arguments/return values	Caller
f12-17	fa2-7	FP arguments	Caller
f18-27	fs2-11	FP saved registers	Callee
f28-31	ft8-11	FP temporaries	Caller

SIMD Extension	Register Layout	Data Type
MMX Technology - SSSE3	MMX Registers	8 Packed Byte Integers 4 Packed Word Integers 2 Packed Doubleword Integers Quadword
SSE - AVX		
XMM Registers		4 Packed Single Precision Floating-Point Values 2 Packed Double Precision Floating-Point Values 16 Packed Byte Integers 8 Packed Word Integers 4 Packed Doubleword Integers 2 Quadword Integers Double Quadword
AVX		
YMM Registers		8 Packed SP FP Values 4 Packed DP FP Values 2 128-bit Data

Введение в верификацию процессорных ядер

Сложности верификации процессорных ядер



ISA

Архитектура Набора Команд



μ Arch

Микроархитектура

Введение в верификацию процессорных ядер

Сложности верификации процессорных ядер



μ Arch

Микроархитектура

Введение в верификацию процессорных ядер

Сложности верификации процессорных ядер



μ Arch

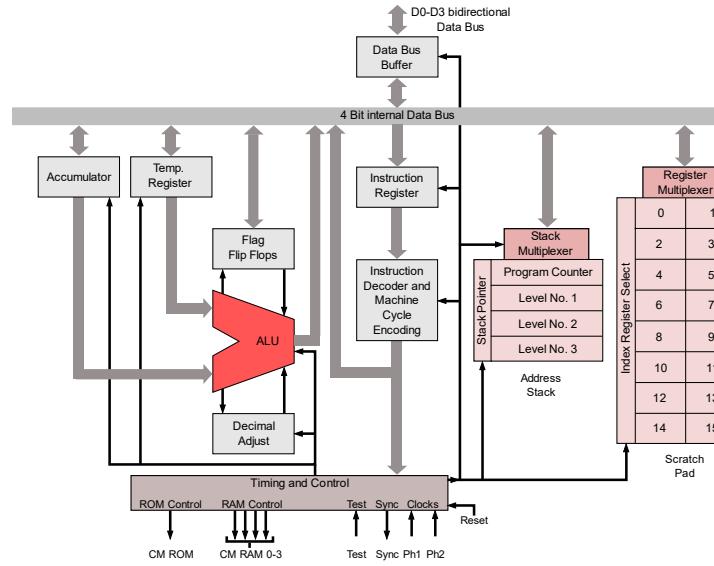
Микроархитектура

Введение в верификацию процессорных ядер

Сложности верификации процессорных ядер



μArch
Микроархитектура



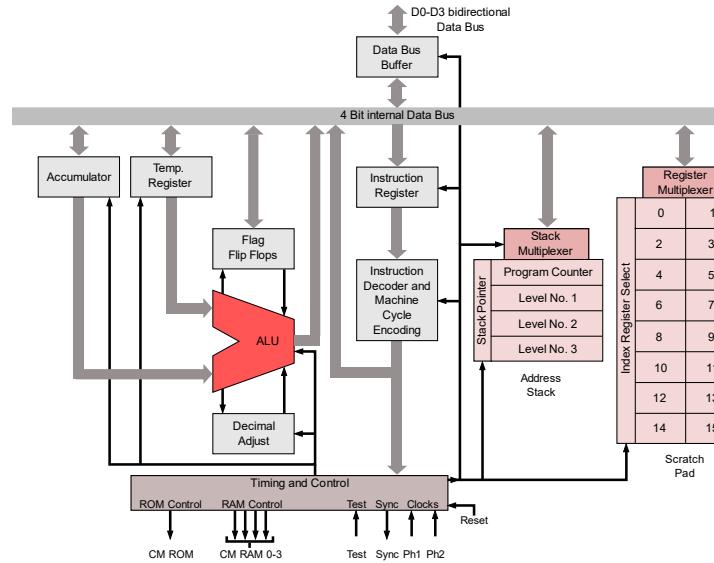
Введение в верификацию процессорных ядер

Сложности верификации процессорных ядер



μArch

Микроархитектура



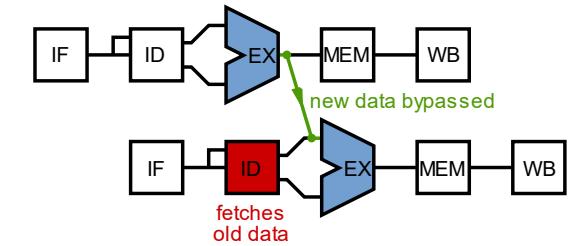
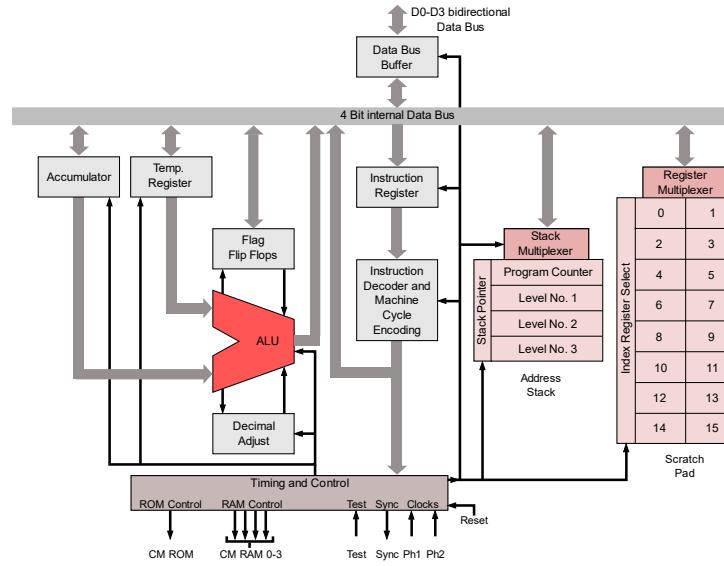
Instr. No.	Pipeline Stage						
	IF	ID	EX	MEM	WB		
1							
2		IF	ID	EX	MEM	WB	
3			IF	ID	EX	MEM	WB
4				IF	ID	EX	MEM
5					IF	ID	EX
Clock Cycle	1	2	3	4	5	6	7

Введение в верификацию процессорных ядер

Сложности верификации процессорных ядер



μArch
Микроархитектура



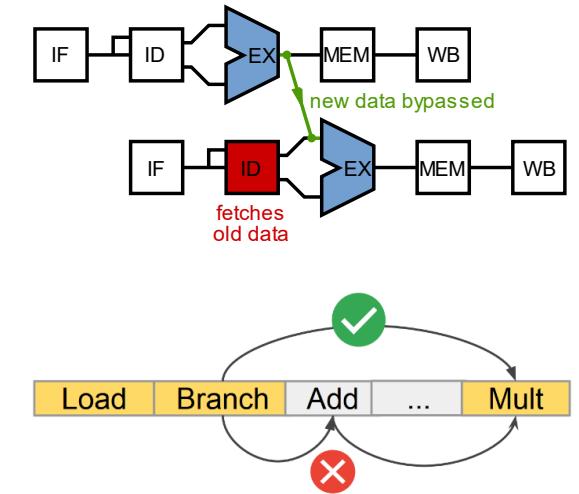
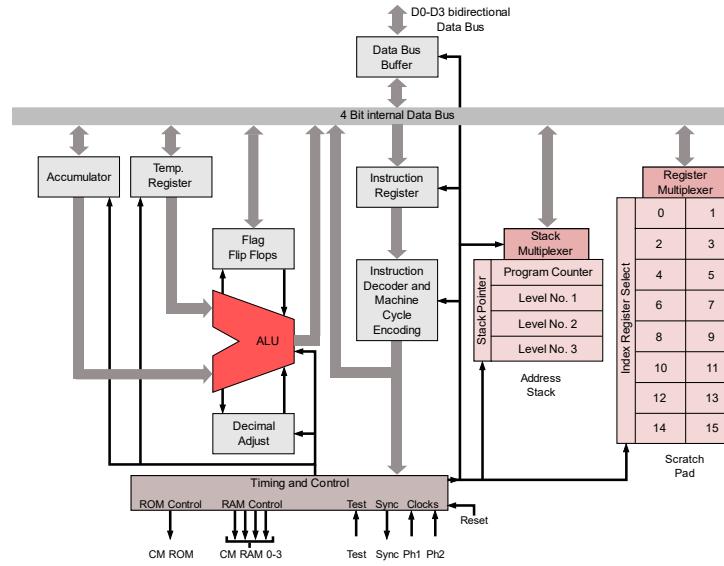
Instr. No.	Pipeline Stage						
	IF	ID	EX	MEM	WB		
1							
2				EX	MEM	WB	
3			IF	ID	EX	MEM	WB
4				IF	ID	EX	MEM
5					IF	ID	EX
Clock Cycle	1	2	3	4	5	6	7

Введение в верификацию процессорных ядер

Сложности верификации процессорных ядер



μArch
Микроархитектура



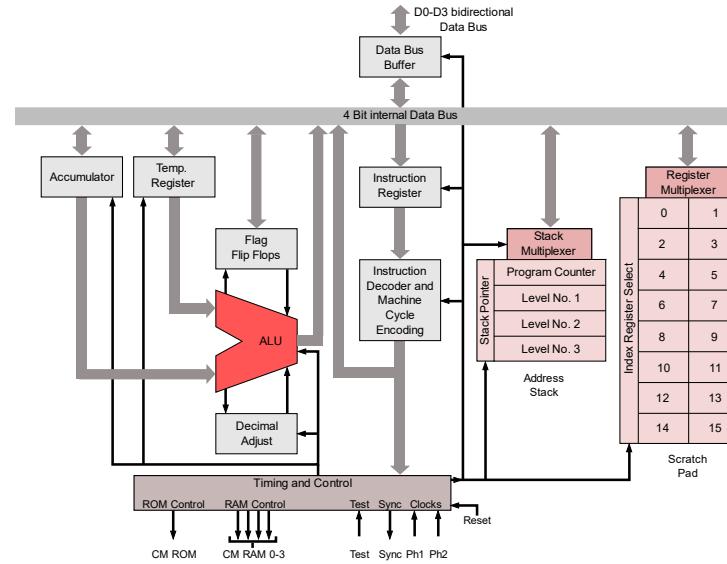
Instr. No.	Pipeline Stage						
	1	IF	ID	EX	MEM	WB	
2			IF	ID	EX	MEM	WB
3				IF	ID	EX	MEM
4					IF	ID	EX
5						IF	ID
Clock Cycle	1	2	3	4	5	6	7

Введение в верификацию процессорных ядер

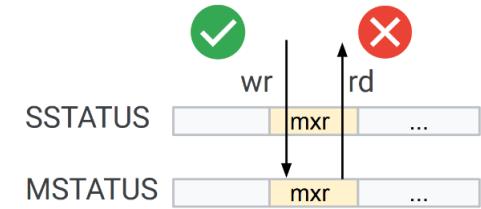
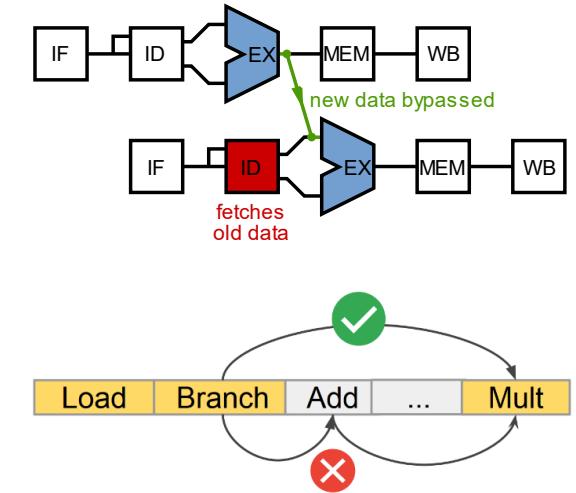
Сложности верификации процессорных ядер



μArch
Микроархитектура



Instr. No.	Pipeline Stage					
	1	IF	ID	EX	MEM	WB
2			IF	ID	EX	MEM
3				IF	ID	MEM
4					IF	EX
5						IF
Clock Cycle	1	2	3	4	5	6



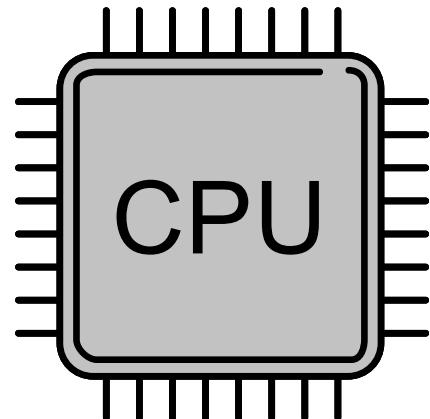
Введение в верификацию RISC-V

Архитектура  RISC-V®

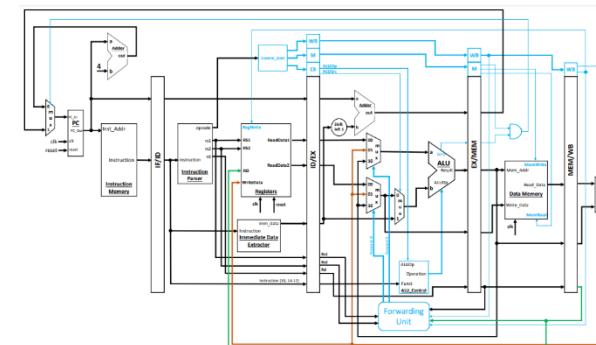
Введение в верификацию RISC-V

Архитектура **RISC-V**[®]

Современная и быстроразвивающаяся **архитектура набора команд**.



μArch
Микроархитектура



Введение в верификацию RISC-V

Архитектура RISC-V®

Современная и быстроразвивающаяся архитектура набора команд.

- Открытая и свободно-распространяемая



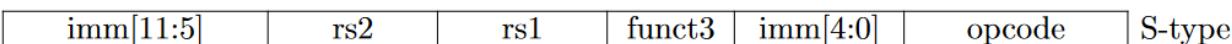
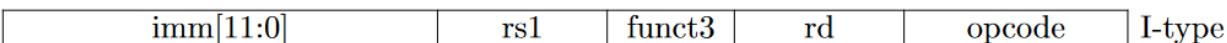
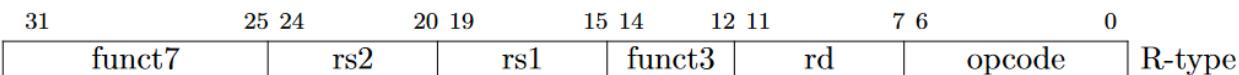
Введение в верификацию RISC-V

Архитектура **RISC-V**[®]

Современная и быстроразвивающаяся архитектура набора команд.

- Гибкая и расширяемая

Расширение	Описание	Инструкции
RV32I	Базовый 32-битный набор	49



Введение в верификацию RISC-V

Архитектура RISC-V®

Современная и быстроразвивающаяся архитектура набора команд.

- Гибкая и расширяемая

Расширение	Описание	Инструкции
RV32I	Базовый 32-битный набор	49
RV32E	RV32I с уменьшенным количество регистров	RV32I
RV64I	Базовый 64-битный набор	14
RV128I	Базовый 128-битный набор	14

Введение в верификацию RISC-V

Архитектура RISC-V®

Современная и быстроразвивающаяся архитектура набора команд.

- Гибкая и расширяемая

Расширение	Описание	Инструкции
RV32I	Базовый 32-битный набор	49
RV32E	RV32I с уменьшенным количество регистров	RV32I
RV64I	Базовый 64-битный набор	14
RV128I	Базовый 128-битный набор	14



Умножение

Введение в верификацию RISC-V

Архитектура RISC-V®

Современная и быстроразвивающаяся архитектура набора команд.

- Гибкая и расширяемая

Расширение	Описание	Инструкции
RV32I	Базовый 32-битный набор	49
RV32E	RV32I с уменьшенным количеством регистров	RV32I
RV64I	Базовый 64-битный набор	14
RV128I	Базовый 128-битный набор	14

M

Умножение

A

Атомарные операции

Введение в верификацию RISC-V

Архитектура ®

Современная и быстроразвивающаяся архитектура набора команд.

- Гибкая и расширяемая

Расширение	Описание	Инструкции
RV32I	Базовый 32-битный набор	49
RV32E	RV32I с уменьшенным количеством регистров	RV32I
RV64I	Базовый 64-битный набор	14
RV128I	Базовый 128-битный набор	14

M

Умножение

A

Атомарные операции

F

Оп. с плавающей точкой

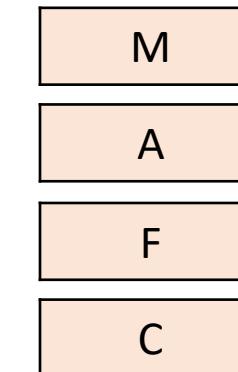
Введение в верификацию RISC-V

Архитектура ®

Современная и быстроразвивающаяся архитектура набора команд.

- Гибкая и расширяемая

Расширение	Описание	Инструкции
RV32I	Базовый 32-битный набор	49
RV32E	RV32I с уменьшенным количеством регистров	RV32I
RV64I	Базовый 64-битный набор	14
RV128I	Базовый 128-битный набор	14



Умножение

Атомарные операции

Оп. с плавающей точкой

Сжатые инструкции

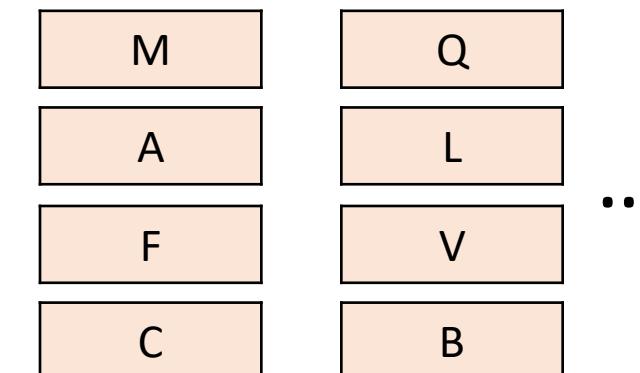
Введение в верификацию RISC-V

Архитектура ®

Современная и быстроразвивающаяся архитектура набора команд.

- Гибкая и расширяемая

Расширение	Описание	Инструкции
RV32I	Базовый 32-битный набор	49
RV32E	RV32I с уменьшенным количеством регистров	RV32I
RV64I	Базовый 64-битный набор	14
RV128I	Базовый 128-битный набор	14



Введение в верификацию RISC-V

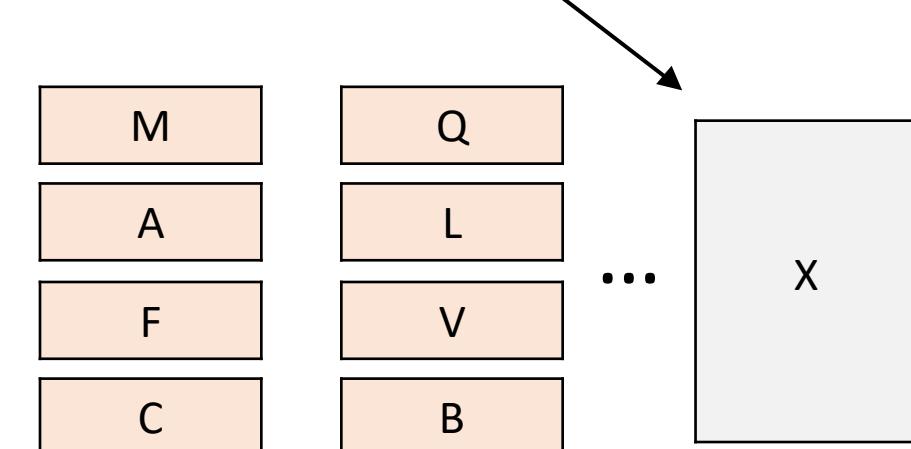
Архитектура RISC-V®

Современная и быстроразвивающаяся архитектура набора команд.

- Гибкая и расширяемая

Расширение	Описание	Инструкции
RV32I	Базовый 32-битный набор	49
RV32E	RV32I с уменьшенным количеством регистров	RV32I
RV64I	Базовый 64-битный набор	14
RV128I	Базовый 128-битный набор	14

Пользовательские расширения



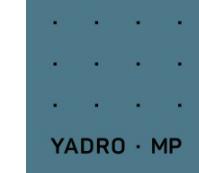
Введение в верификацию RISC-V

Особенности верификации RISC-V®

Введение в верификацию RISC-V

Особенности верификации RISC-V®

- Открытая и свободно-распространяемая



Введение в верификацию RISC-V

Особенности верификации

- Большое количество **примеров и возможностей для обмена опытом**
- Возможность **переиспользования**



Особенности верификации

- Гибкая и расширяемая
- RV32I

Расширение	Описание	Инструкции
RV32I	Базовый 32-битный набор	49

Введение в верификацию RISC-V

Особенности верификации

- Гибкая и расширяемая
- RV64I

Расширение	Описание	Инструкции
RV32I	Базовый 32-битный набор	49
RV32E	RV32I с уменьшенным количество регистров	RV32I
RV64I	Базовый 64-битный набор	14
RV128I	Базовый 128-битный набор	14

Введение в верификацию RISC-V

Особенности верификации

- Гибкая и расширяемая
- RV64IMC

Расширение	Описание	Инструкции
RV32I	Базовый 32-битный набор	49
RV32E	RV32I с уменьшенным количество регистров	RV32I
RV64I	Базовый 64-битный набор	14
RV128I	Базовый 128-битный набор	14

M
C

Введение в верификацию RISC-V

Особенности верификации

- Гибкая и расширяемая
- RV64IMACV

Расширение	Описание	Инструкции
RV32I	Базовый 32-битный набор	49
RV32E	RV32I с уменьшенным количество регистров	RV32I
RV64I	Базовый 64-битный набор	14
RV128I	Базовый 128-битный набор	14

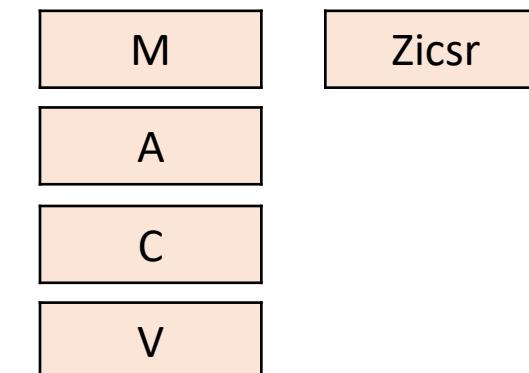
M
A
C
V

Введение в верификацию RISC-V

Особенности верификации

- Гибкая и расширяемая
- RV64IMACV_Zicsr

Расширение	Описание	Инструкции
RV32I	Базовый 32-битный набор	49
RV32E	RV32I с уменьшенным количество регистров	RV32I
RV64I	Базовый 64-битный набор	14
RV128I	Базовый 128-битный набор	14

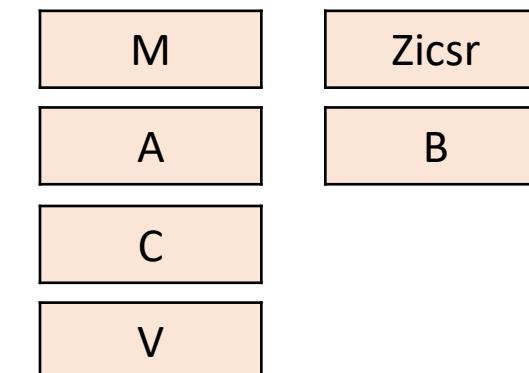


Введение в верификацию RISC-V

Особенности верификации

- Гибкая и расширяемая
- RV64IMACV_Zicsr_Zba_Zbb_Zbkc

Расширение	Описание	Инструкции
RV32I	Базовый 32-битный набор	49
RV32E	RV32I с уменьшенным количество регистров	RV32I
RV64I	Базовый 64-битный набор	14
RV128I	Базовый 128-битный набор	14

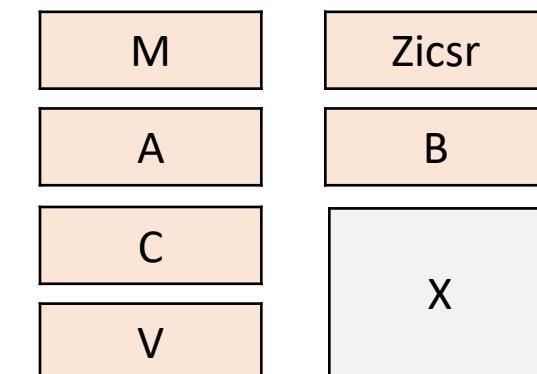


Введение в верификацию RISC-V

Особенности верификации

- Гибкая и расширяемая
- RV64IMACV_Zicsr_Zba_Zbb_Zbkc_Xbar_Xfoo

Расширение	Описание	Инструкции
RV32I	Базовый 32-битный набор	49
RV32E	RV32I с уменьшенным количество регистров	RV32I
RV64I	Базовый 64-битный набор	14
RV128I	Базовый 128-битный набор	14



Введение в верификацию RISC-V

Особенности верификации

- Гибкая и расширяемая
- RV64IMACV_Zicsr_Zba_Zbb_Zbkc_Xbar_Xfoo

Введение в верификацию RISC-V

Особенности верификации

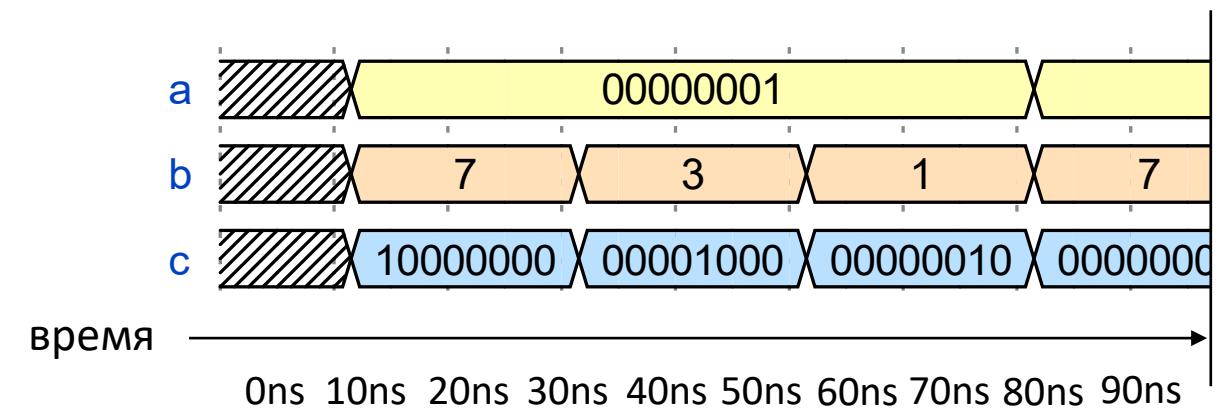
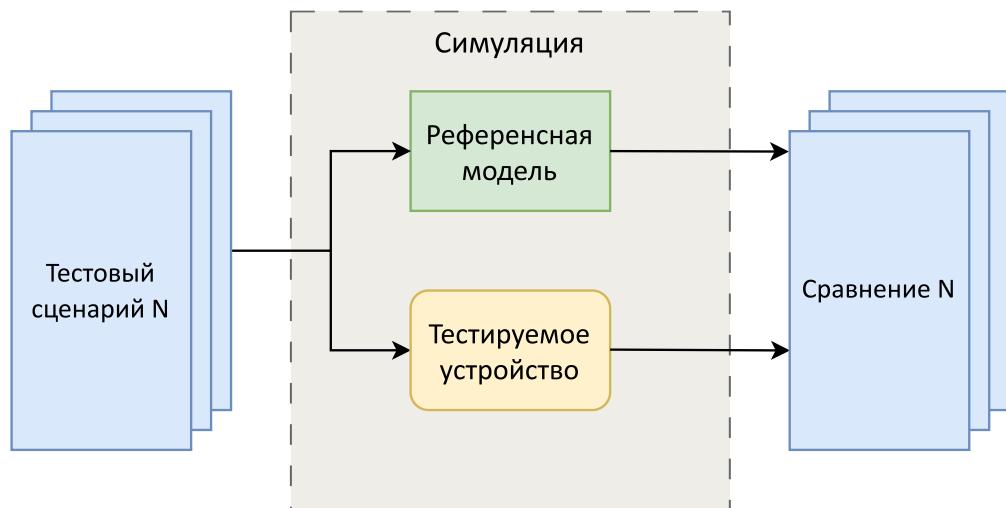
- Гибкая и расширяемая
- Огромное количество возможных реализаций
- Каждая реализация имеет:
 - свою микроархитектуру
 - свой поддерживаемый набор инструкций, исходя из выбора расширений

Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция

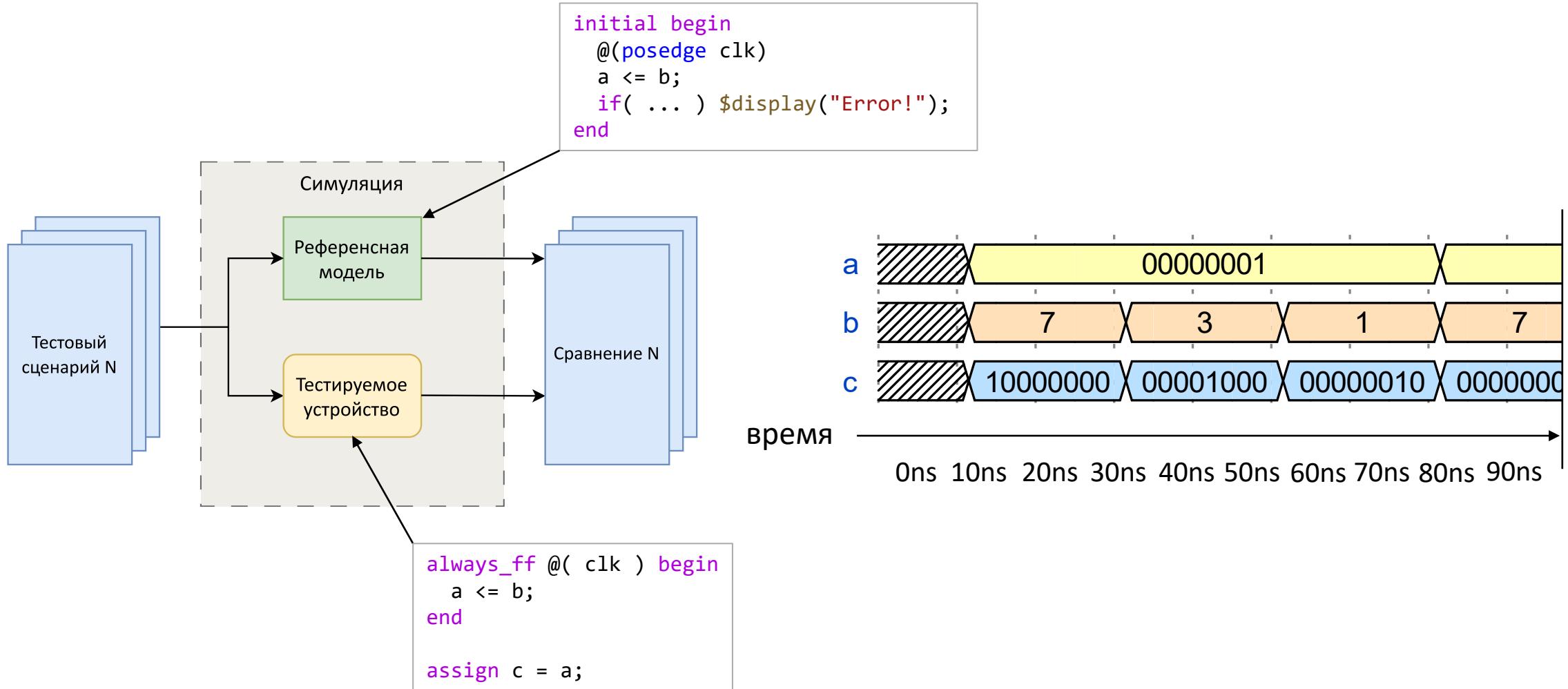
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



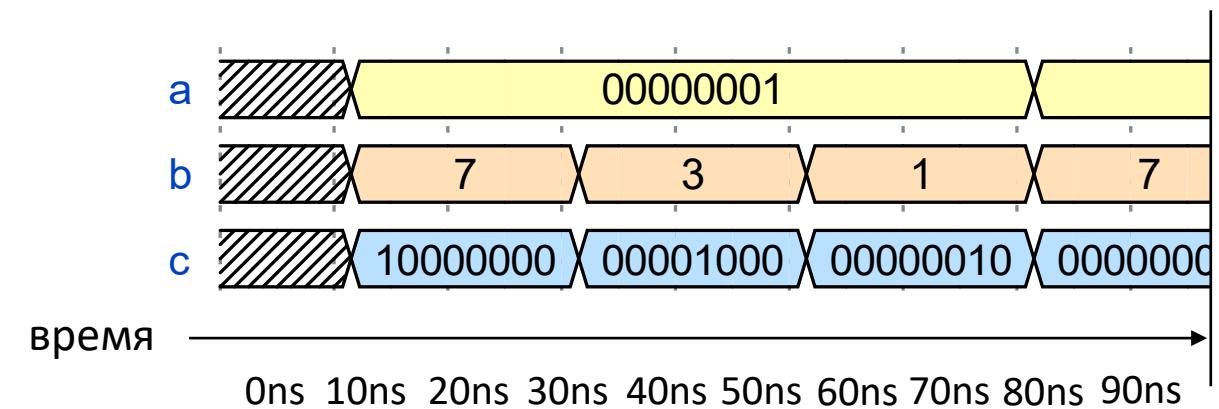
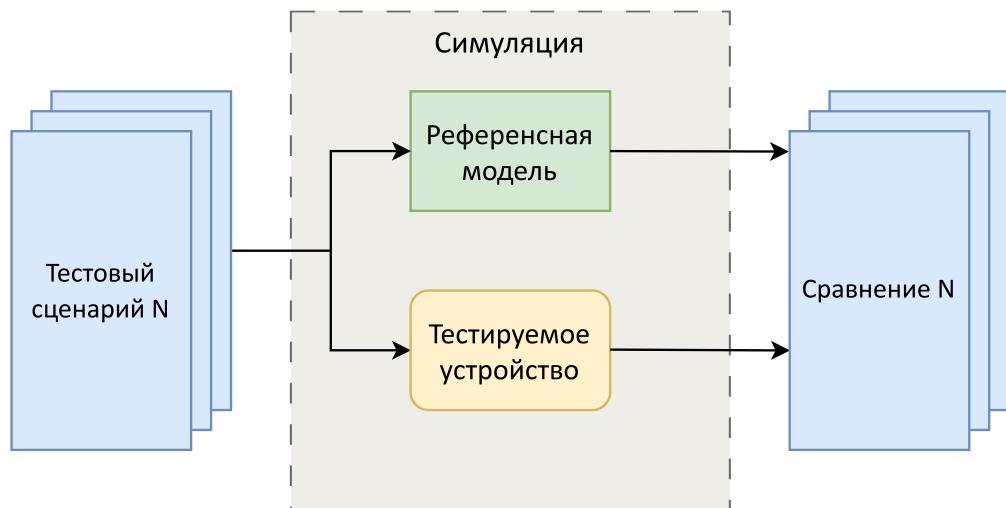
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



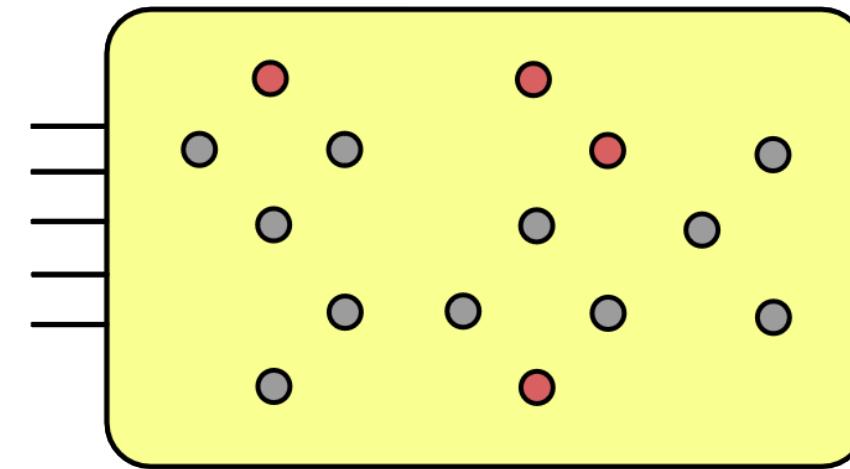
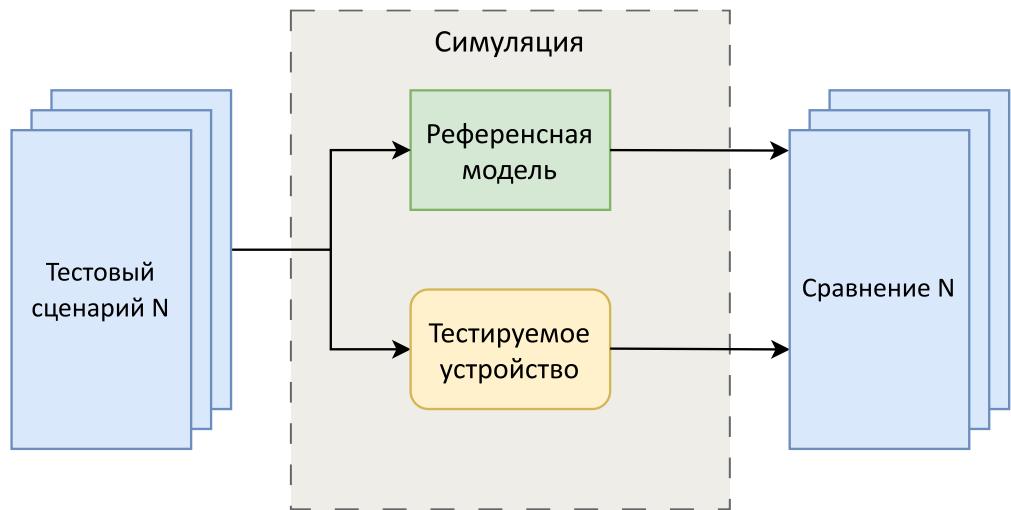
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



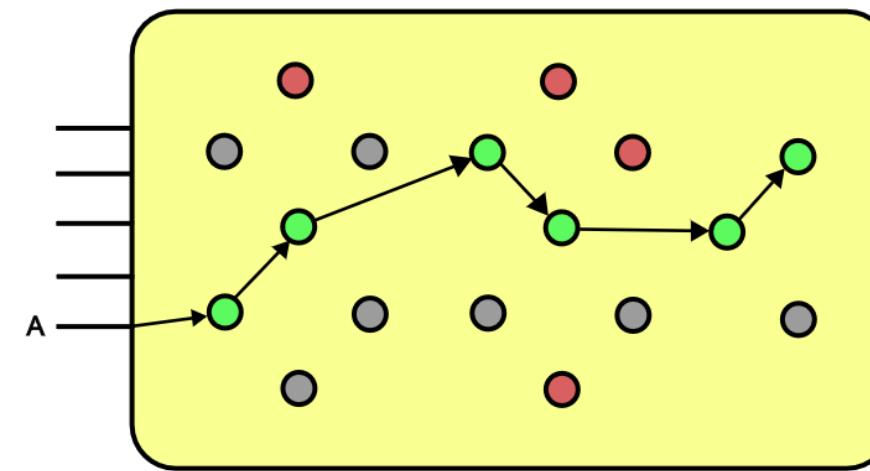
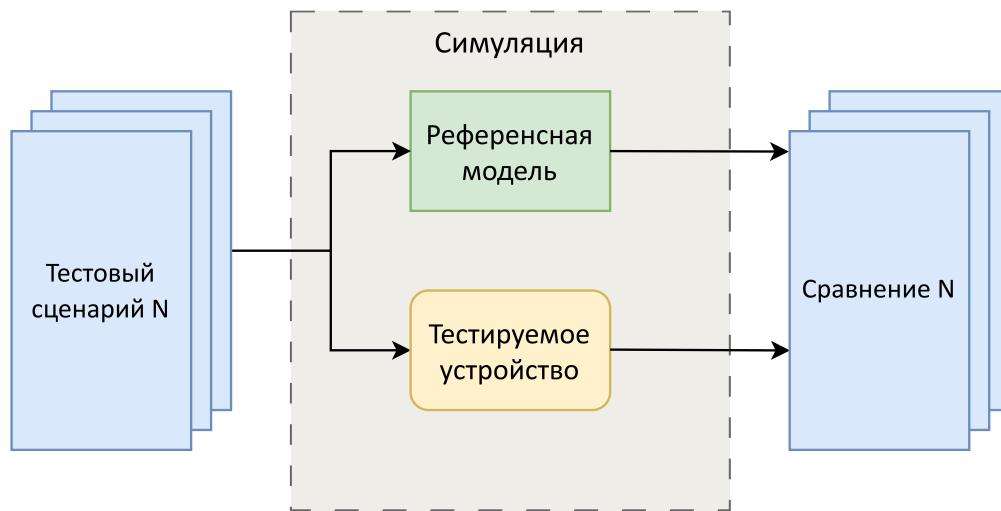
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



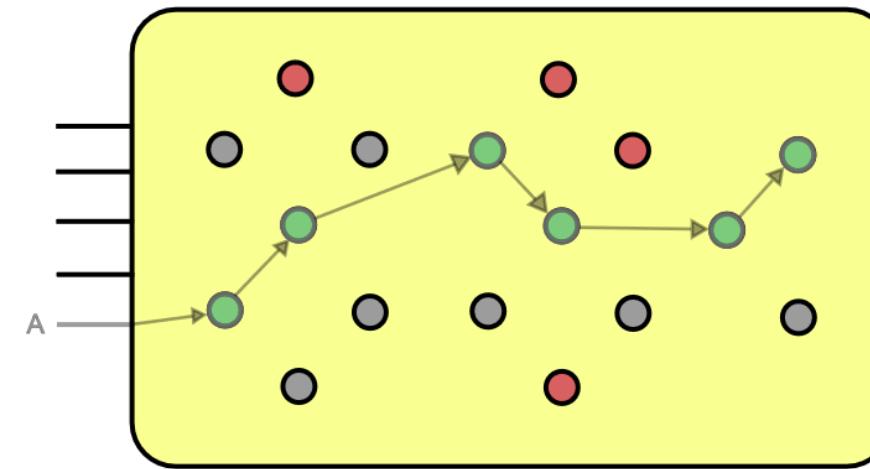
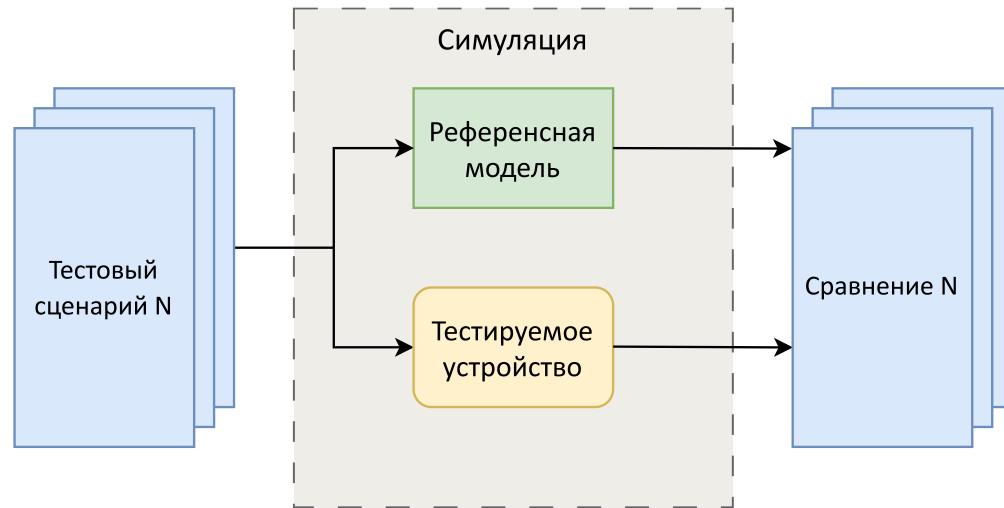
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



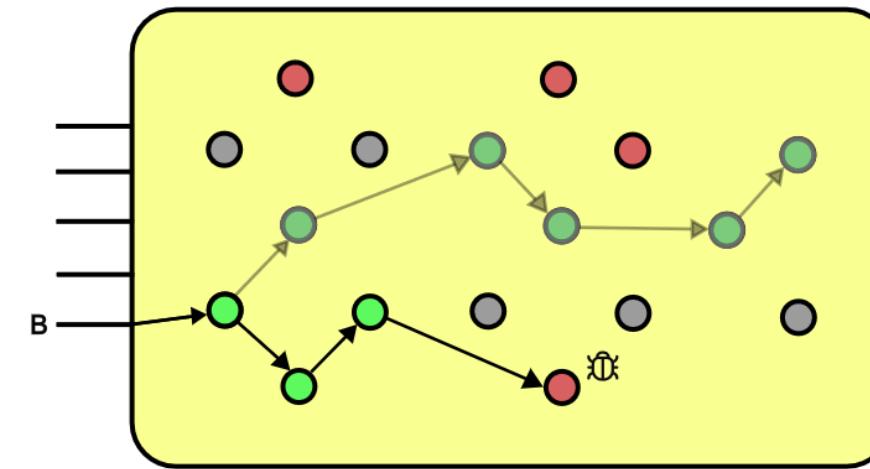
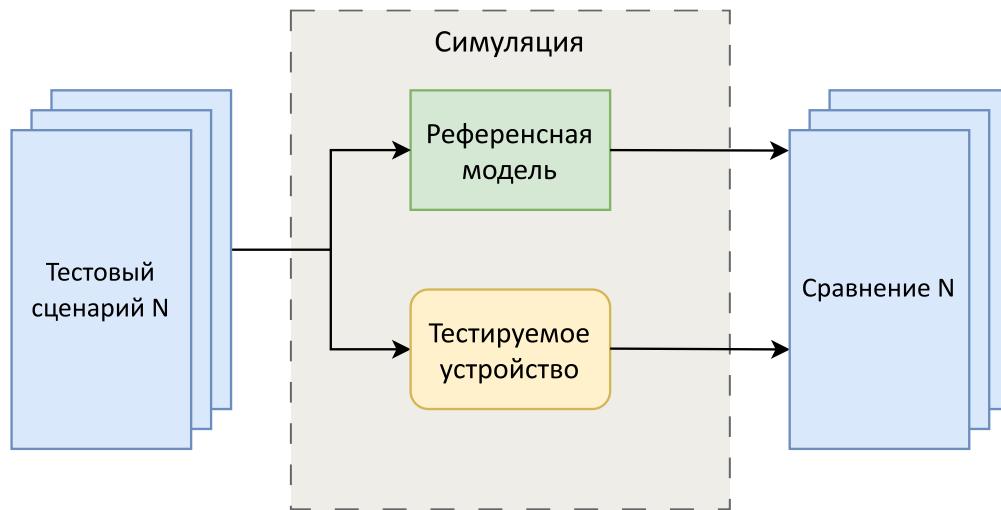
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



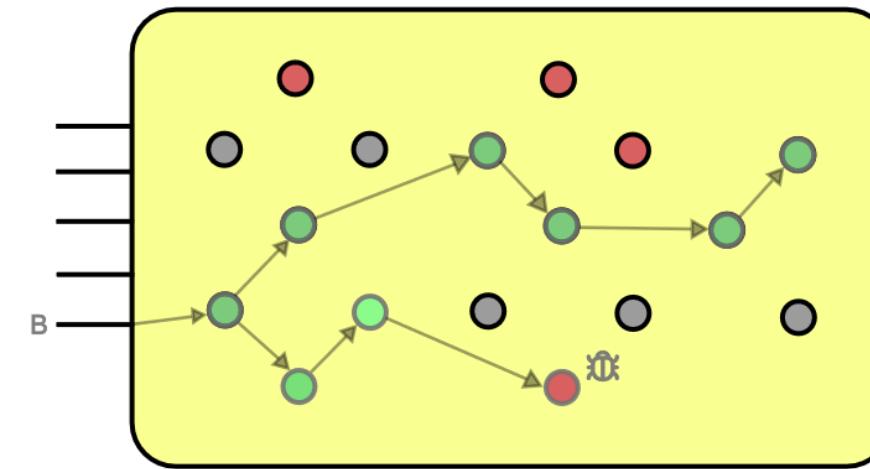
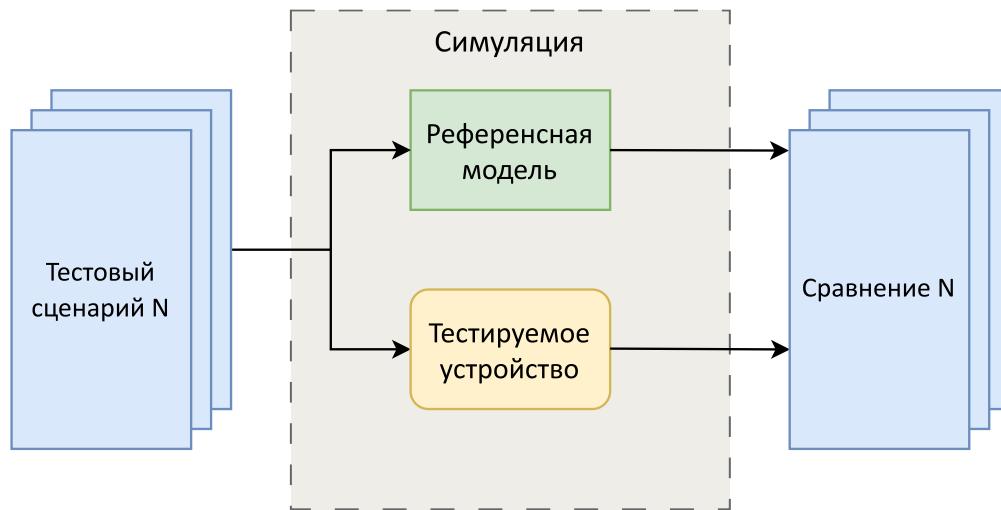
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



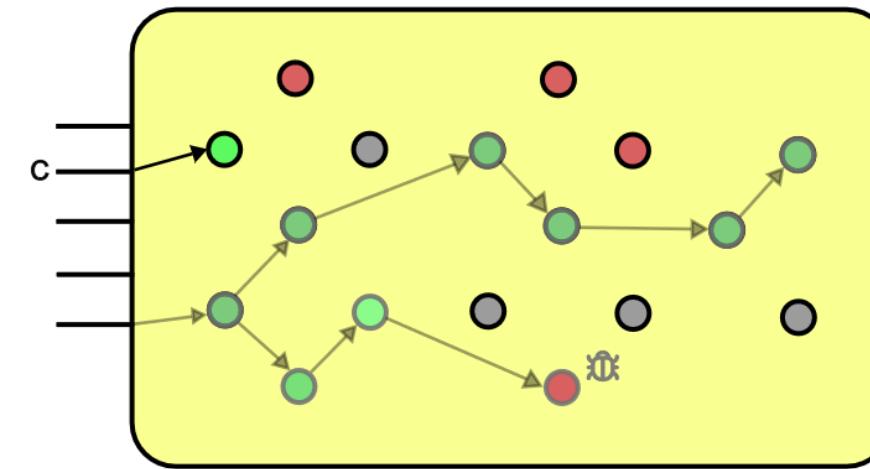
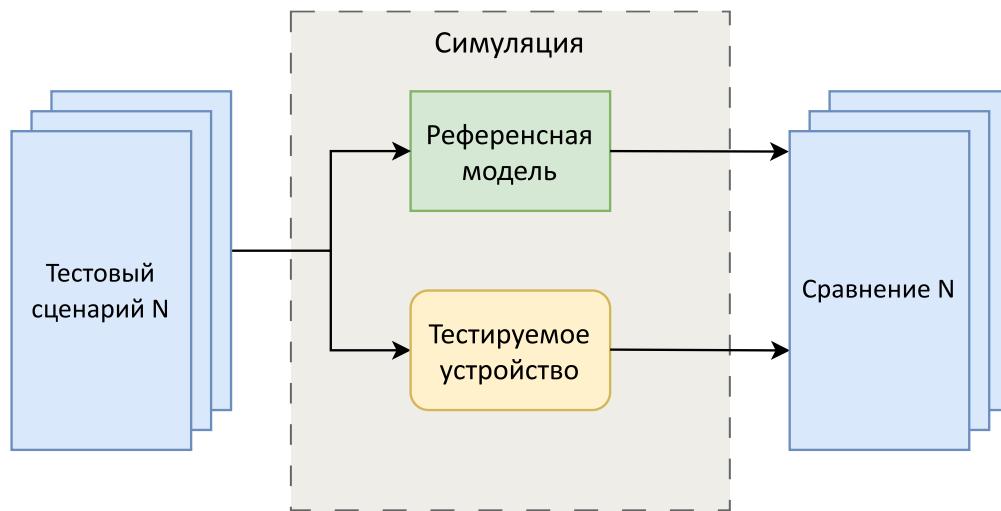
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



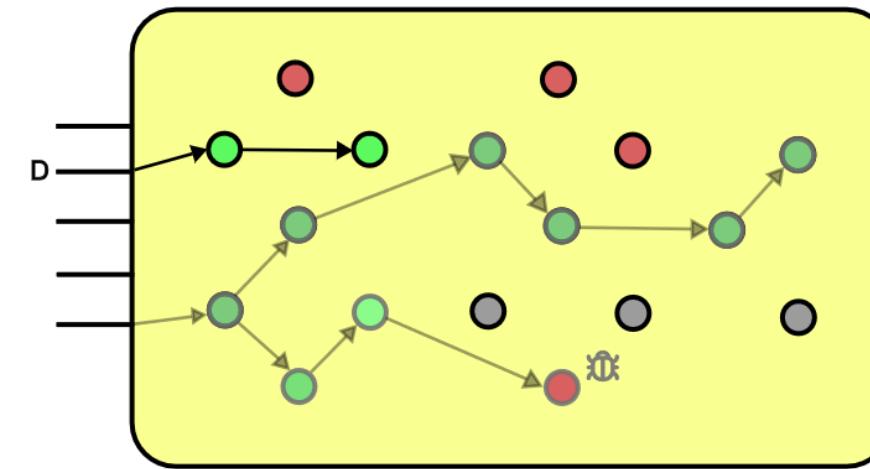
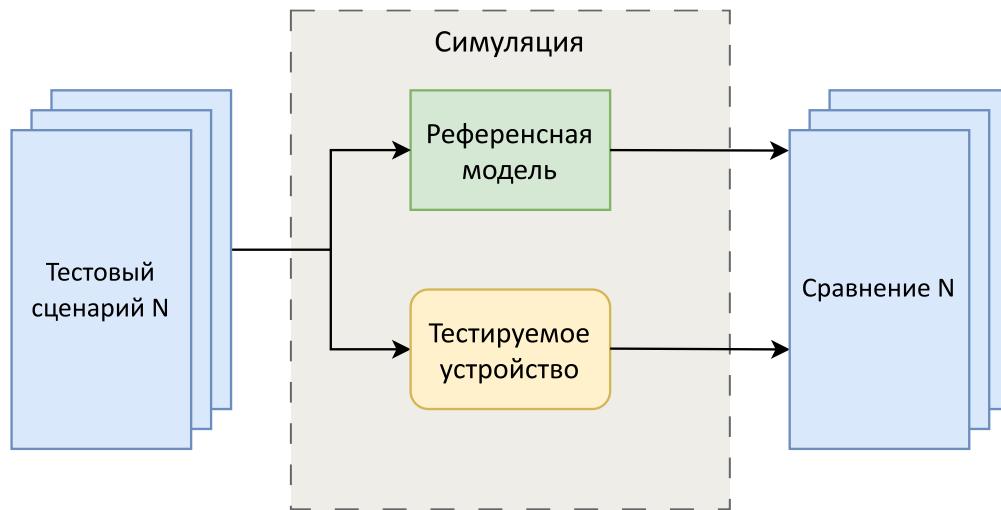
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



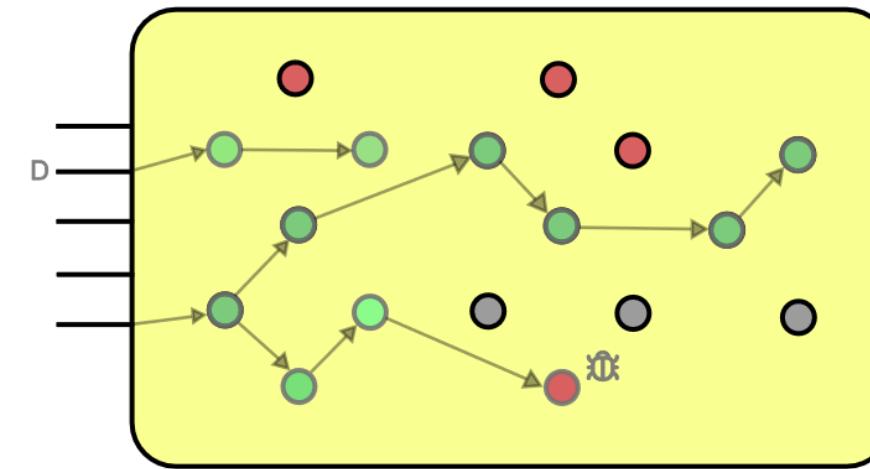
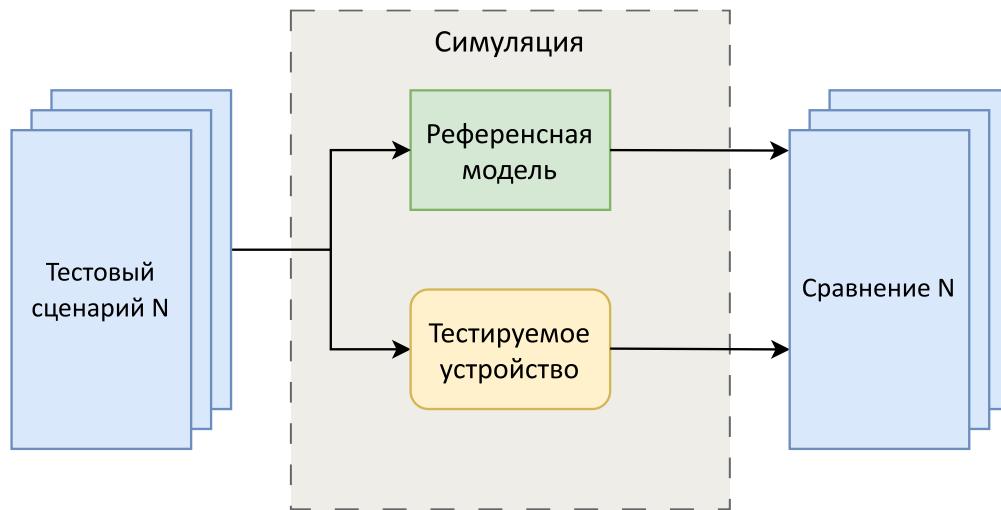
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



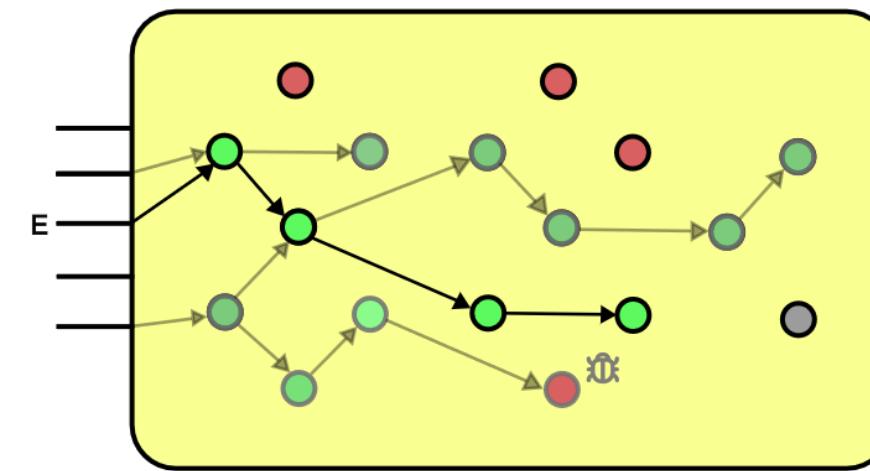
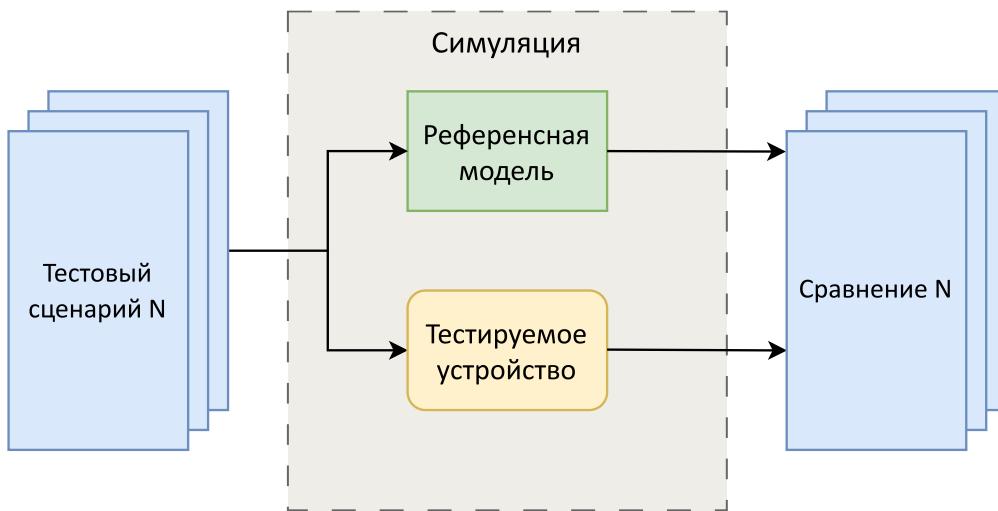
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



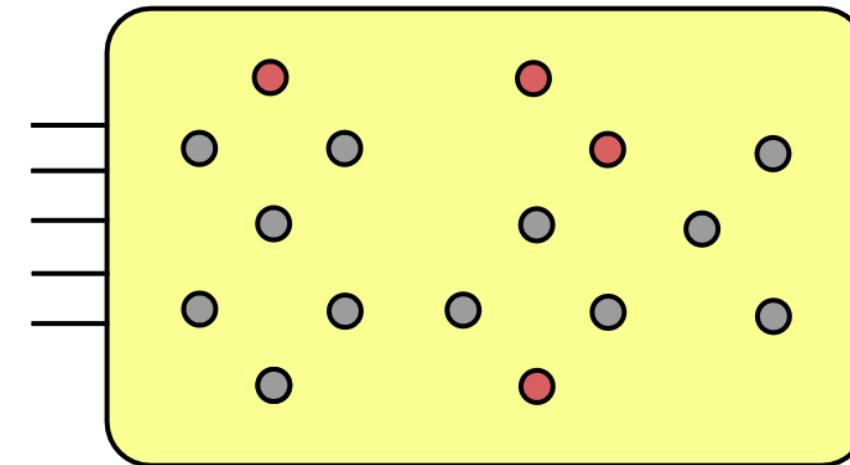
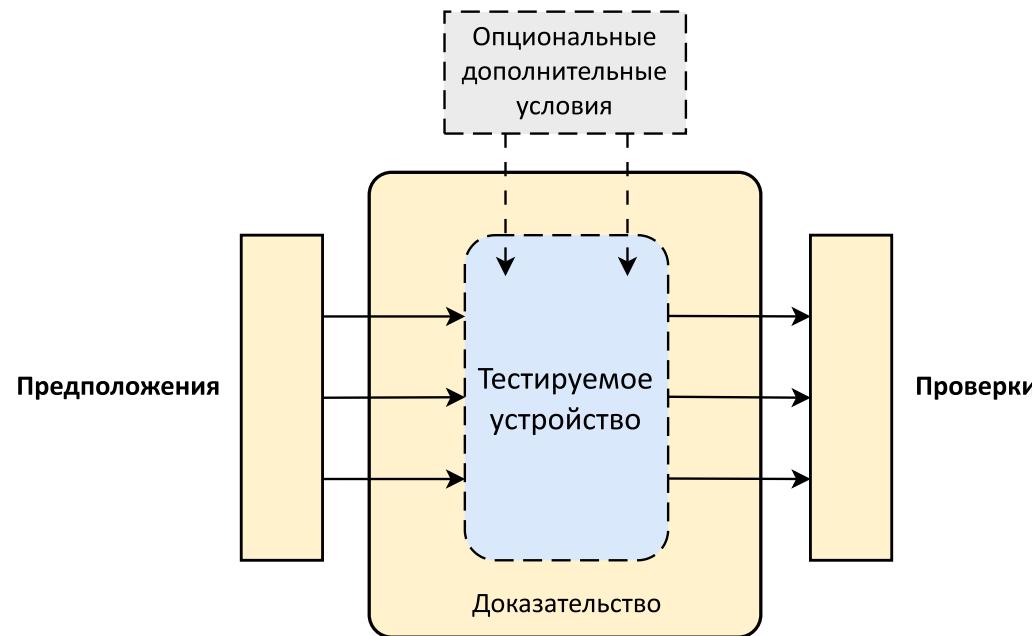
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



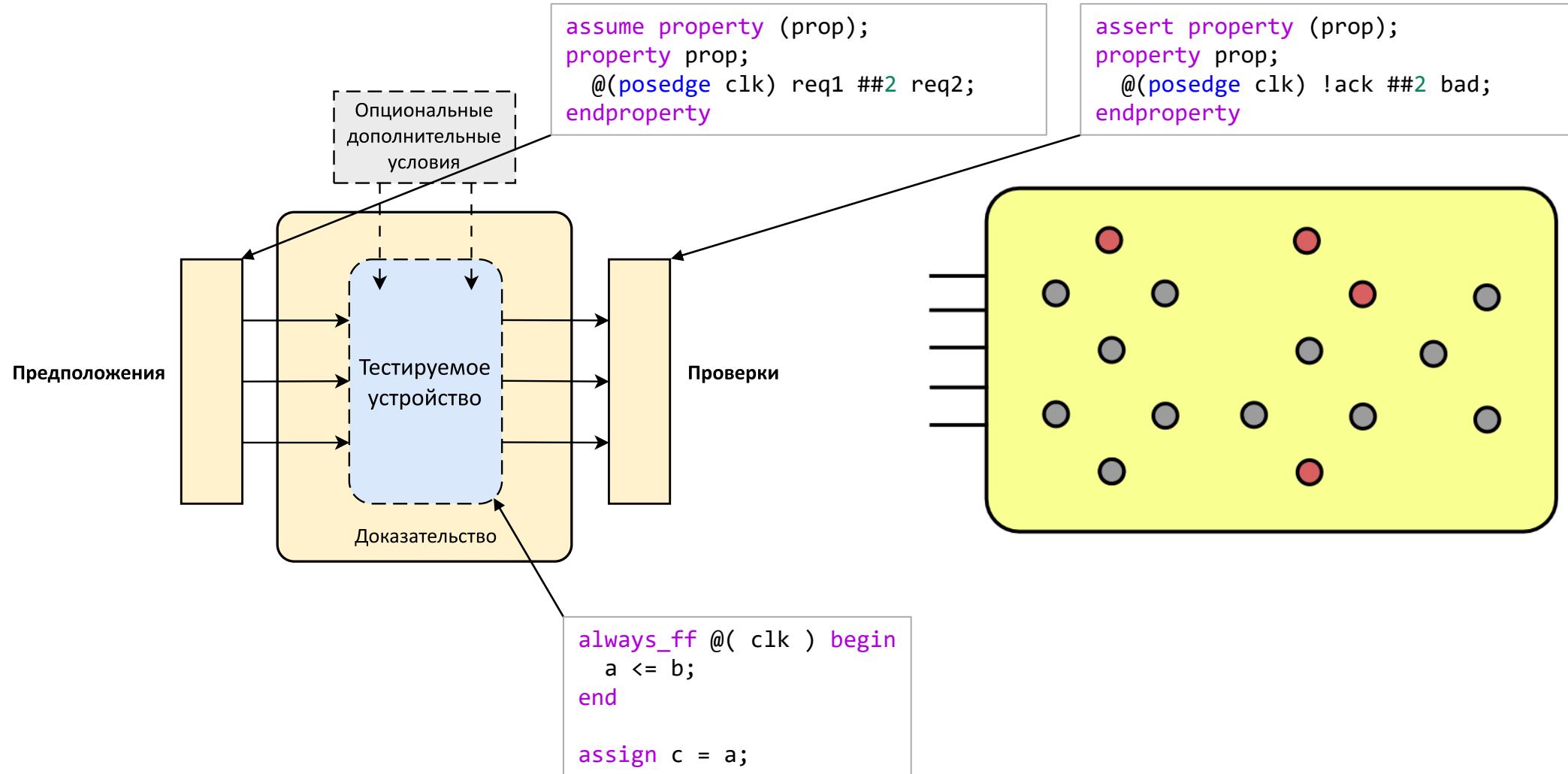
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



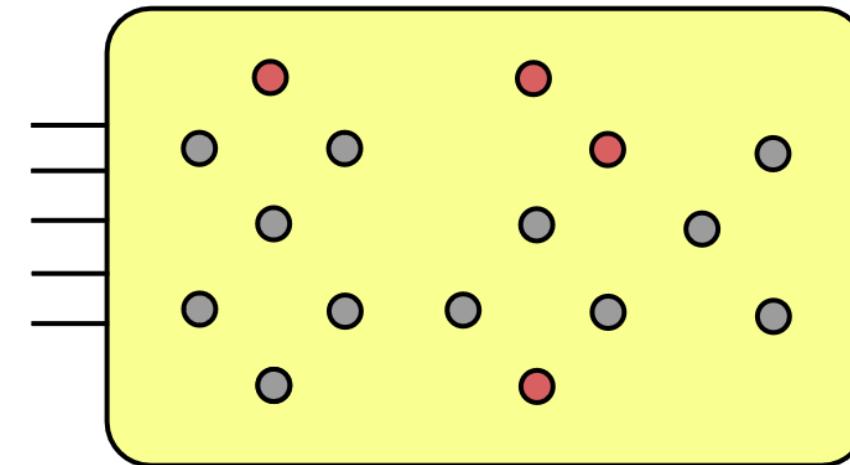
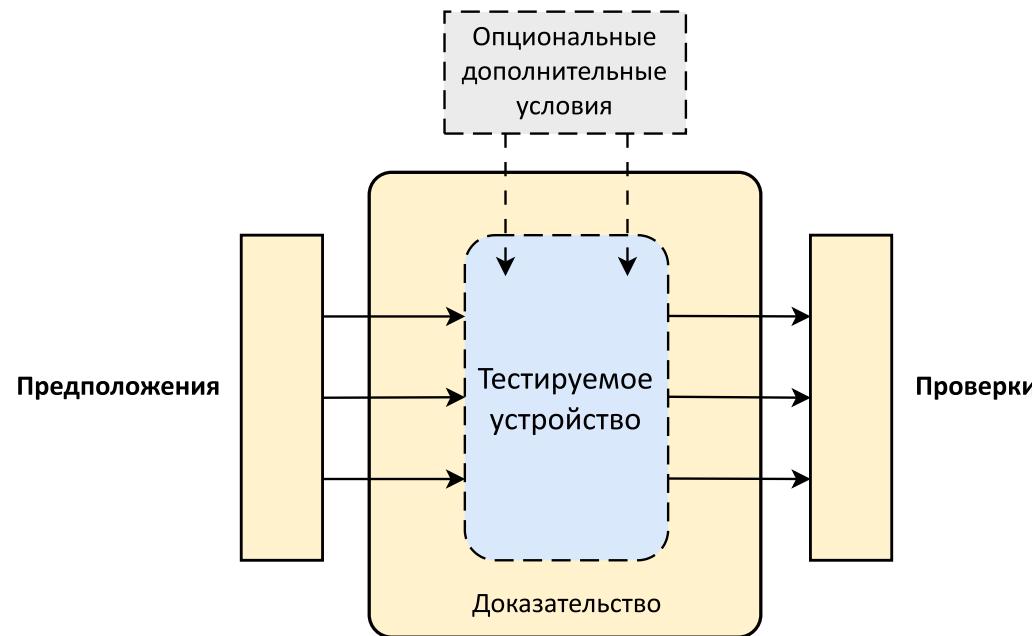
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



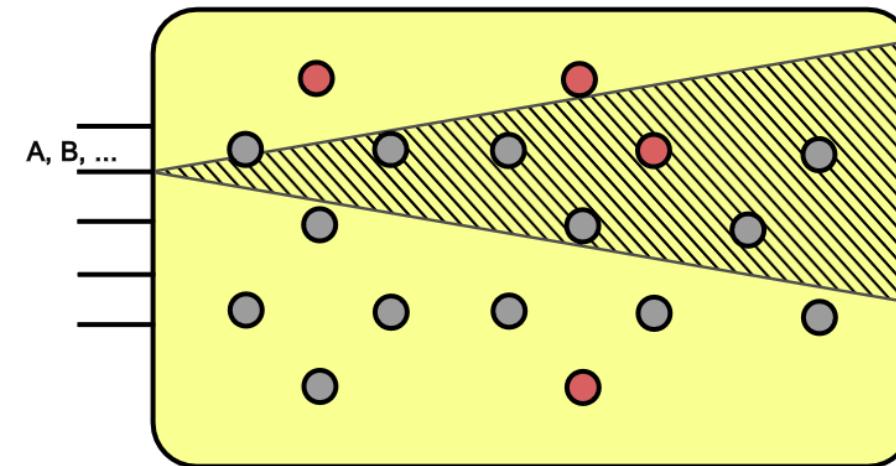
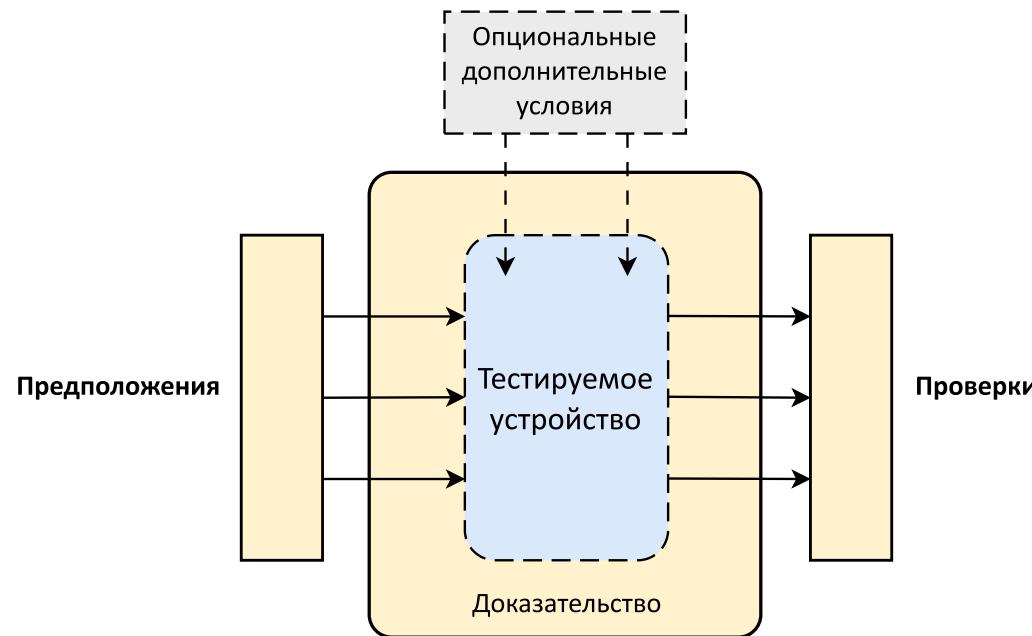
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



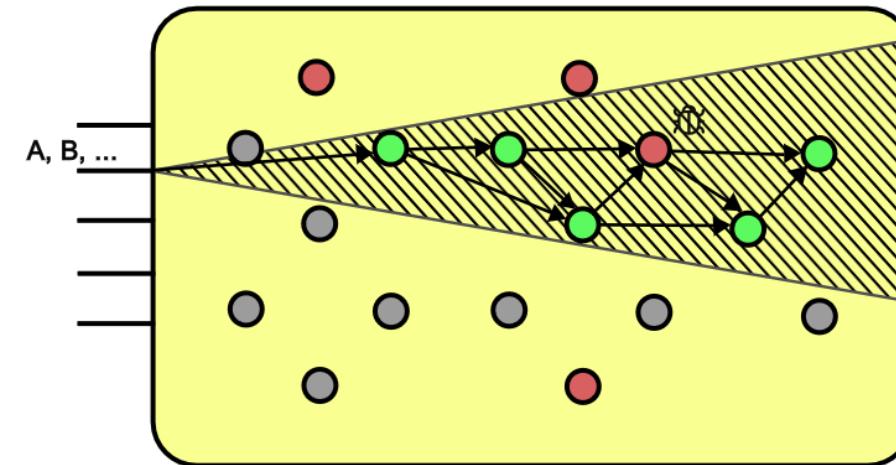
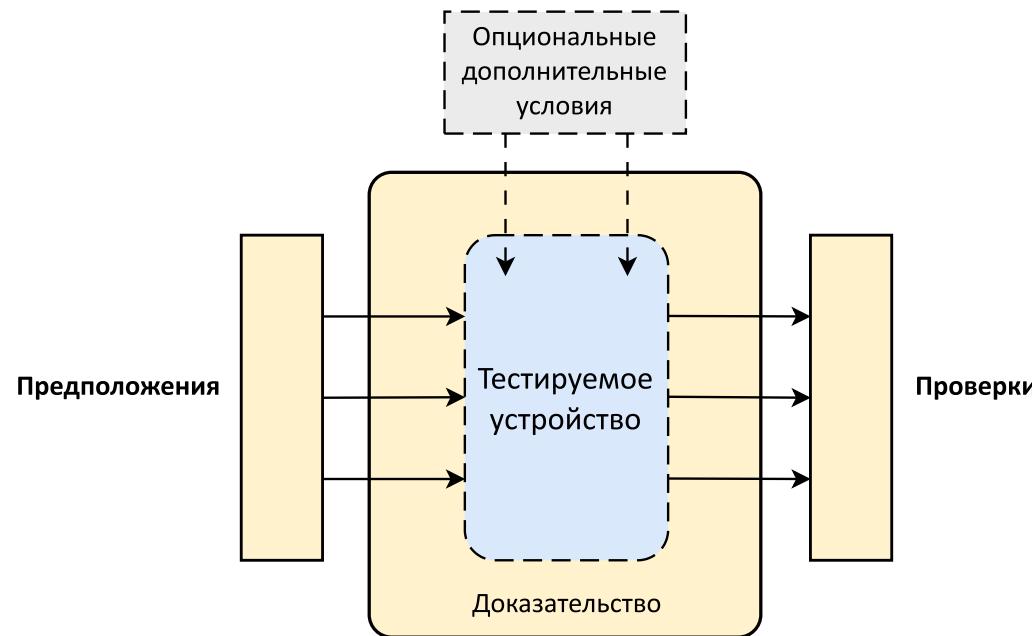
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



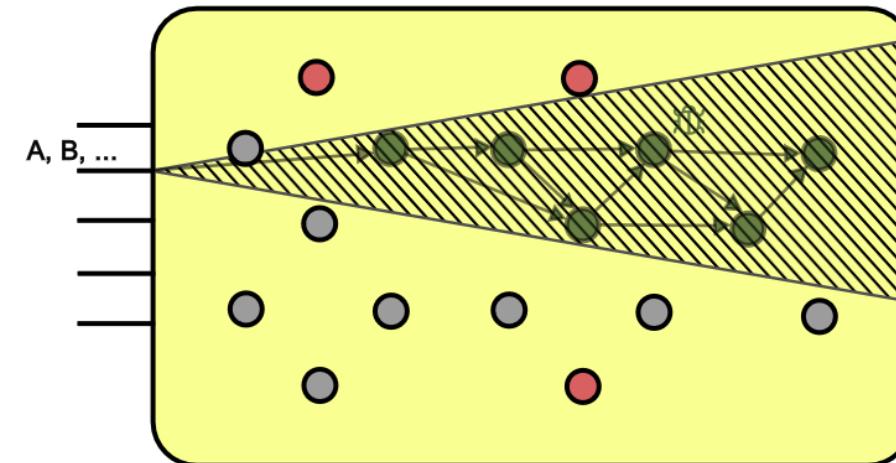
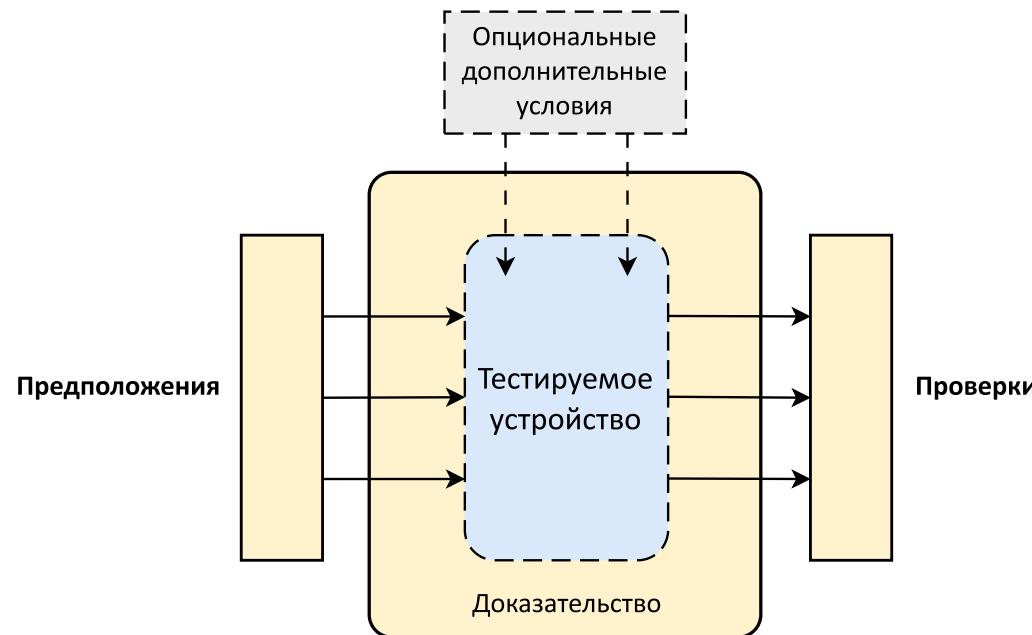
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



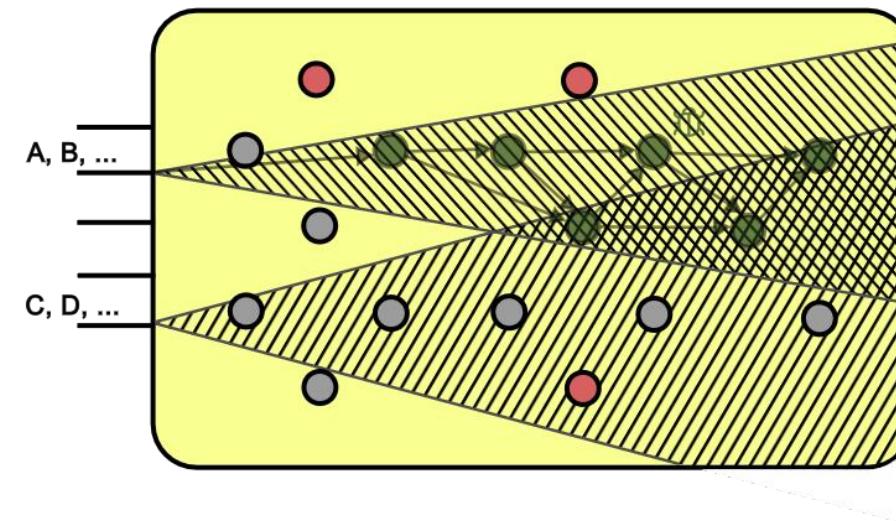
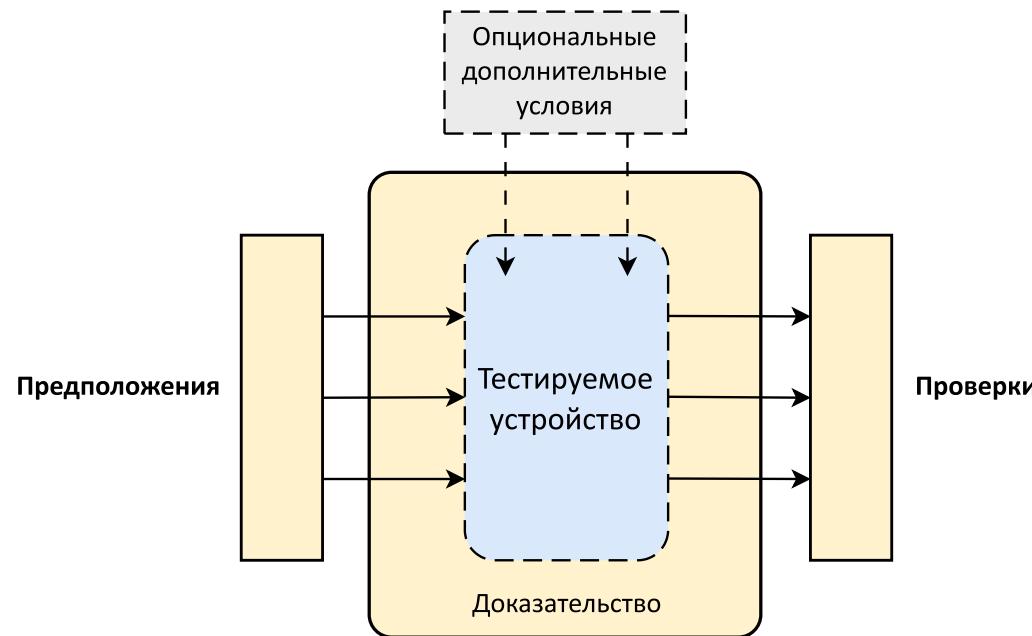
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



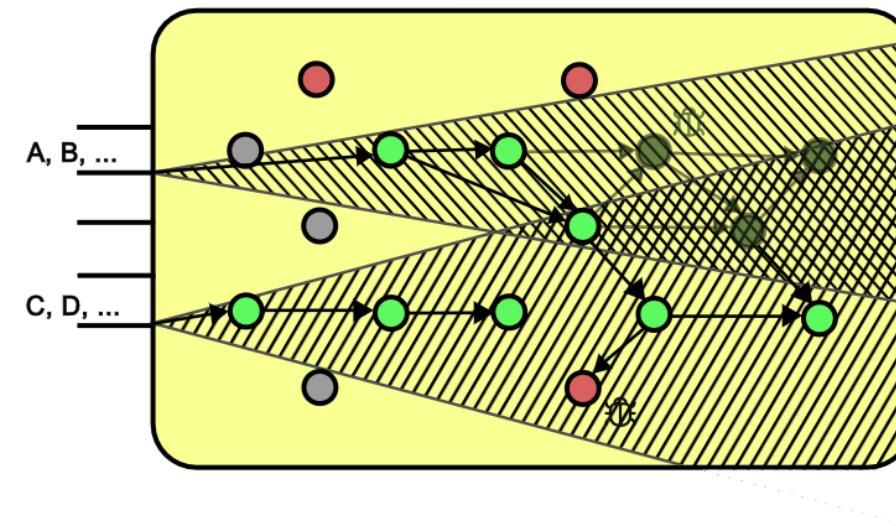
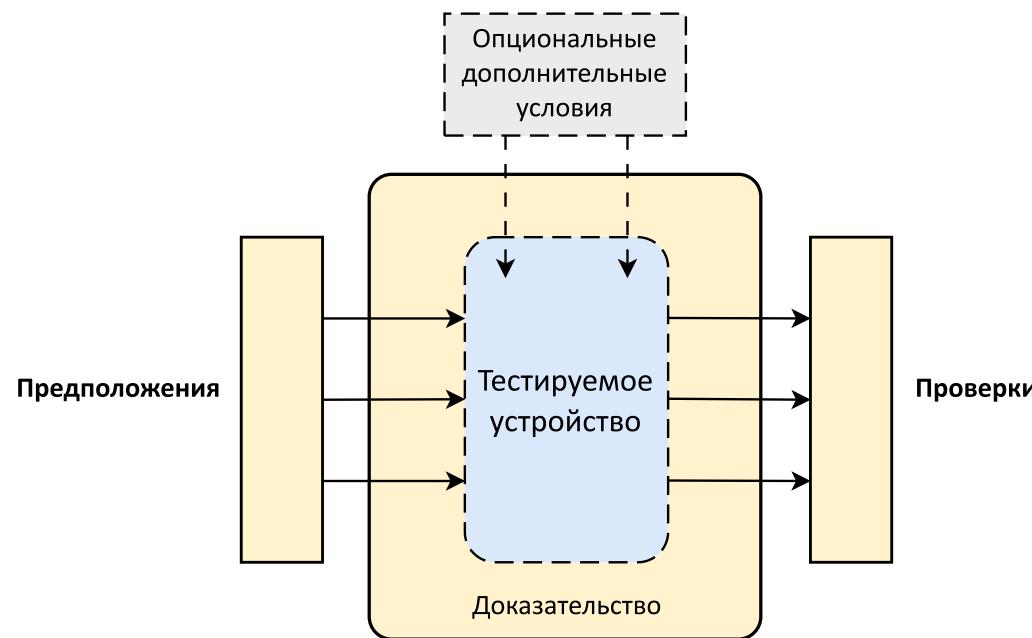
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



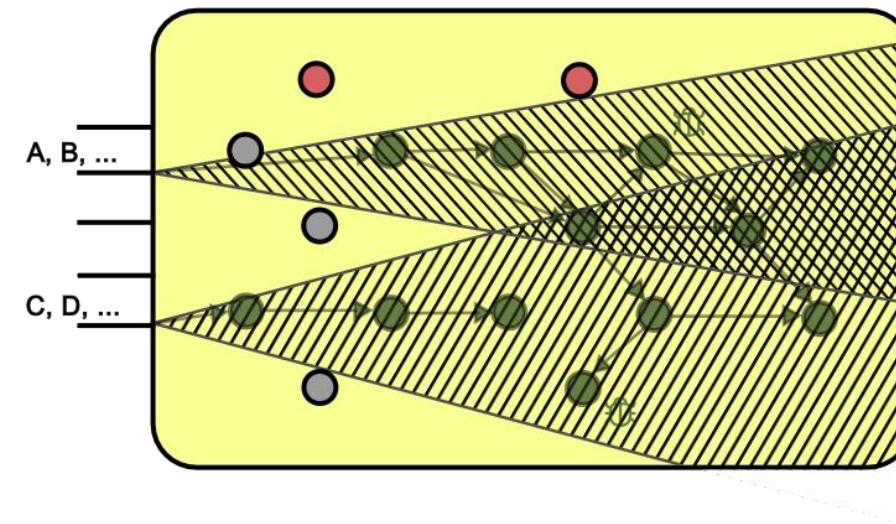
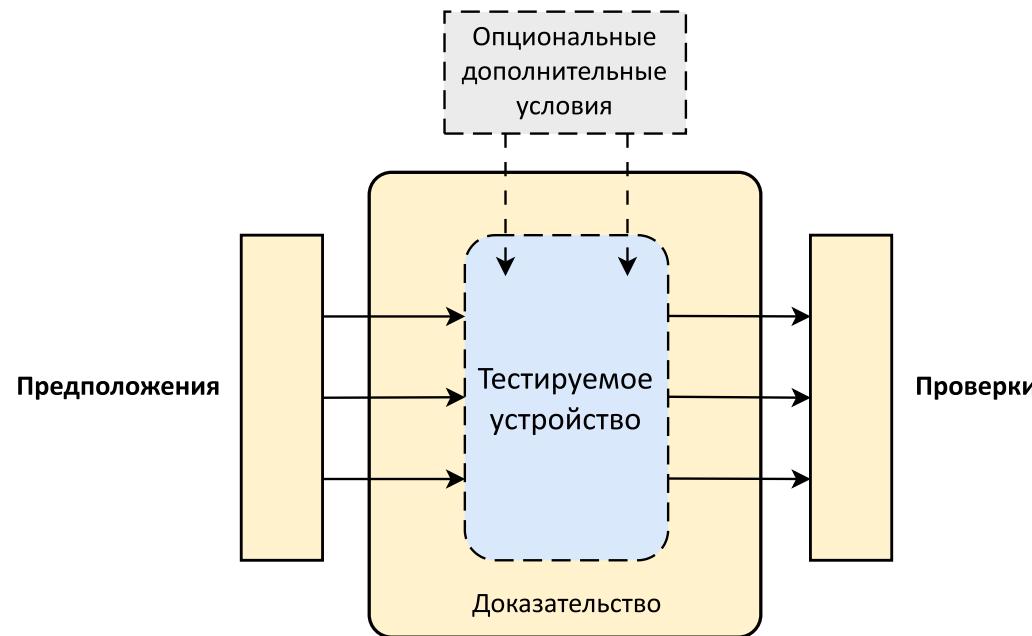
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



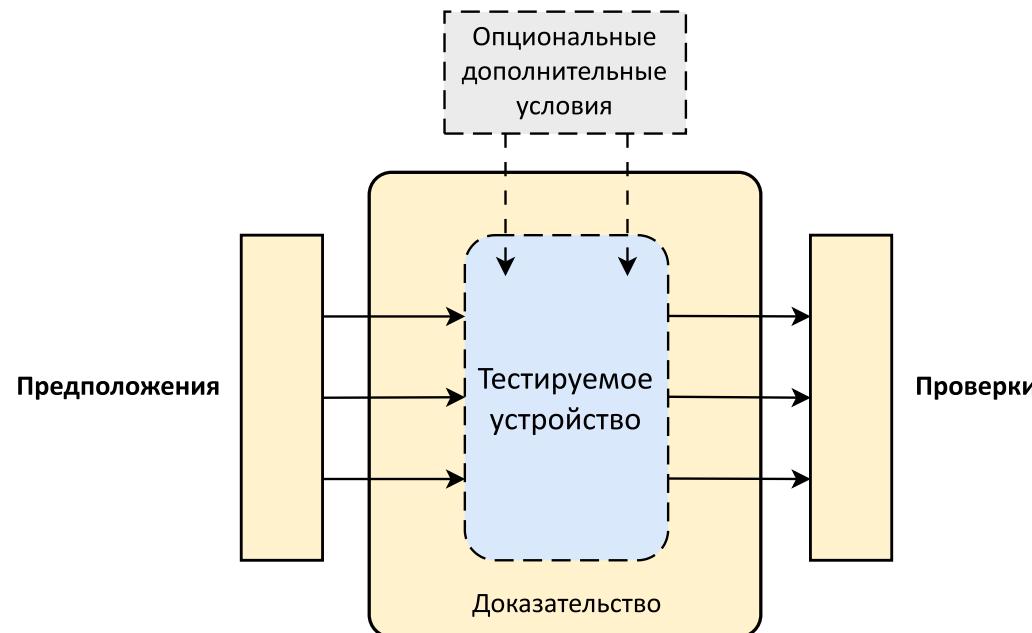
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



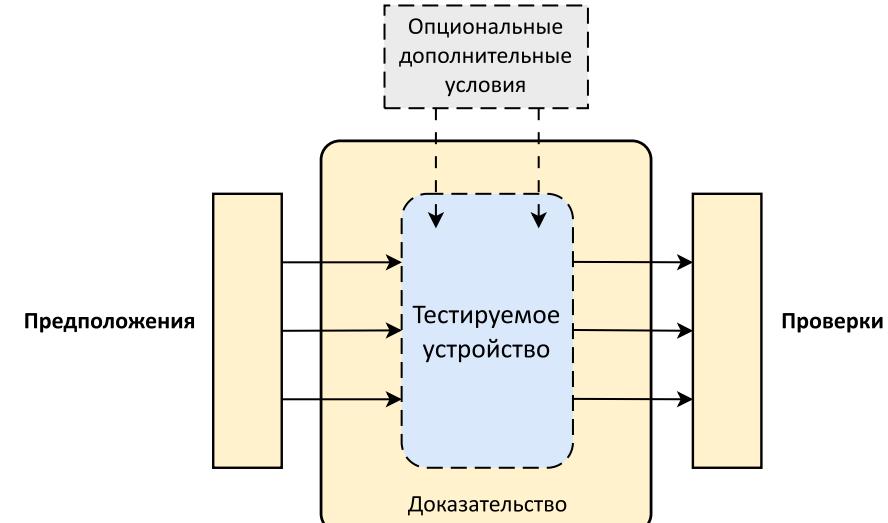
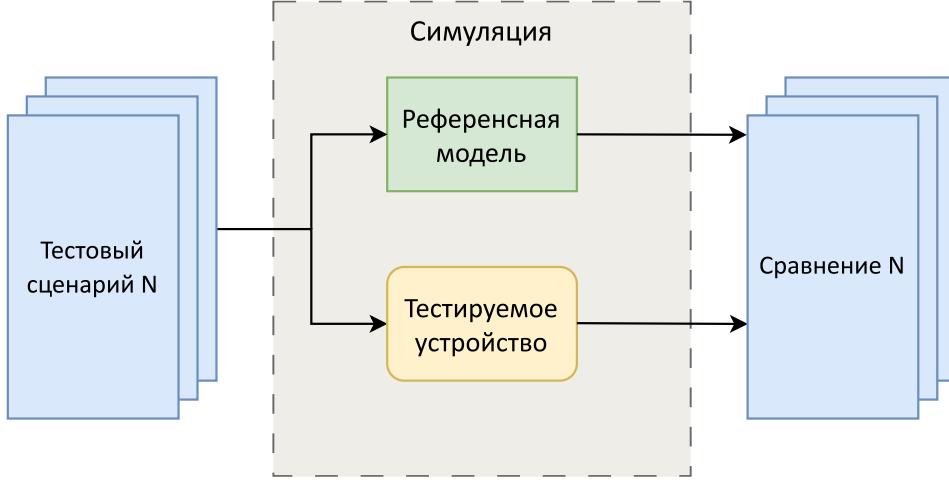
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция

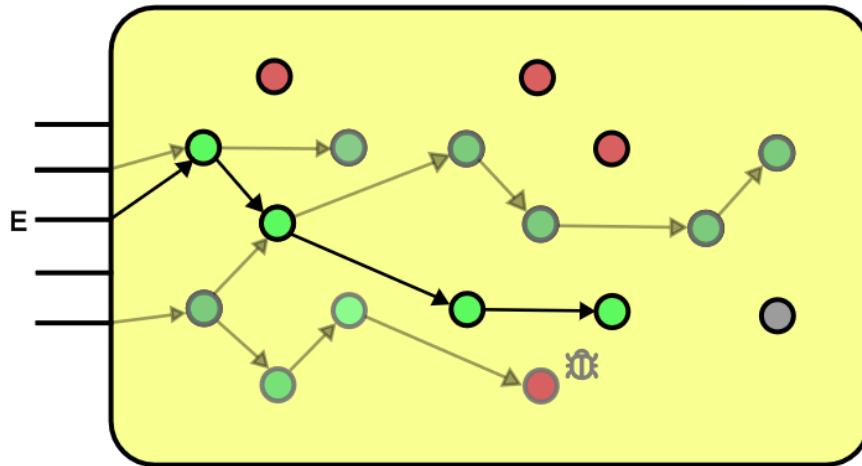


Симуляция

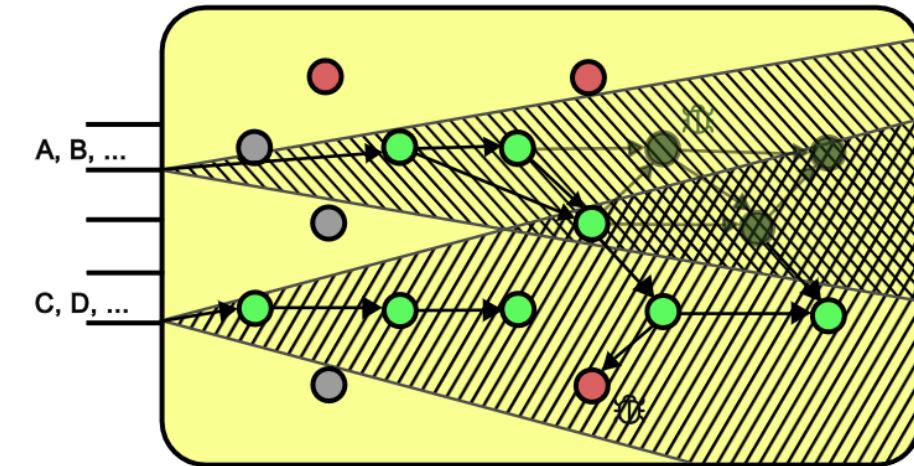
Формальная верификация

Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



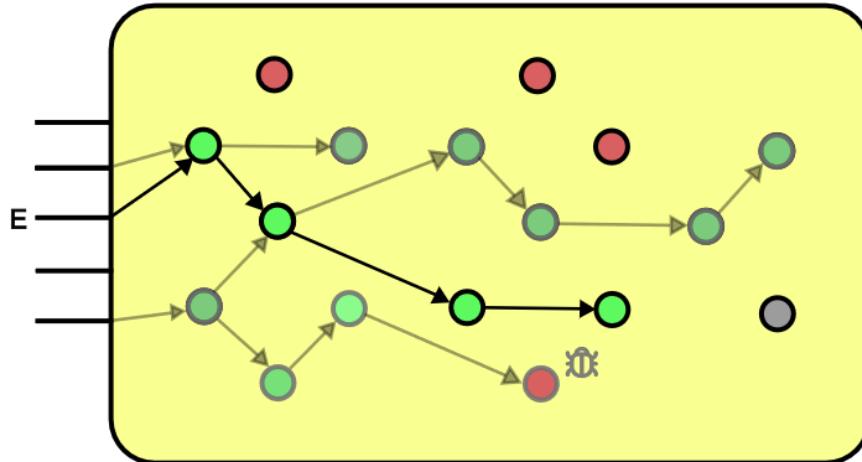
Симуляция



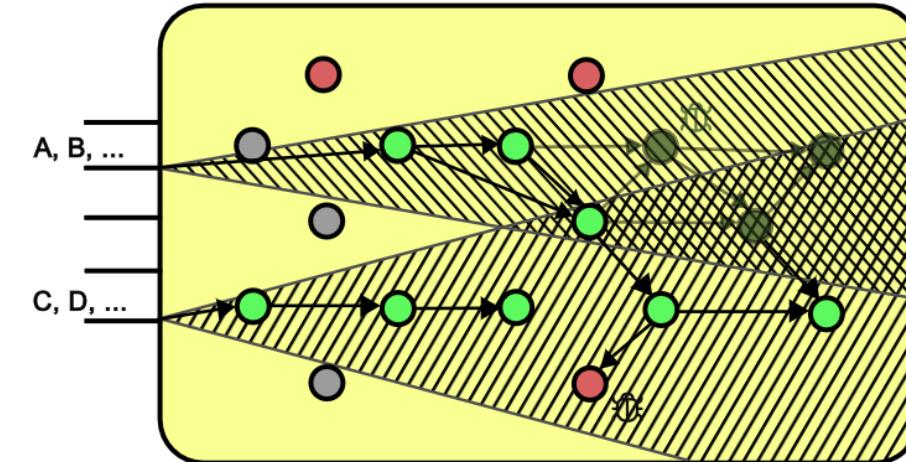
Формальная верификация

Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



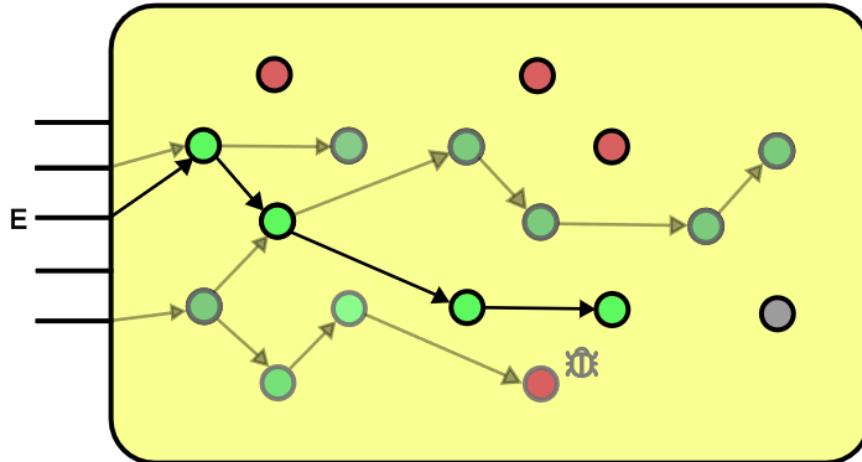
Симуляция



Формальная верификация

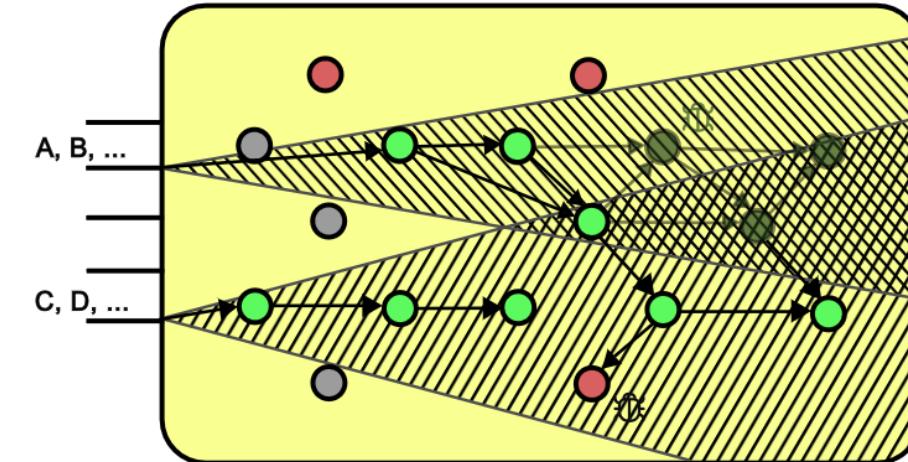
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



Симуляция

Инженер



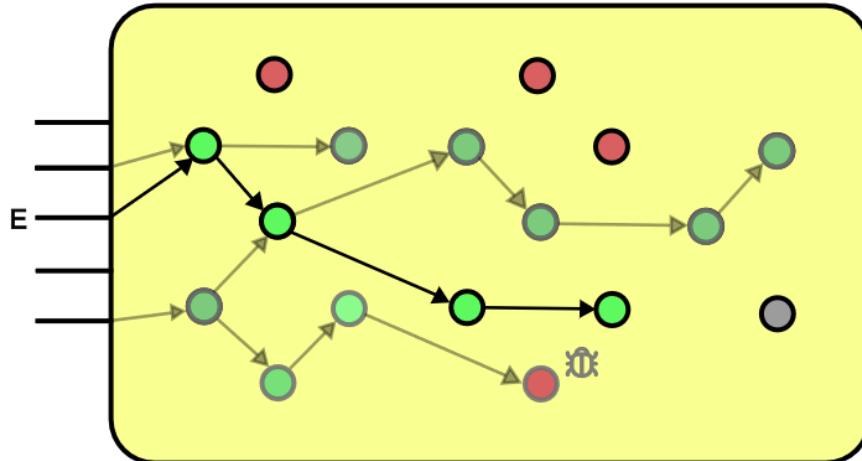
Формальная верификация

Воздействия

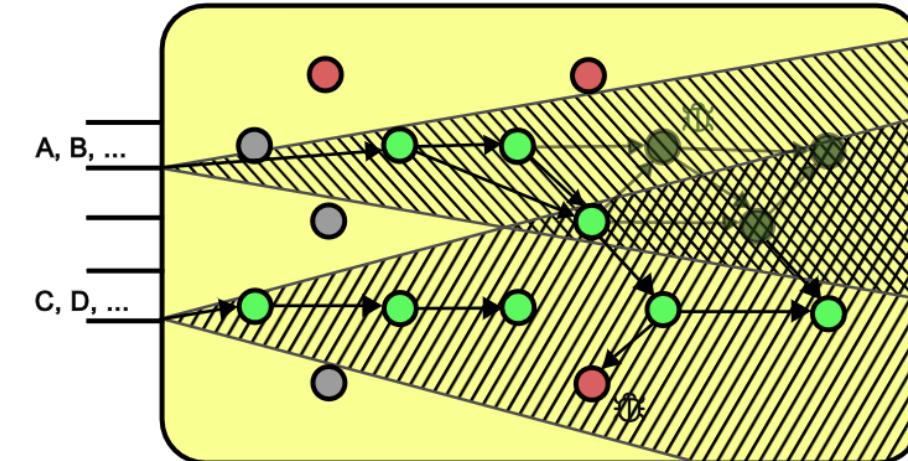
ПО

Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



Симуляция



Формальная верификация

Инженер

Воздействия

ПО

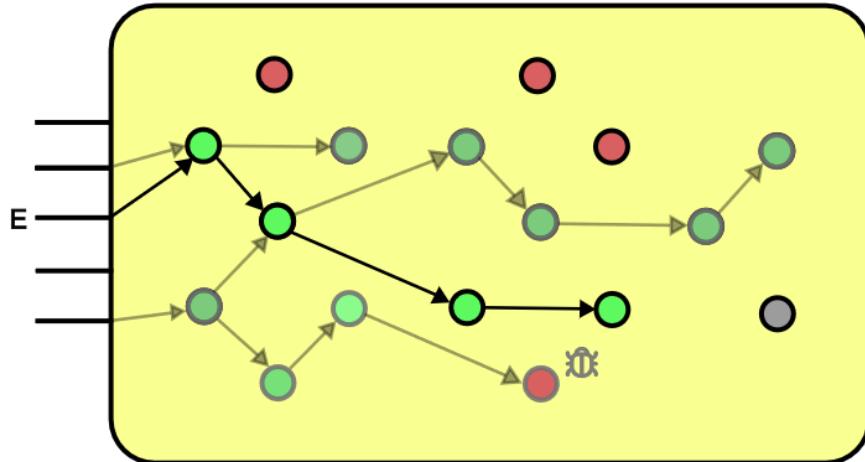
Быстрее

Скорость резвёртывания

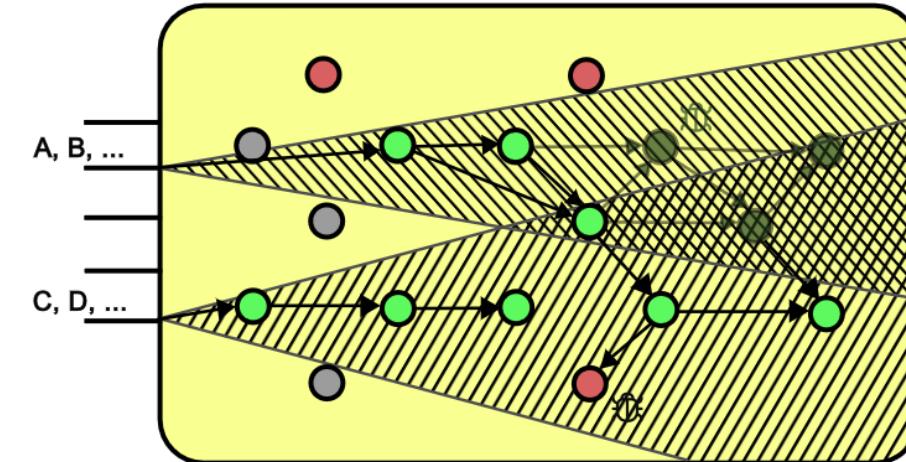
Медленнее

Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



Симуляция



Формальная верификация

Инженер

Воздействия

ПО

Быстрее

Скорость резвёртывания

Медленнее

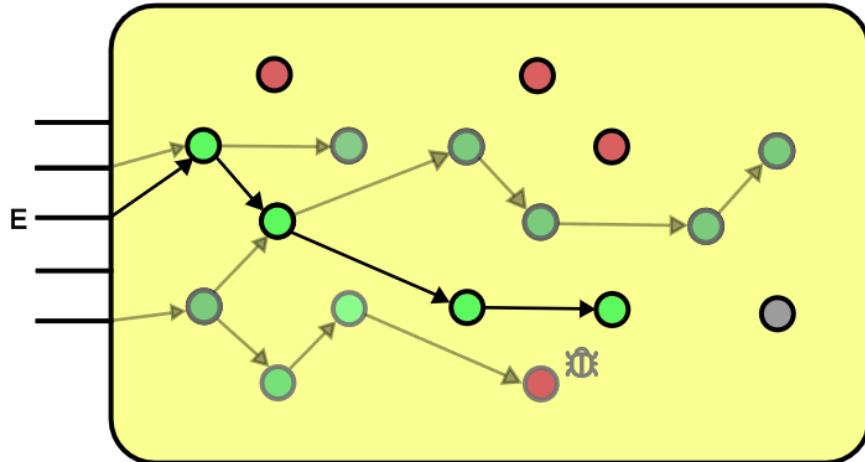
Меньше

Потенциальная надежность

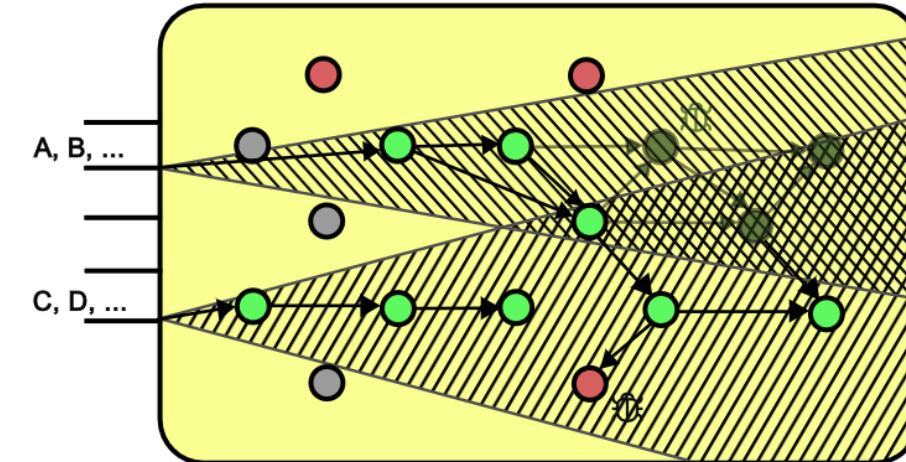
Больше

Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



Симуляция



Формальная верификация

Инженер

Воздействия

ПО

Быстрее

Скорость резвёртывания

Медленнее

Меньше

Потенциальная надежность

Больше

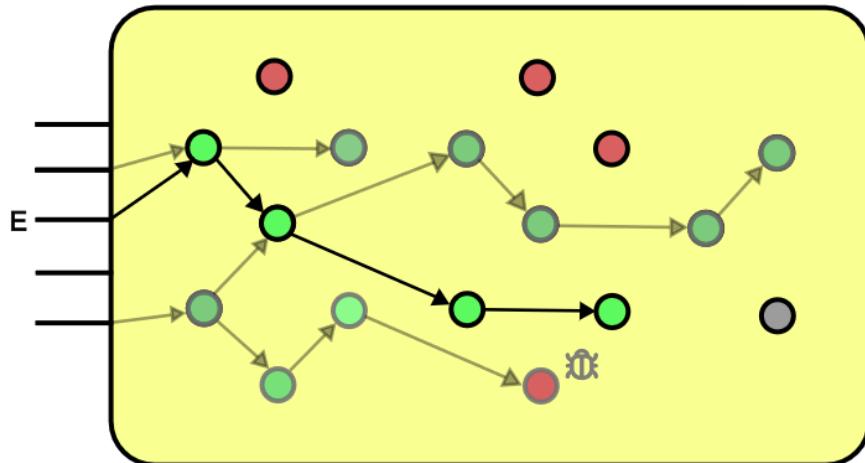
Больше

Доступность

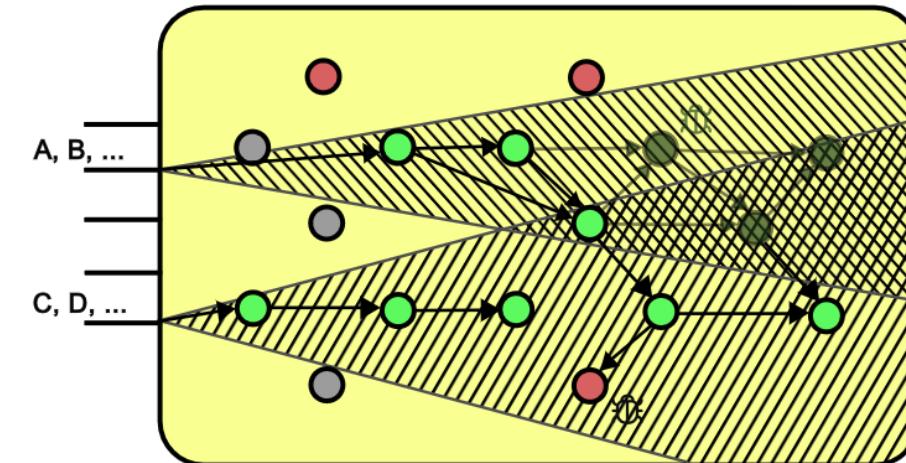
Меньше

Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



Симуляция



Формальная верификация

Инженер

Воздействия

ПО

Быстрее

Скорость резвёртывания

Медленнее

Меньше

Потенциальная надежность

Больше

Больше

Доступность

Меньше

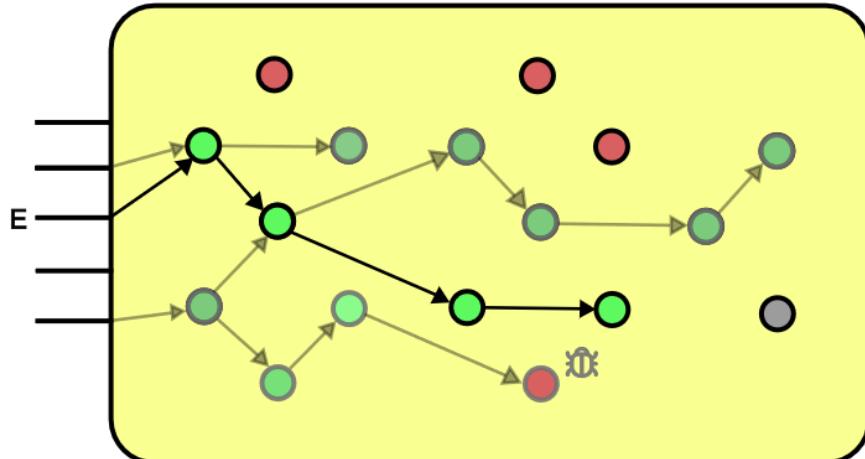
Зависит от размера дизайна

Скорость

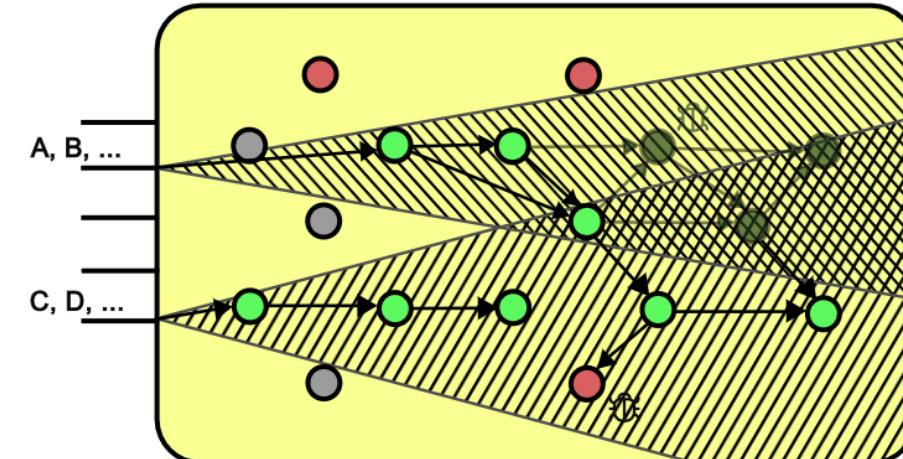
Зависит от размера дизайна

Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



Симуляция



Формальная верификация

Инженер

Воздействия

ПО

Быстрее

Скорость резвёртывания

Медленнее

Меньше

Потенциальная надежность

Больше

Больше

Доступность

Меньше

Зависит от размера дизайна

Скорость

Зависит от размера дизайна

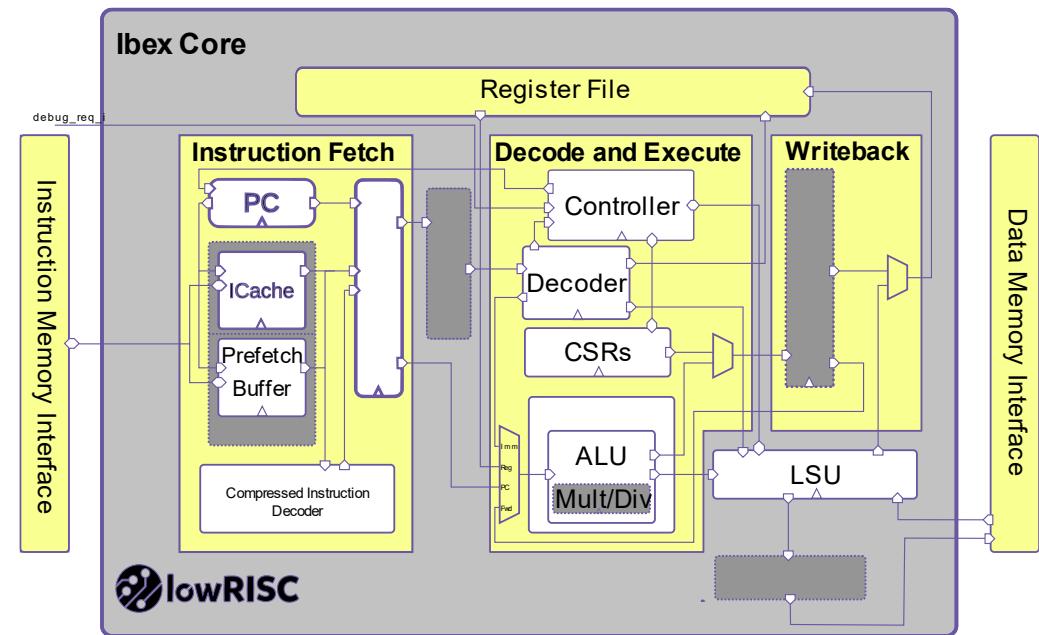
Всегда

Воз-ть применения

Зависит от размера дизайна

Типы верификации их применимость для RISC-V ядер

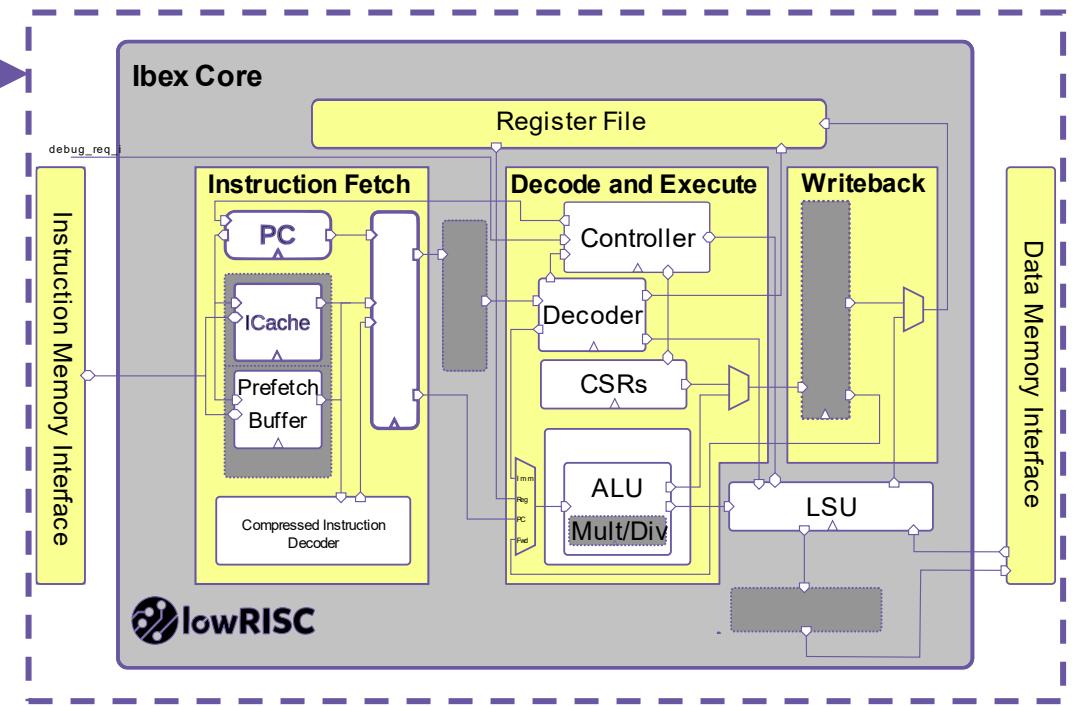
Формальная верификация и симуляция



Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция

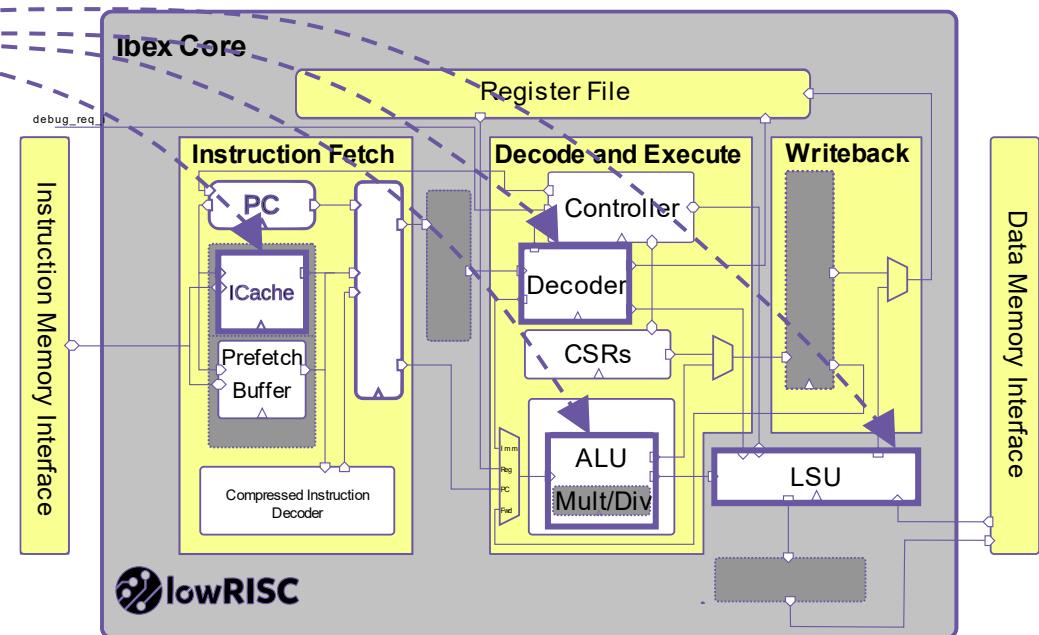
- Для верификации целого ядра используется симуляция.
- Генераторы случайных инструкций.
- Высокие уровни абстракции: ООП, UVM.
- Сбор функционального покрытия.
- Сбор покрытия кода.
- Тестовые регрессии.



Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция

- Для верификации отдельных блоков используется формальная верификация.
- Симуляция тоже используется.
- Все зависит от сложности дизайна.
- Для верификации "критических" блоков – формальная верификация.



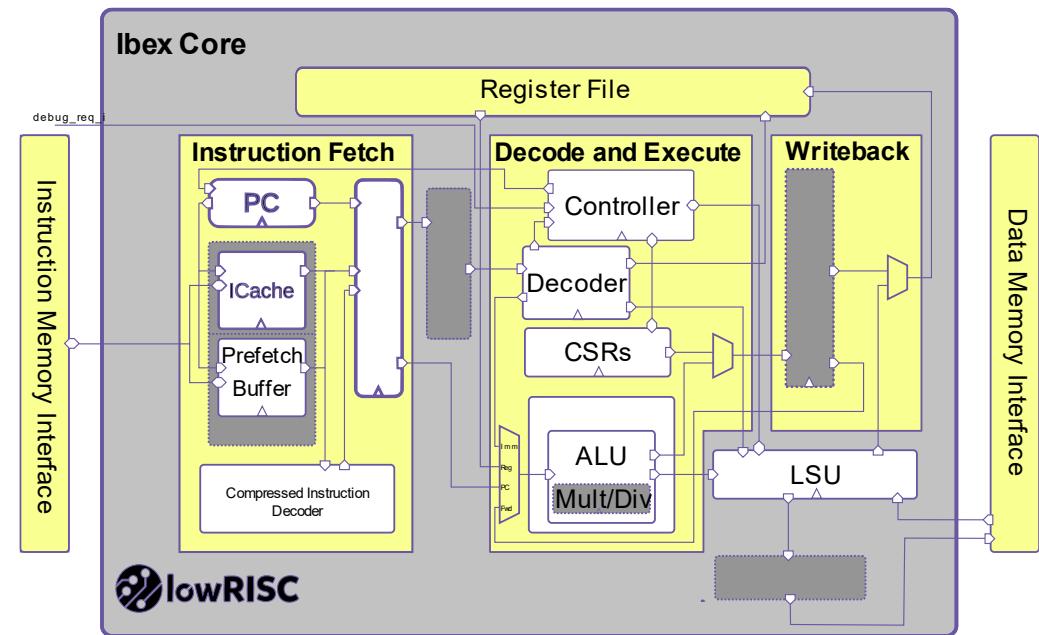
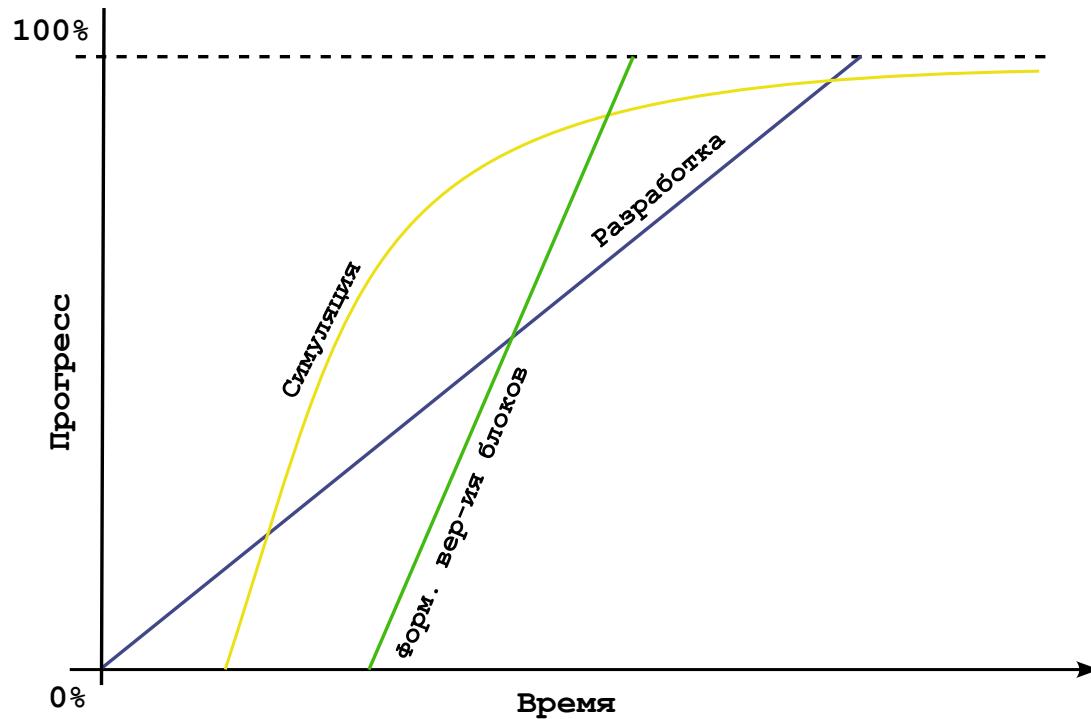
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция

- Существуют примеры формальной верификации целых ядер, однако такой подход все не является типичным для индустрии в настоящее время.
- Используется интерфейс RVFI.
 - Formal Verification of RISC-V cores with riscv-formal, Clifford Wolf
 - github.com/SymbioticEDA/riscv-formal/tree/master/cores/picorv32

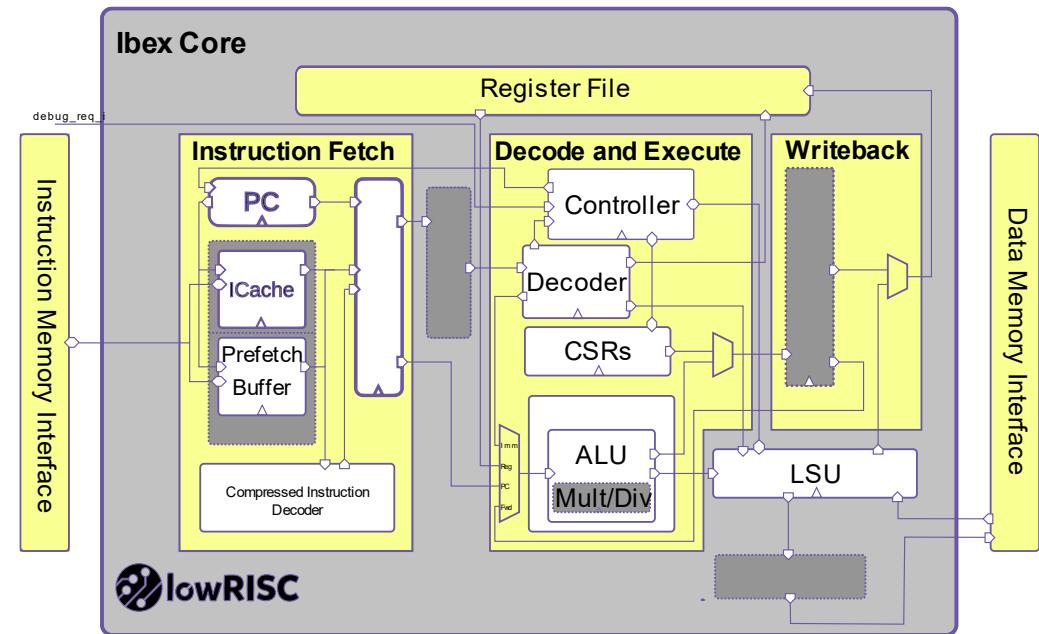
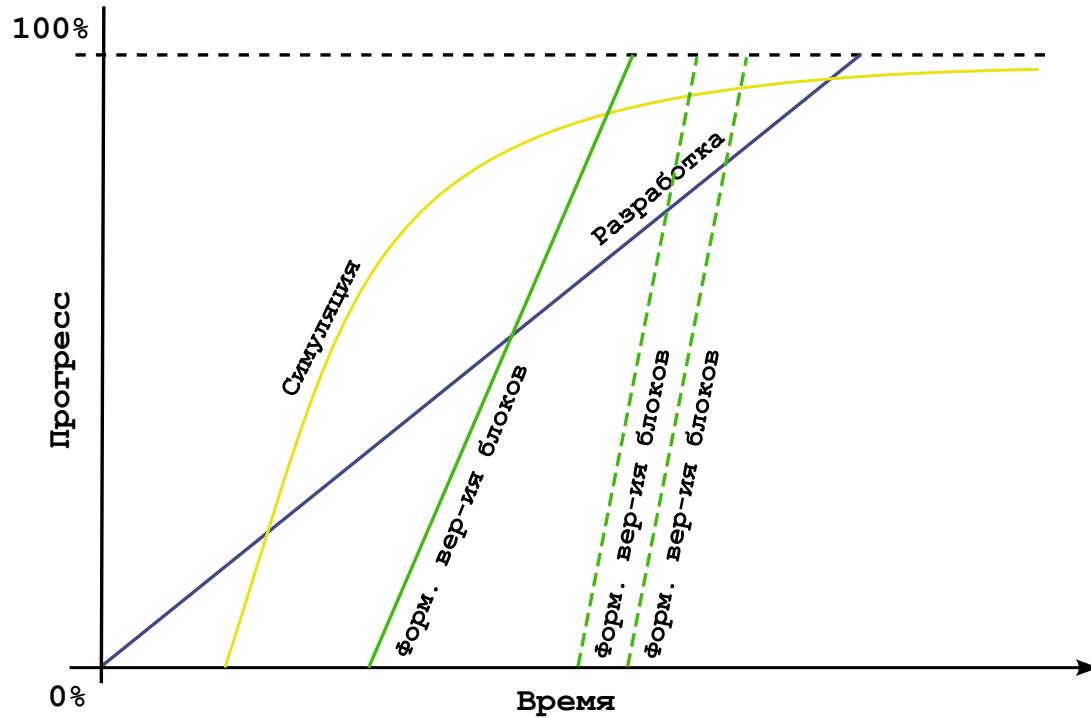
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



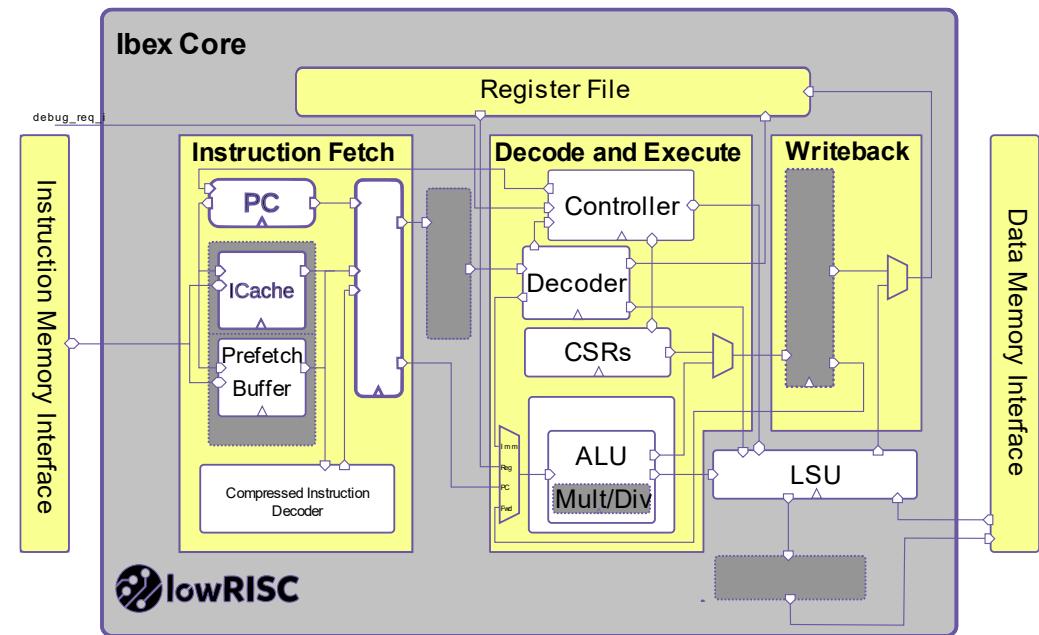
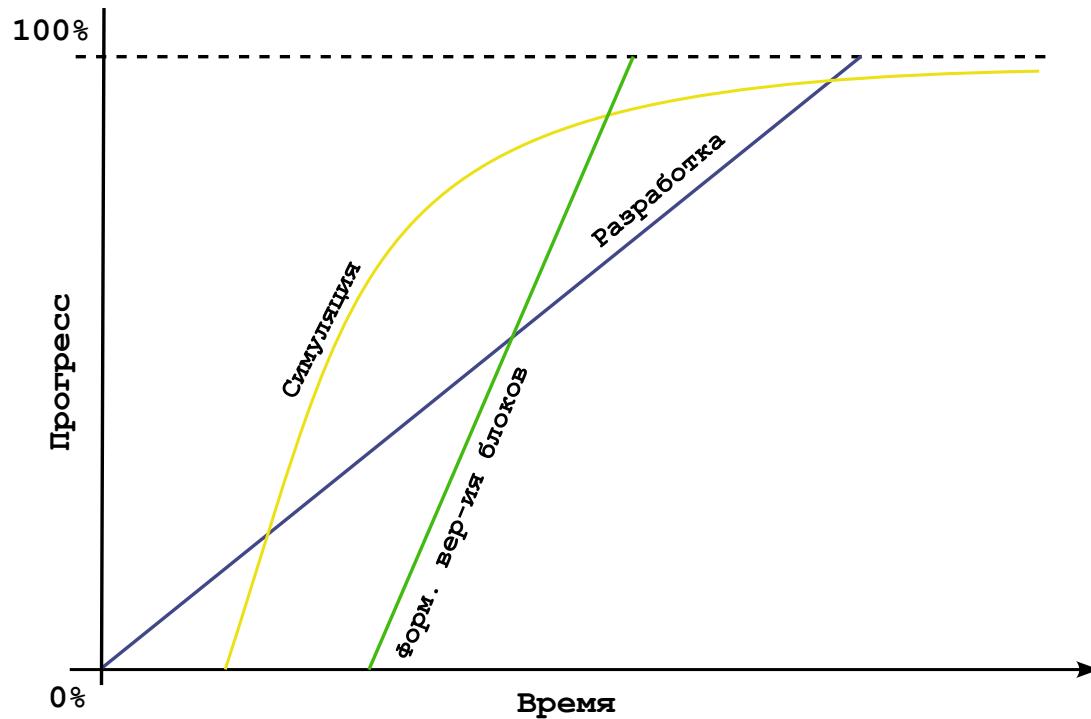
Типы верификации и их применимость для RISC-V ядер

Формальная верификация и симуляция



Типы верификации их применимость для RISC-V ядер

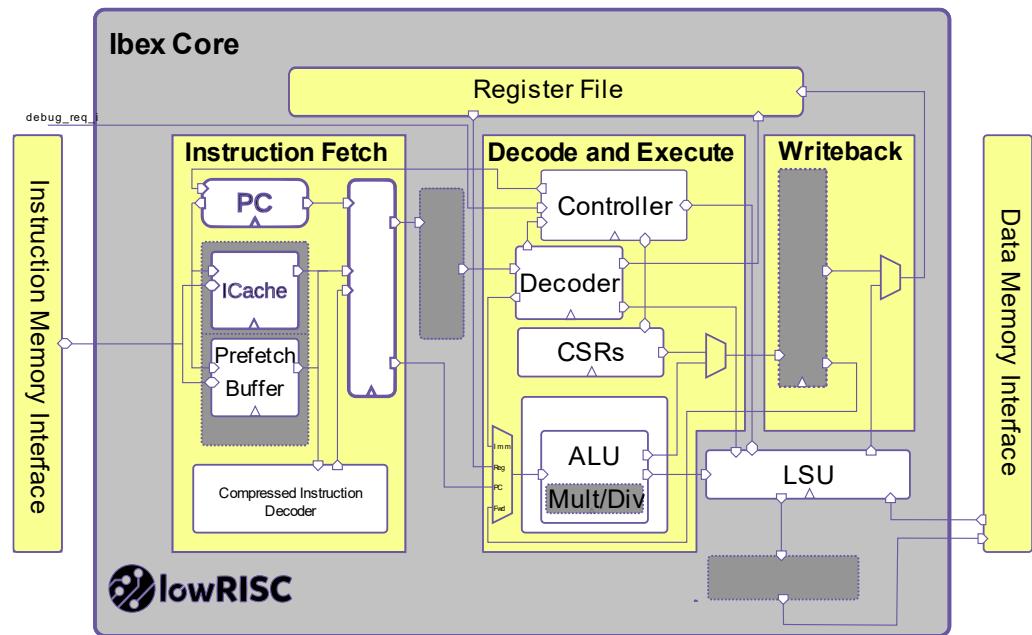
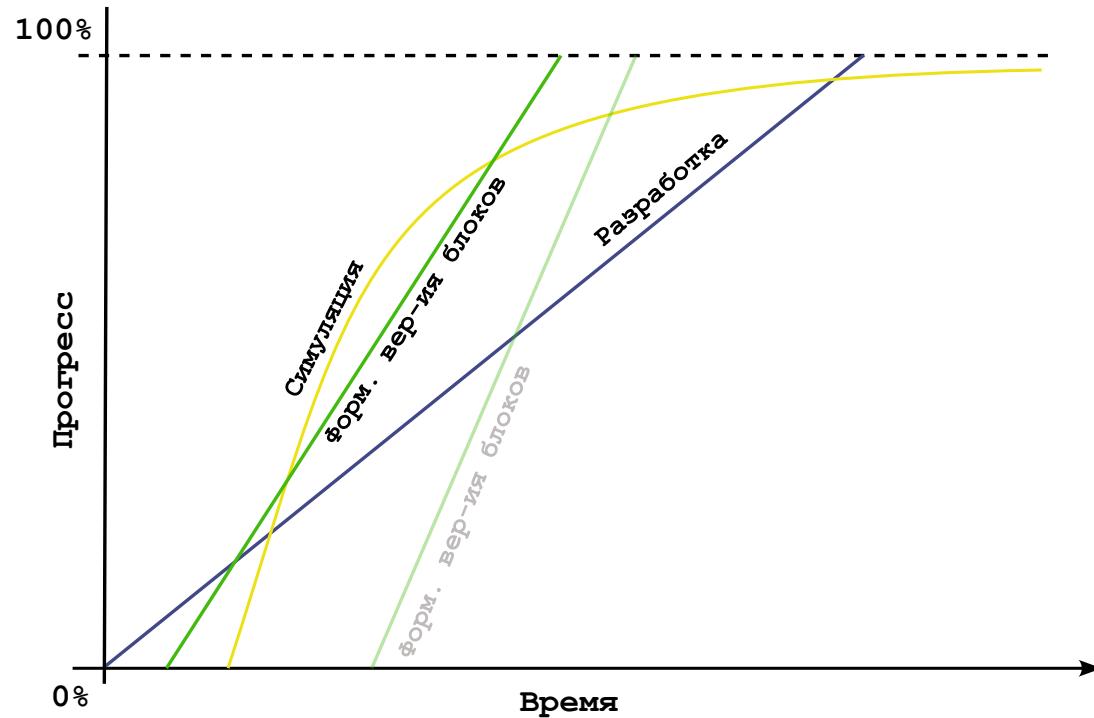
Формальная верификация и симуляция



RTL:Assertions:Coverage – 1:0:0

Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция

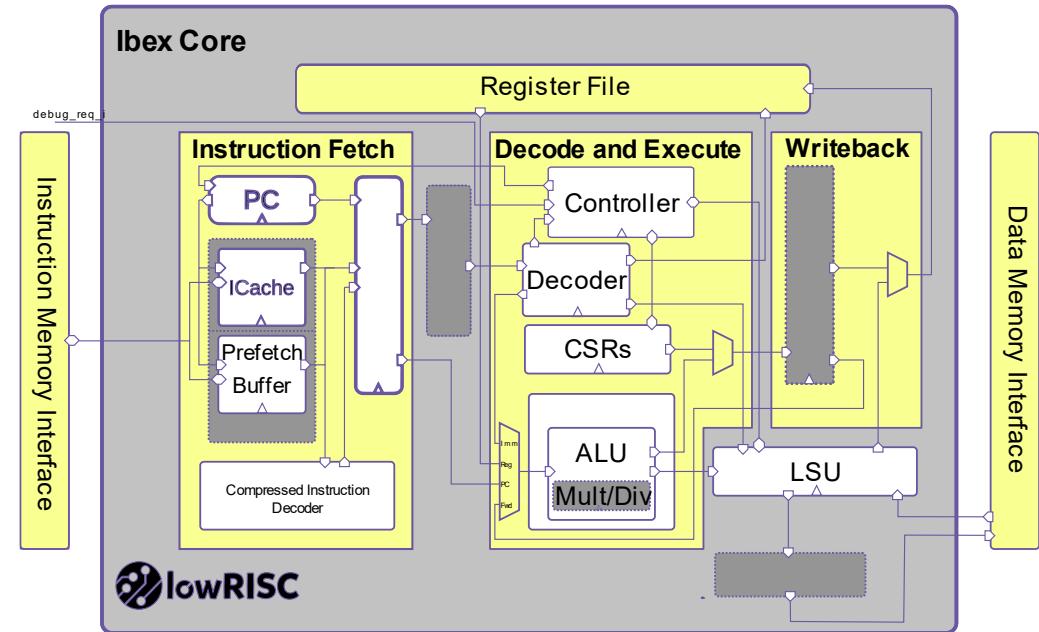
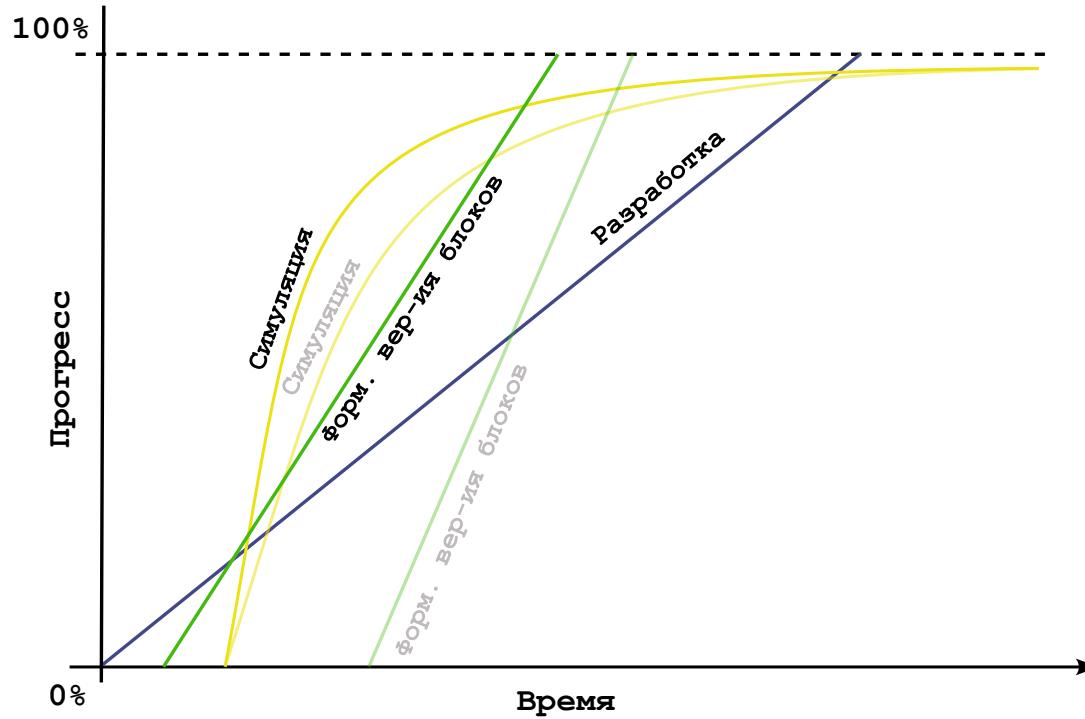


RTL:Assertions:Coverage – 1:0:0

RTL:Assertions:Coverage – 1:1:1

Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



RTL:Assertions:Coverage – 1:0:0

RTL:Assertions:Coverage – 1:1:1

Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция

RTL:Assertions:Coverage – 1:1:1

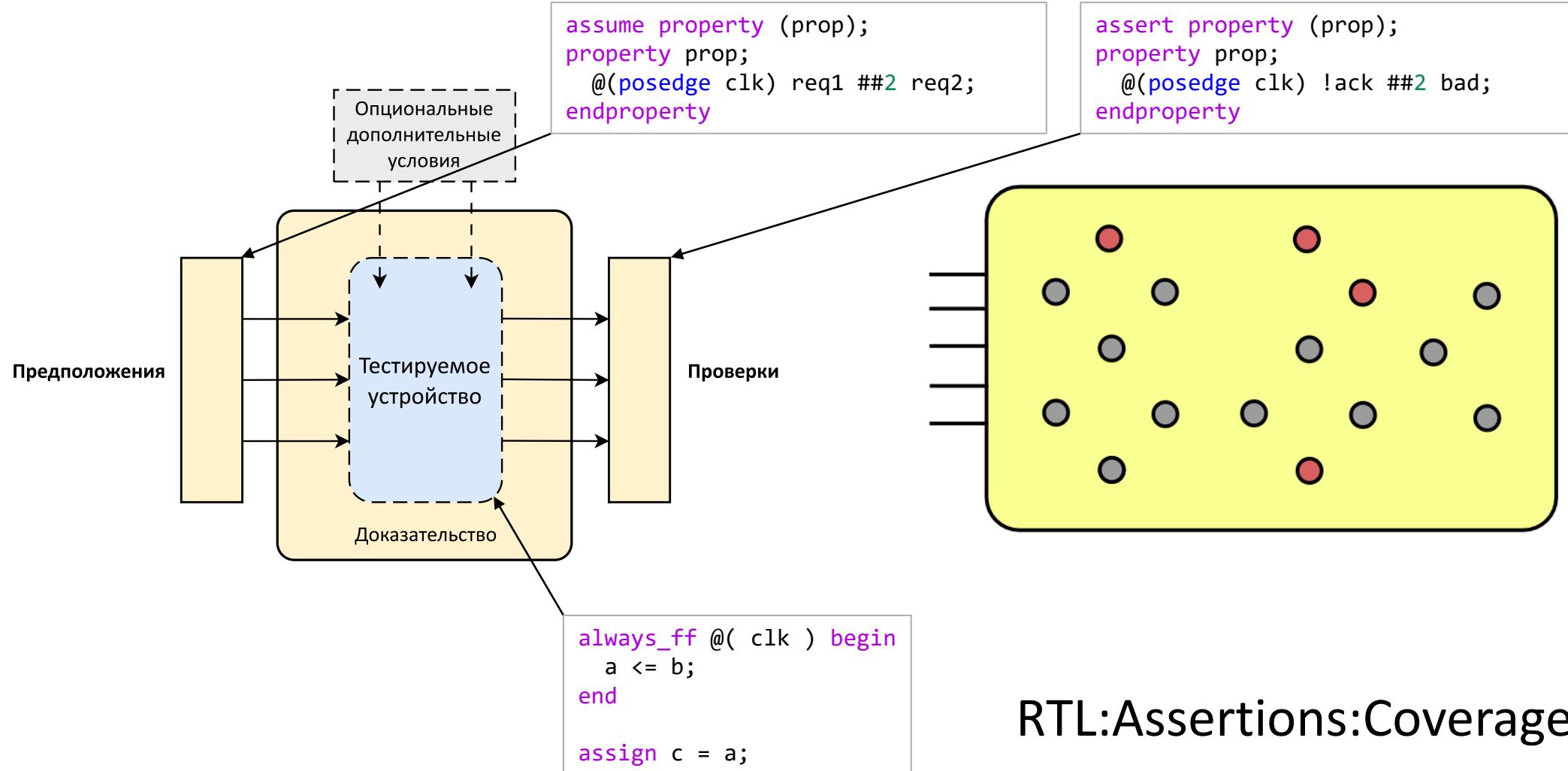
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция

RTL:Assertions:Coverage – 1:1:1

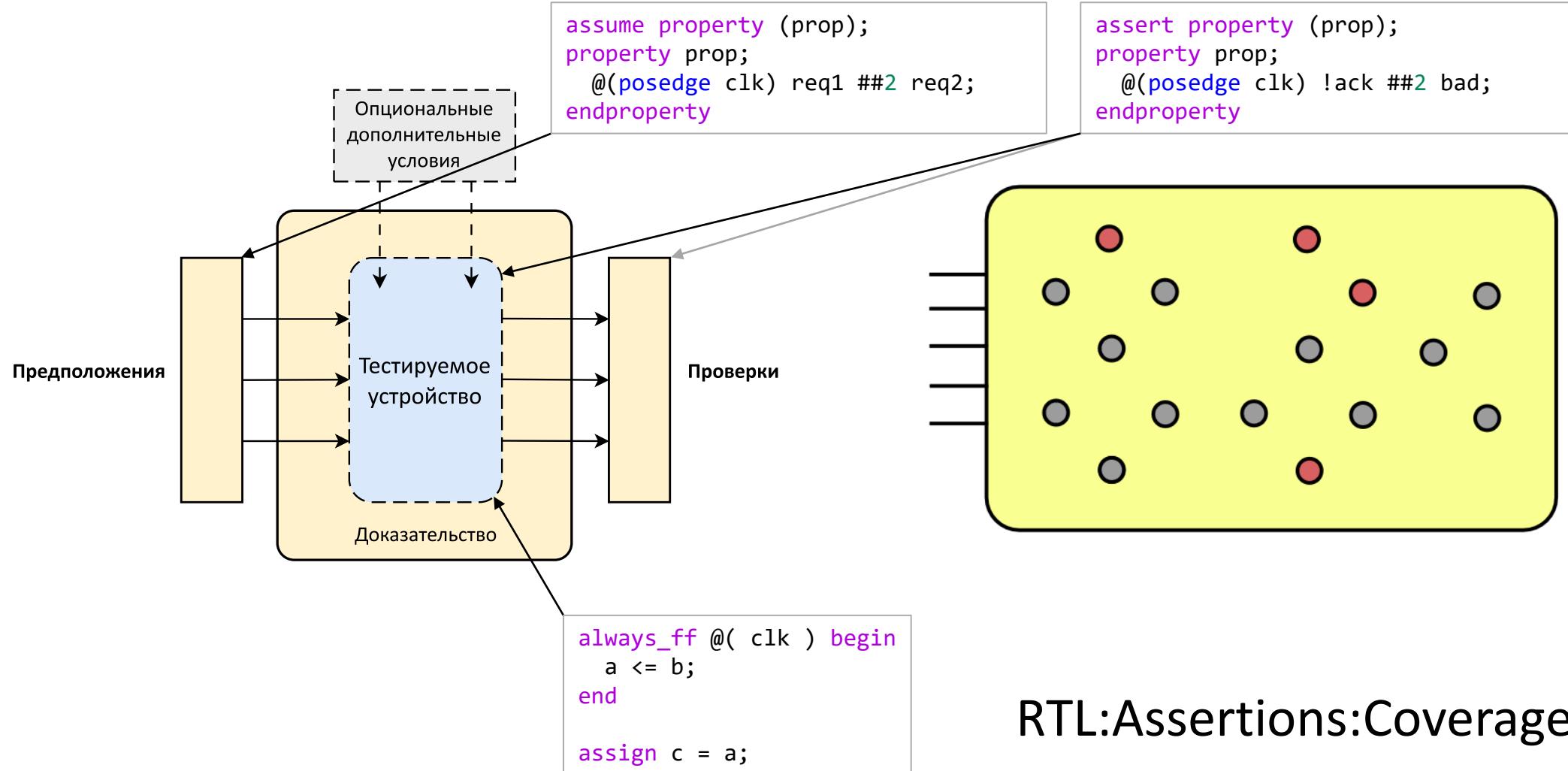
Типы верификации их применимость для RISC-V ядер

Формальная верификация и симуляция



Типы верификации их применимость для RISC-V ядер

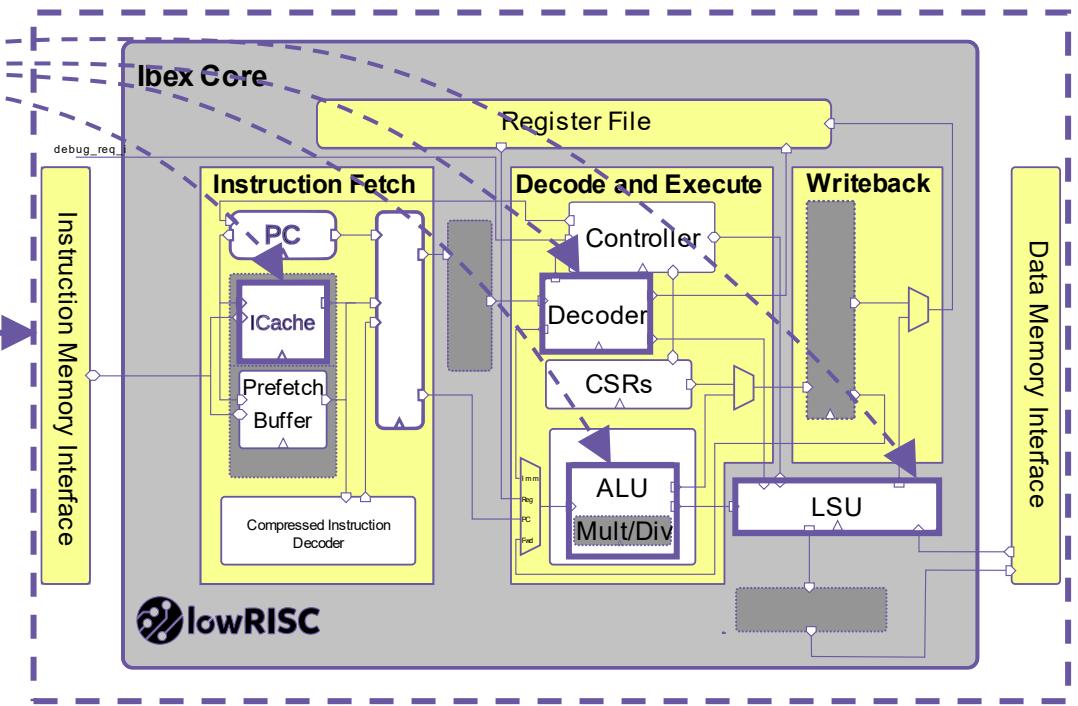
Формальная верификация и симуляция



Верификация на основе симуляции и ее типы

Формальная верификация и симуляция

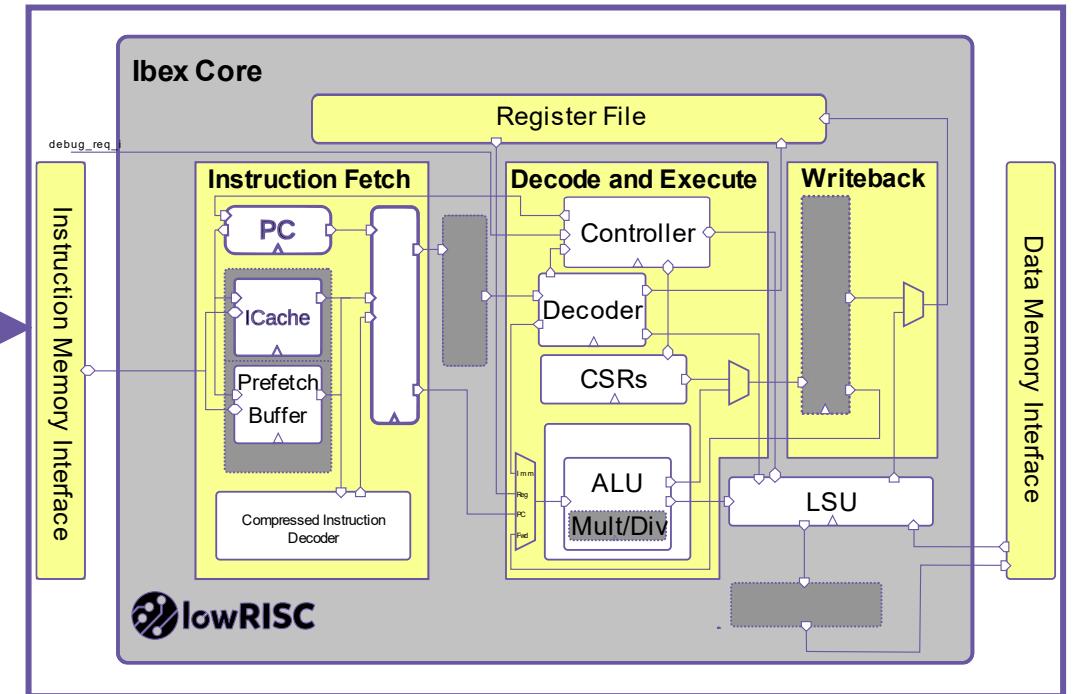
- Для верификации отдельных блоков используется формальная верификация.
- Для верификации целого ядра используется симуляция.



Верификация на основе симуляции и ее типы

Симуляция – основа

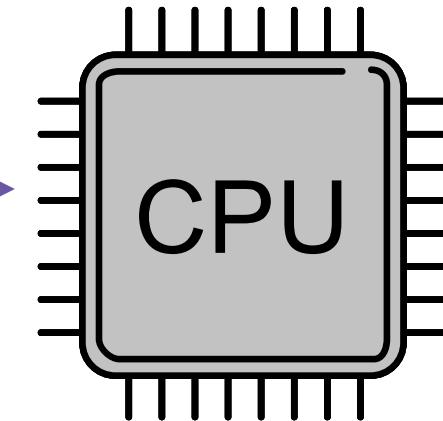
- Для верификации целого ядра используется симуляция.



Верификация на основе симуляции и ее типы

Симуляция – основа

- Для верификации целого ядра используется симуляция.

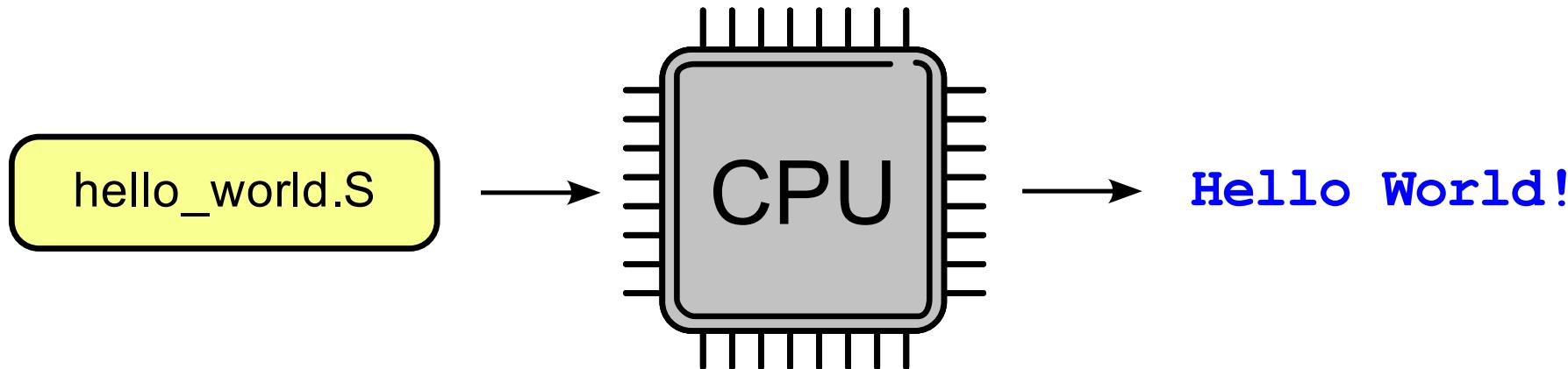


Верификация на основе симуляции и ее типы

"Hello world!"

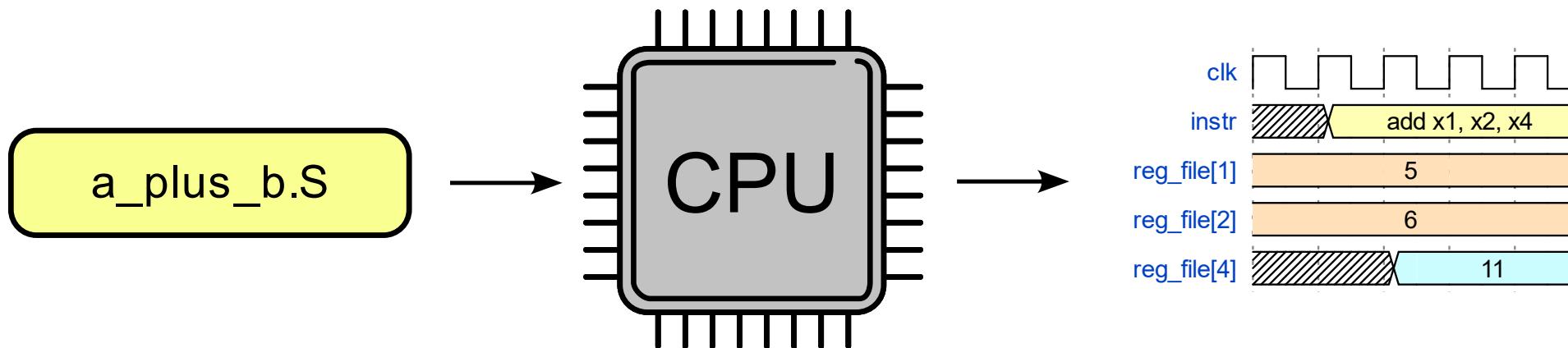
Верификация на основе симуляции и ее типы

"Hello world!"



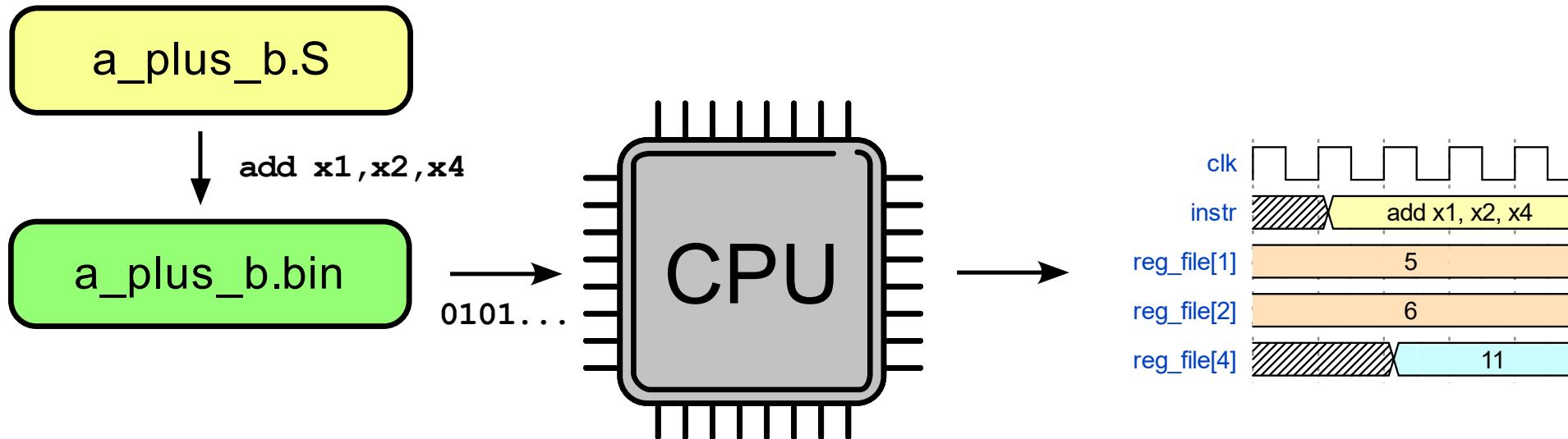
Верификация на основе симуляции и ее типы

"Hello world!"



Верификация на основе симуляции и ее типы

"Hello world!"

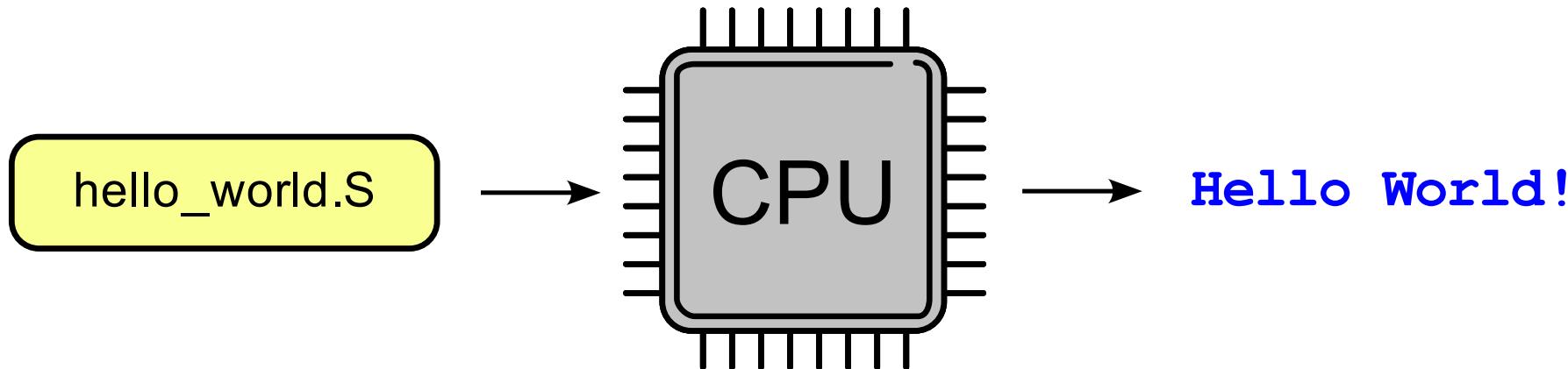


Верификация на основе симуляции и ее типы

Тестирование с самопроверкой

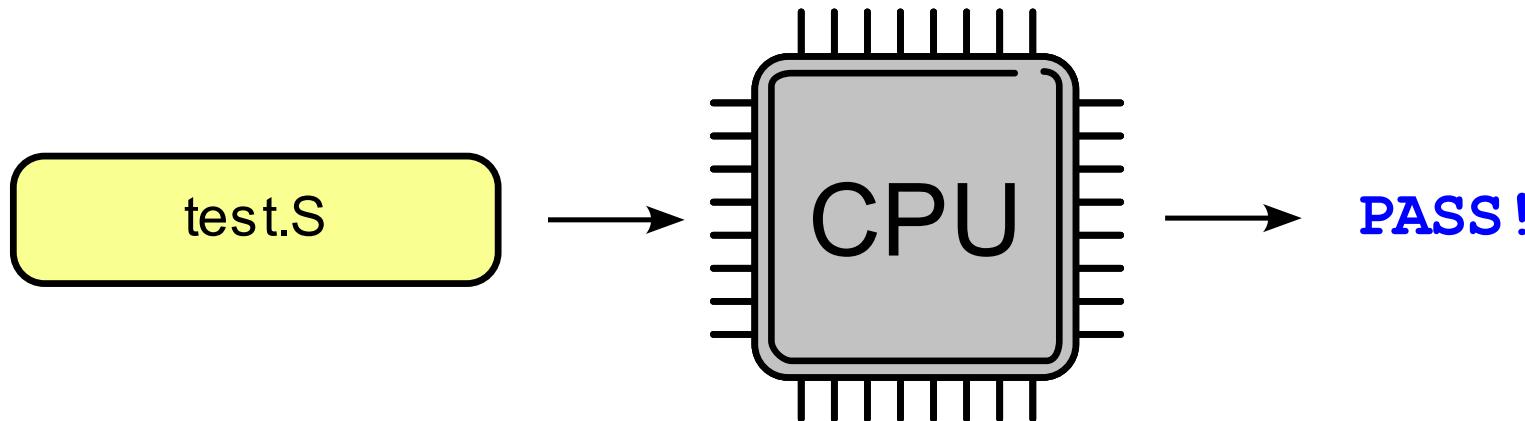
Верификация на основе симуляции и ее типы

Тестирование с самопроверкой



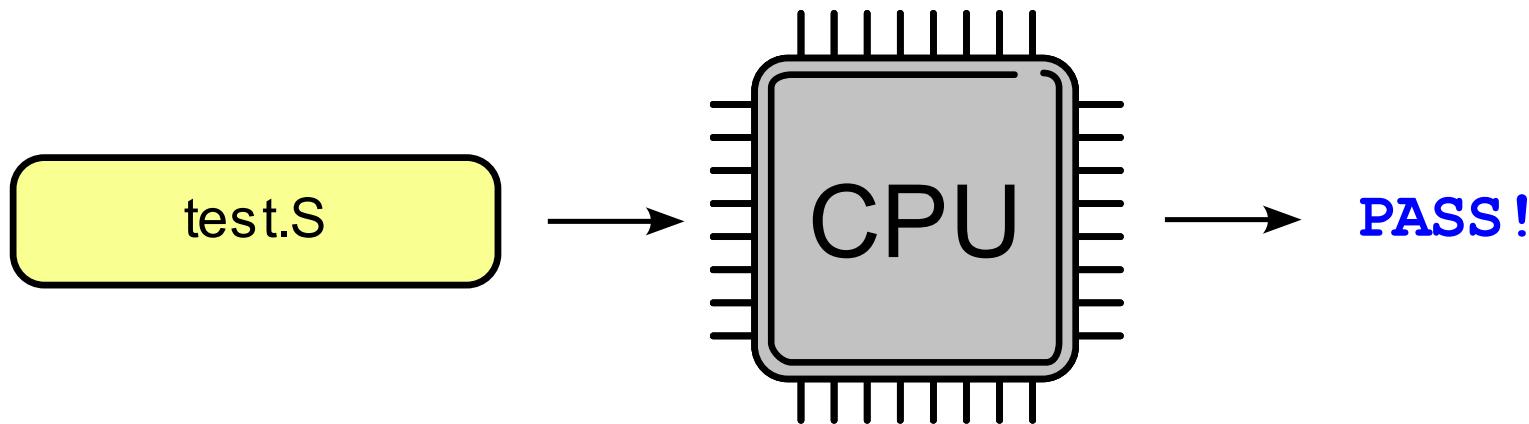
Верификация на основе симуляции и ее типы

Тестирование с самопроверкой



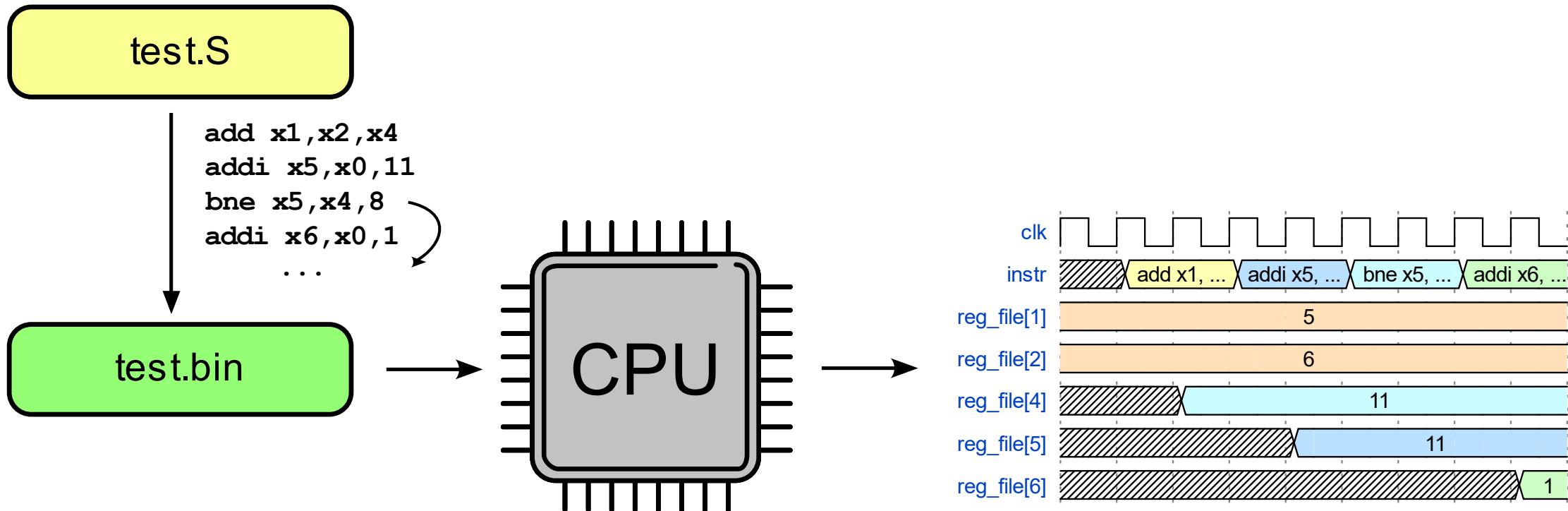
Верификация на основе симуляции и ее типы

Тестирование с самопроверкой



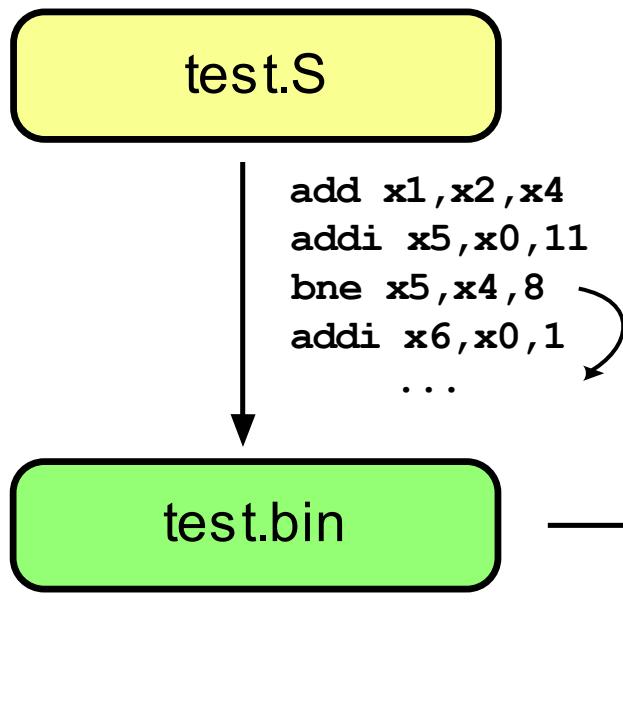
Верификация на основе симуляции и ее типы

Тестирование с самопроверкой



Верификация на основе симуляции и ее типы

Тестирование с самопроверкой



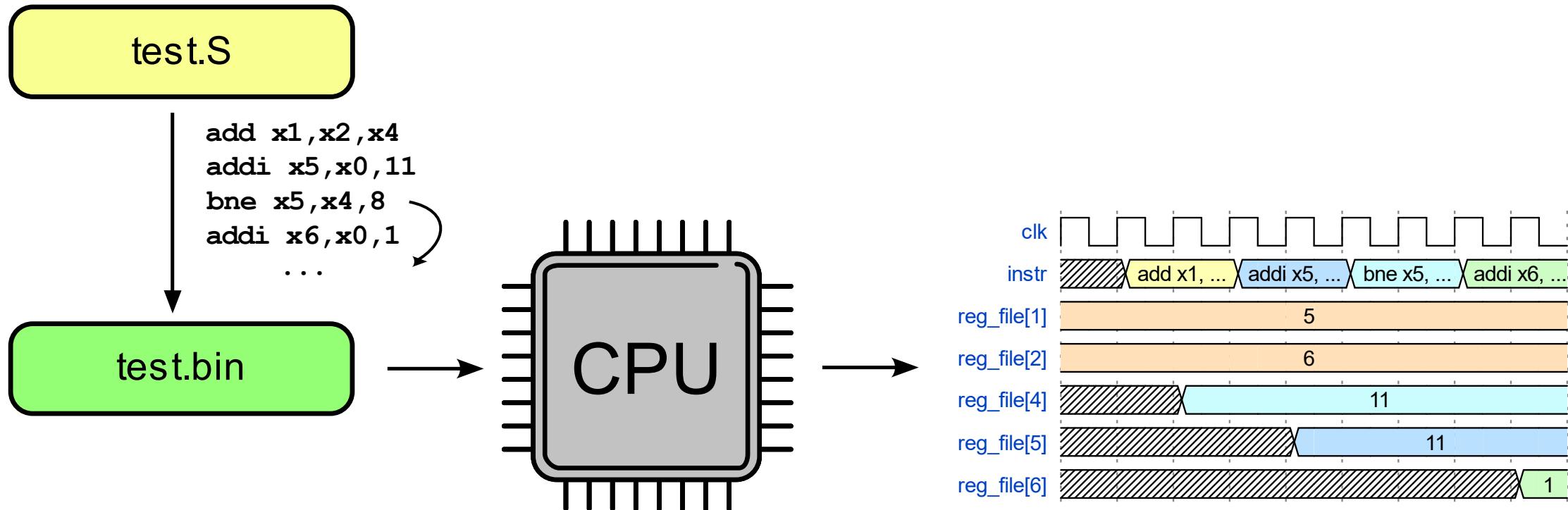
- github.com/riscv-software-src/riscv-tests
- github.com/riscv-non-isa/riscv-arch-test

Верификация на основе симуляции и ее типы

Сравнение файлов трассировки

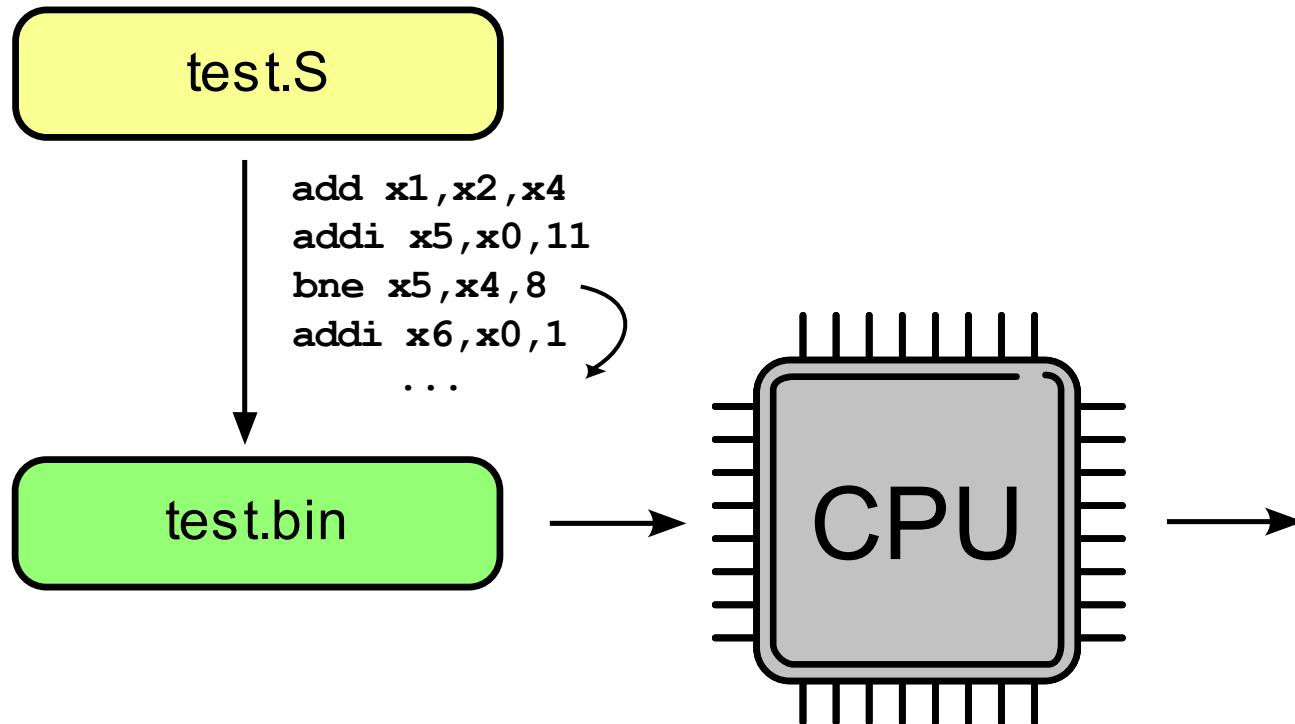
Верификация на основе симуляции и ее типы

Сравнение файлов трассировки



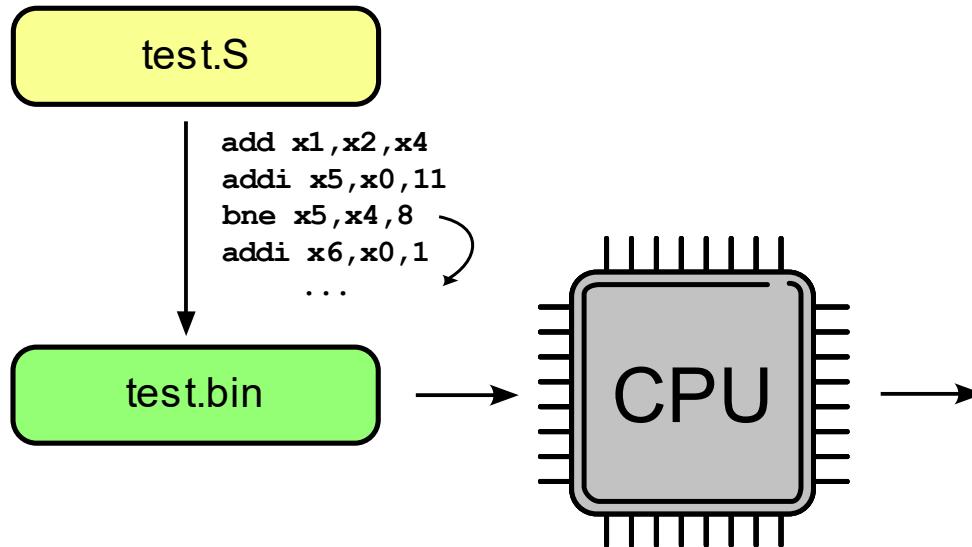
Верификация на основе симуляции и ее типы

Сравнение файлов трассировки



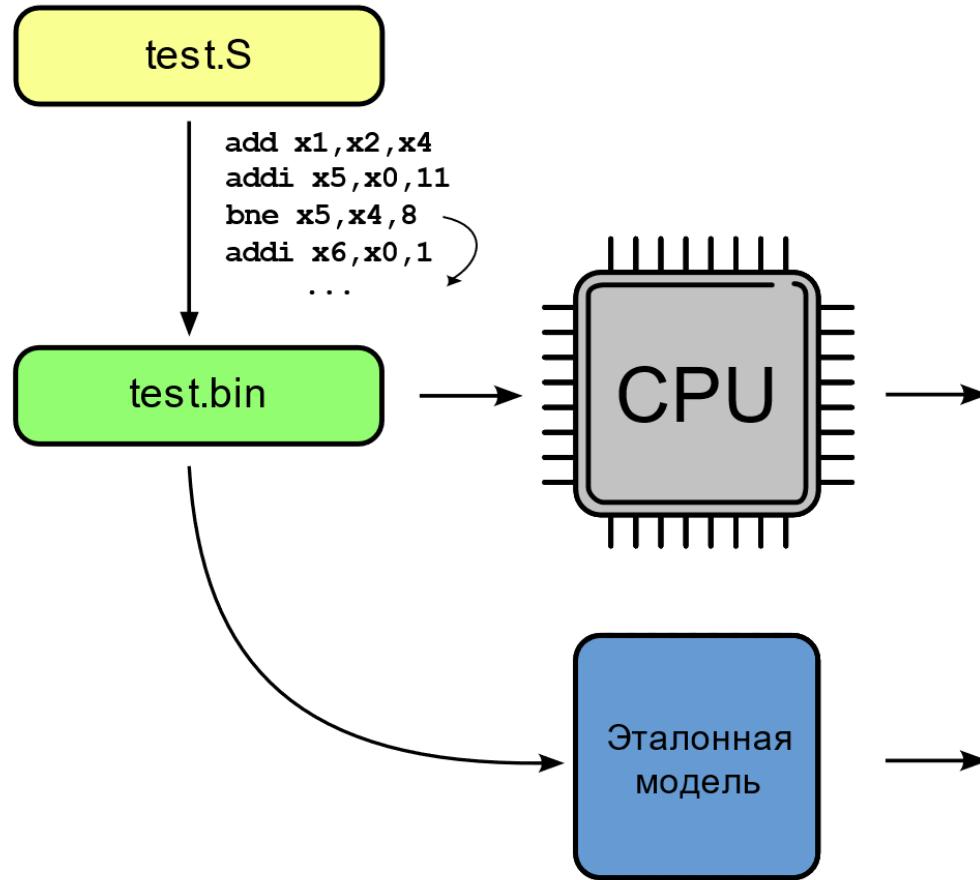
Верификация на основе симуляции и ее типы

Сравнение файлов трассировки



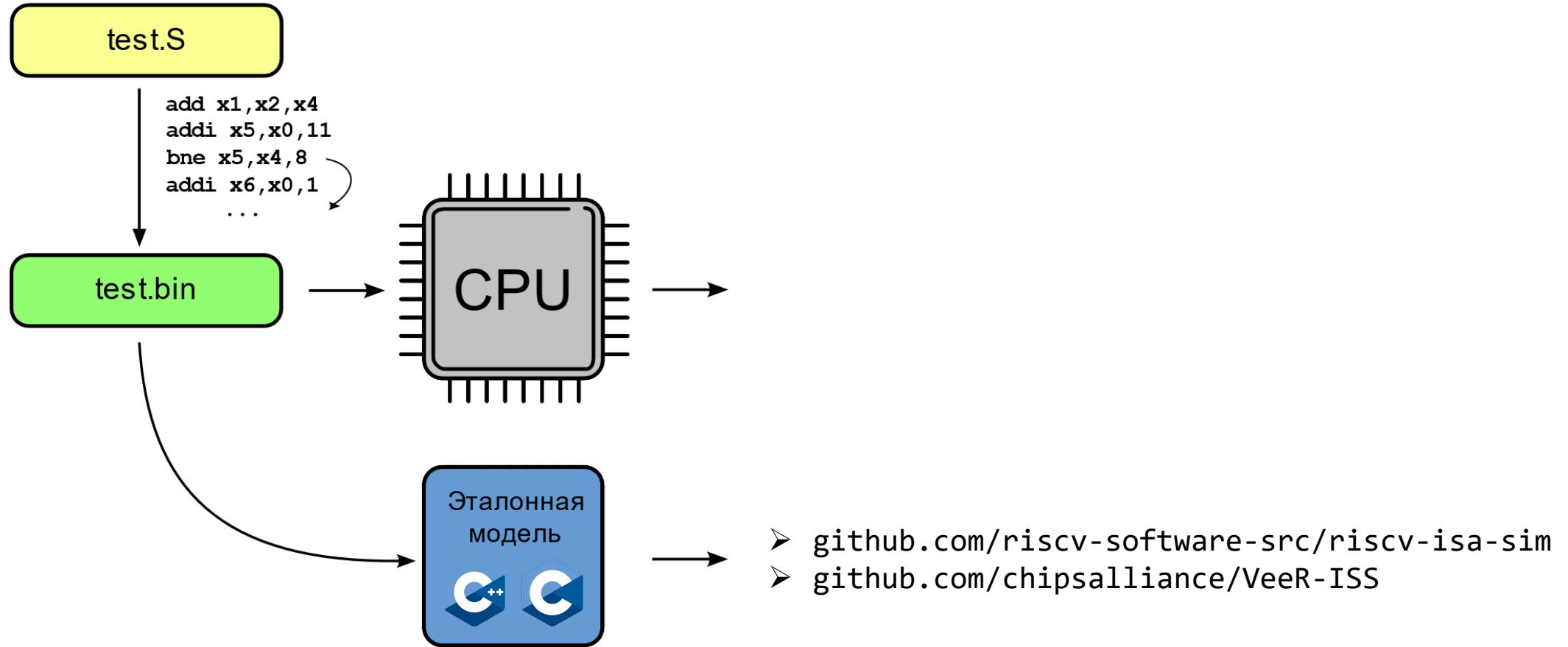
Верификация на основе симуляции и ее типы

Сравнение файлов трассировки



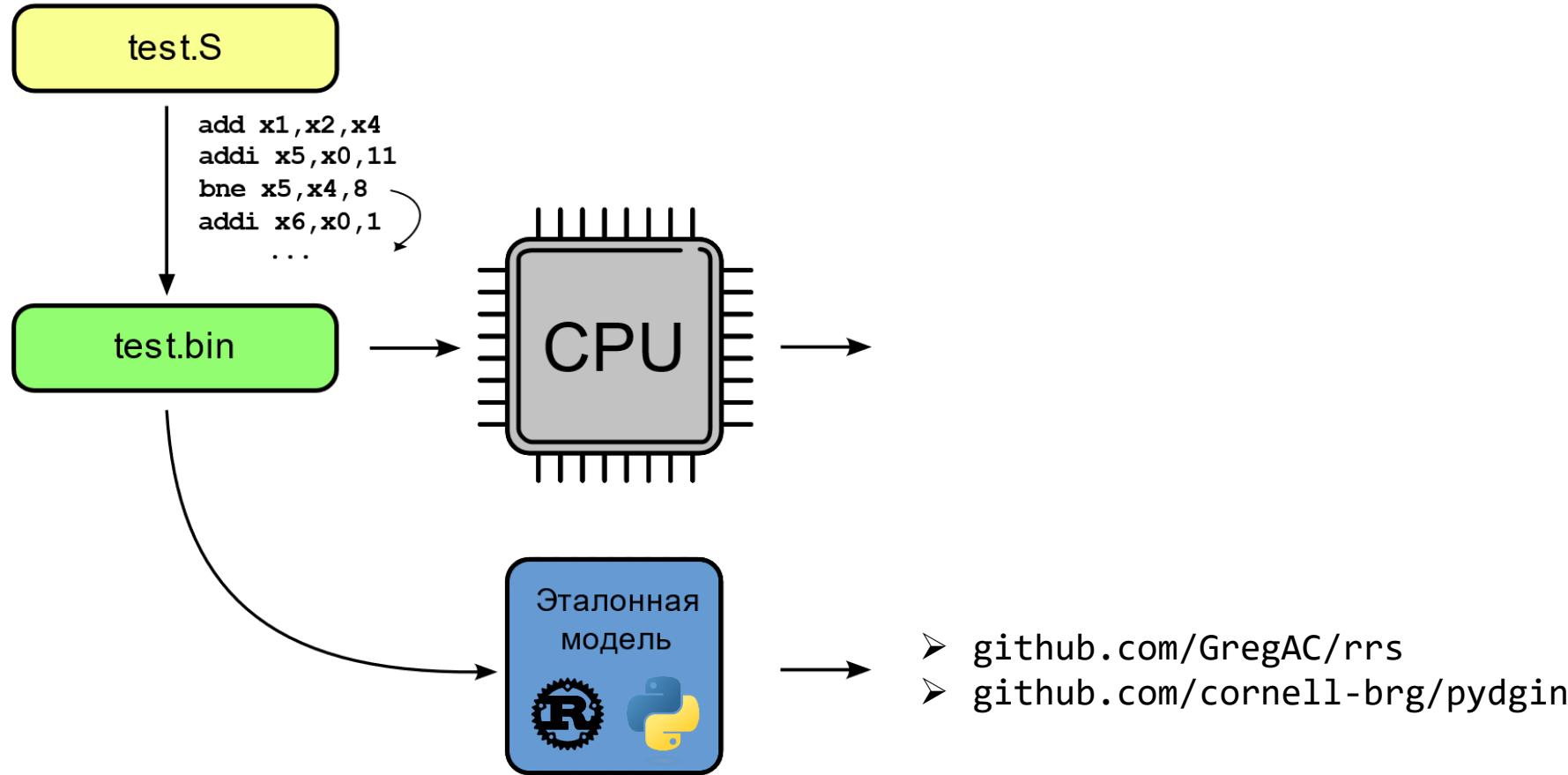
Верификация на основе симуляции и ее типы

Сравнение файлов трассировки



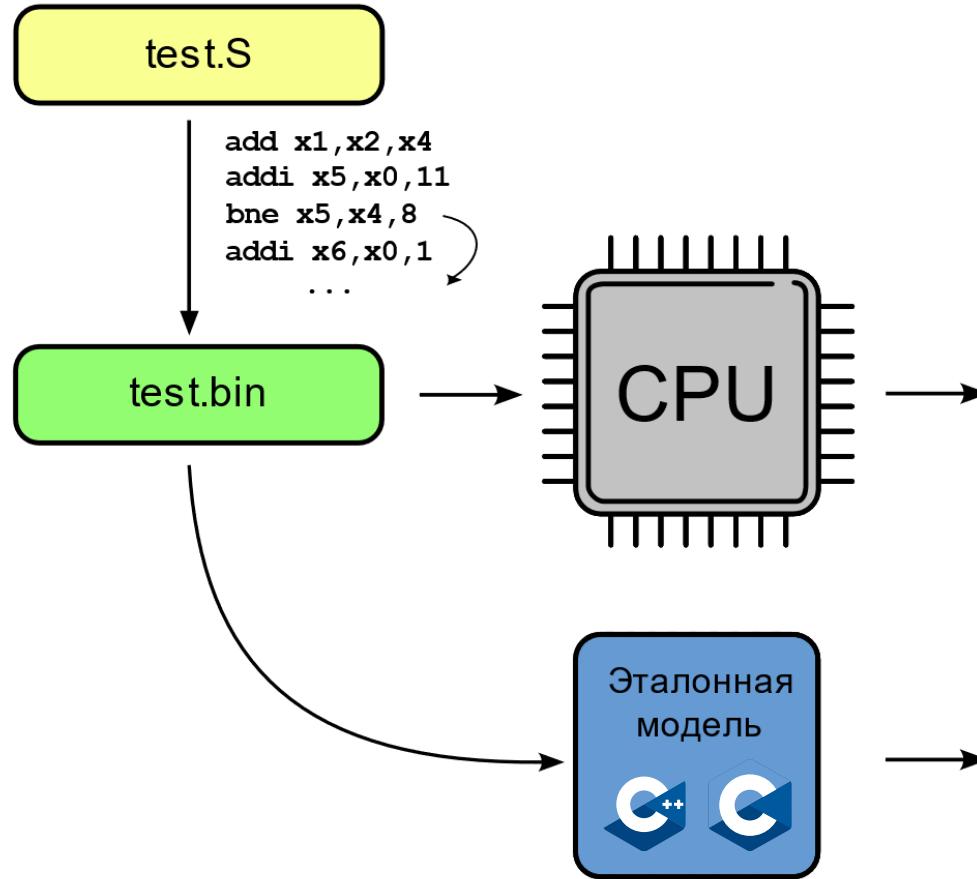
Верификация на основе симуляции и ее типы

Сравнение файлов трассировки



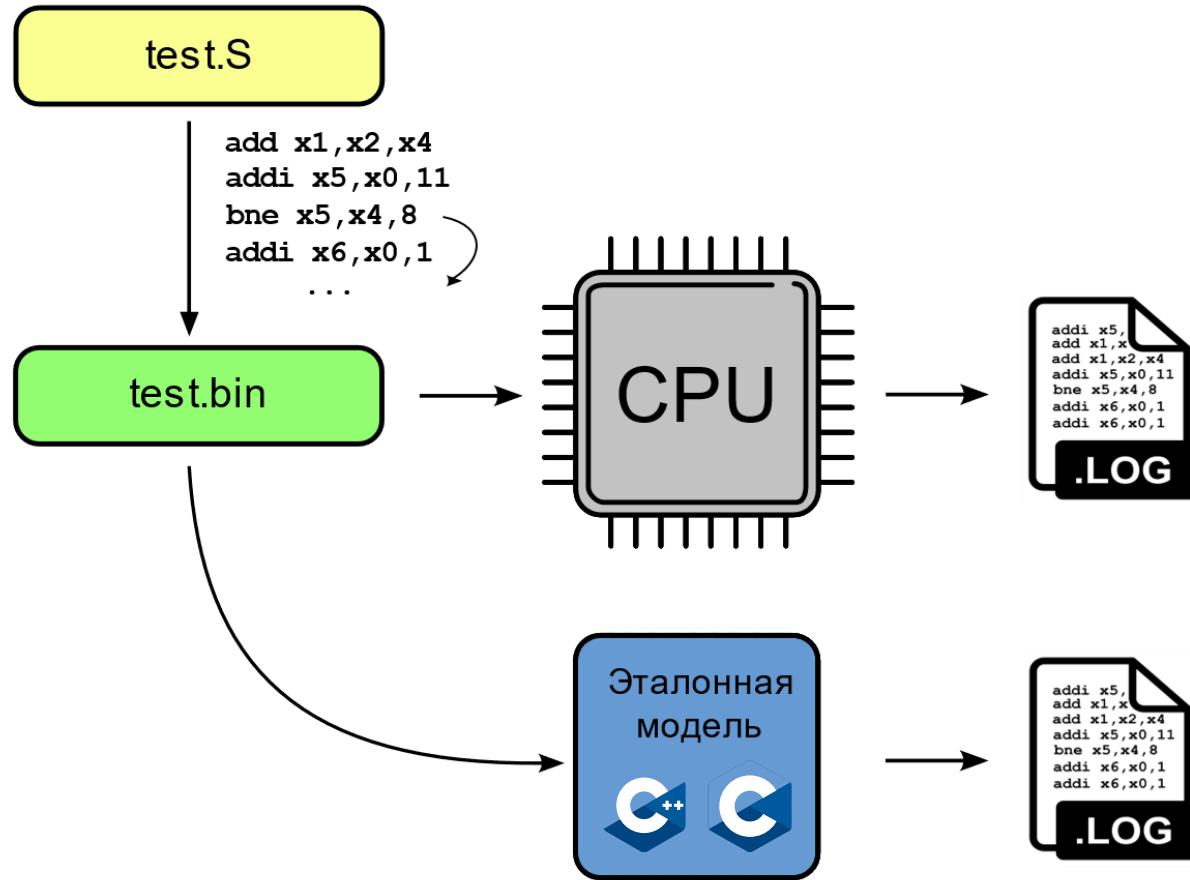
Верификация на основе симуляции и ее типы

Сравнение файлов трассировки



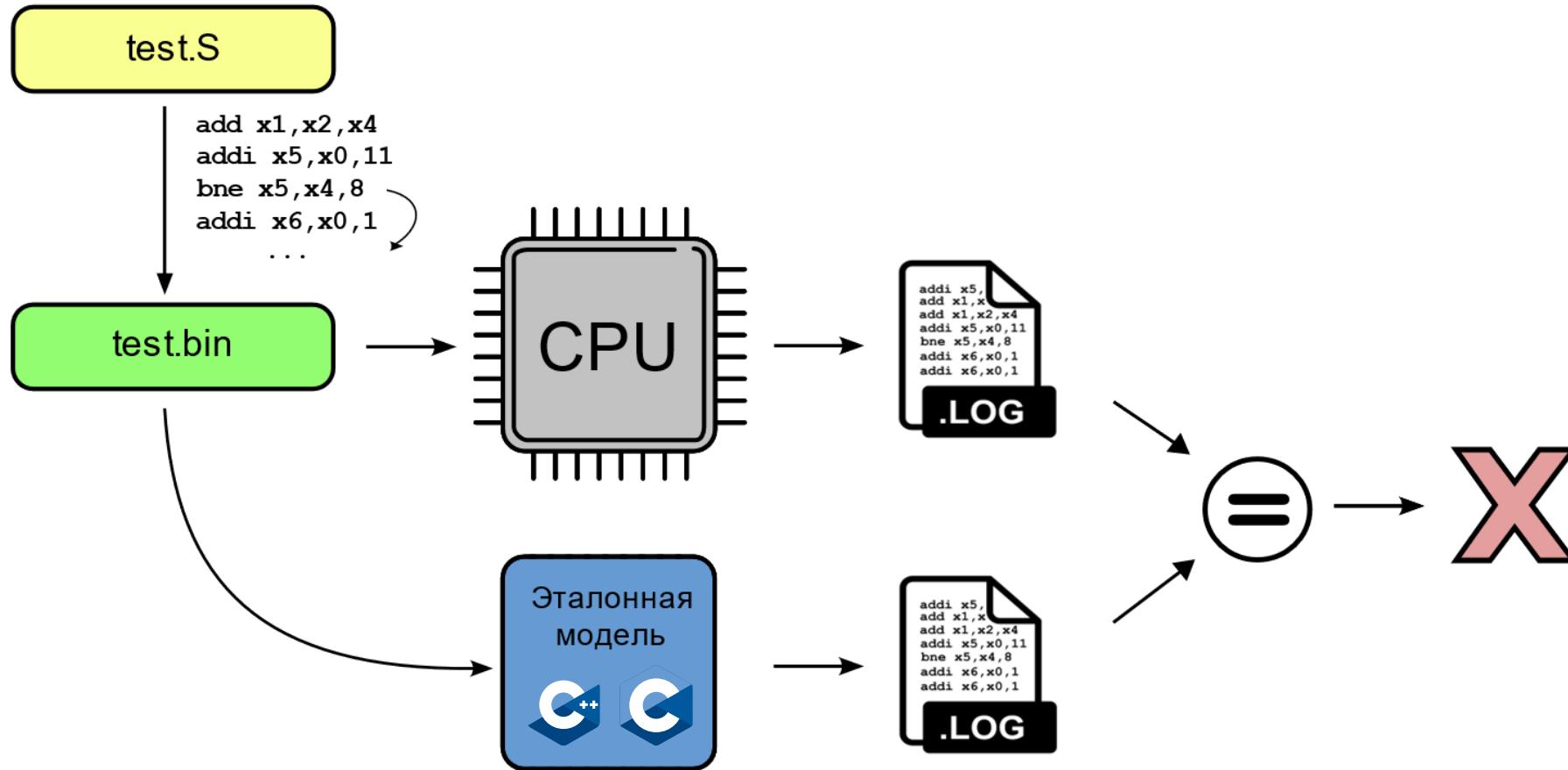
Верификация на основе симуляции и ее типы

Сравнение файлов трассировки



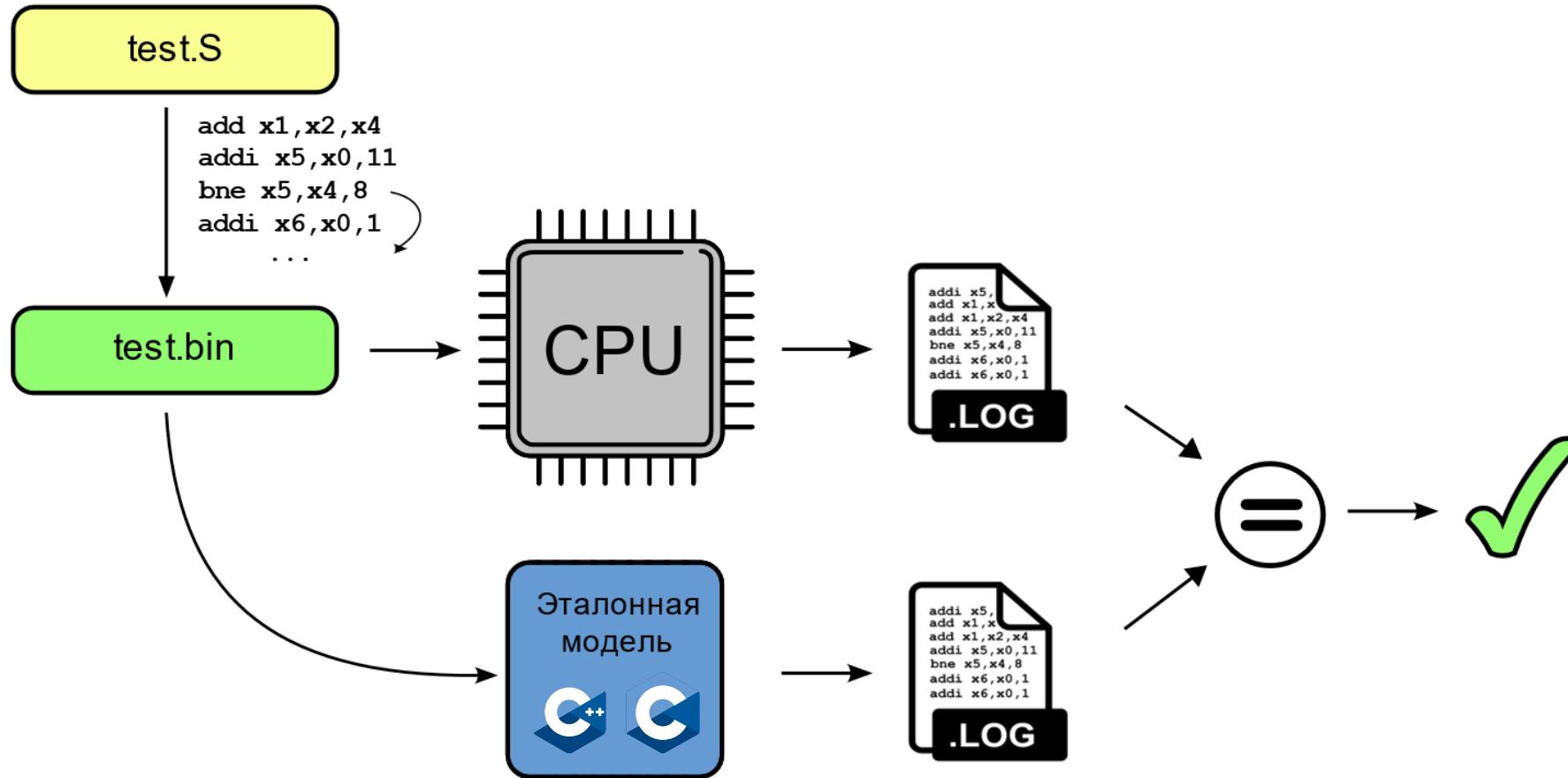
Верификация на основе симуляции и ее типы

Сравнение файлов трассировки



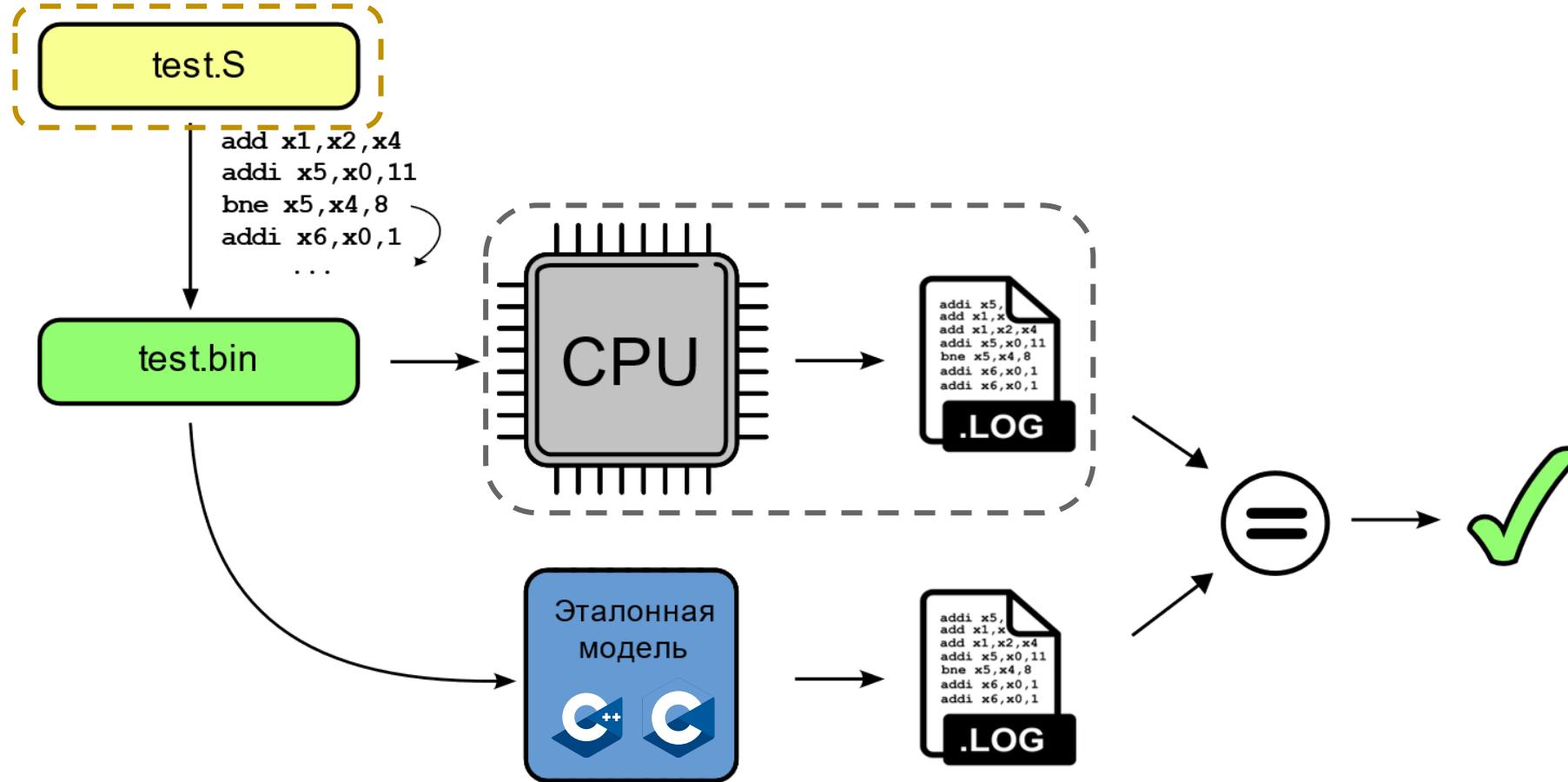
Верификация на основе симуляции и ее типы

Сравнение файлов трассировки



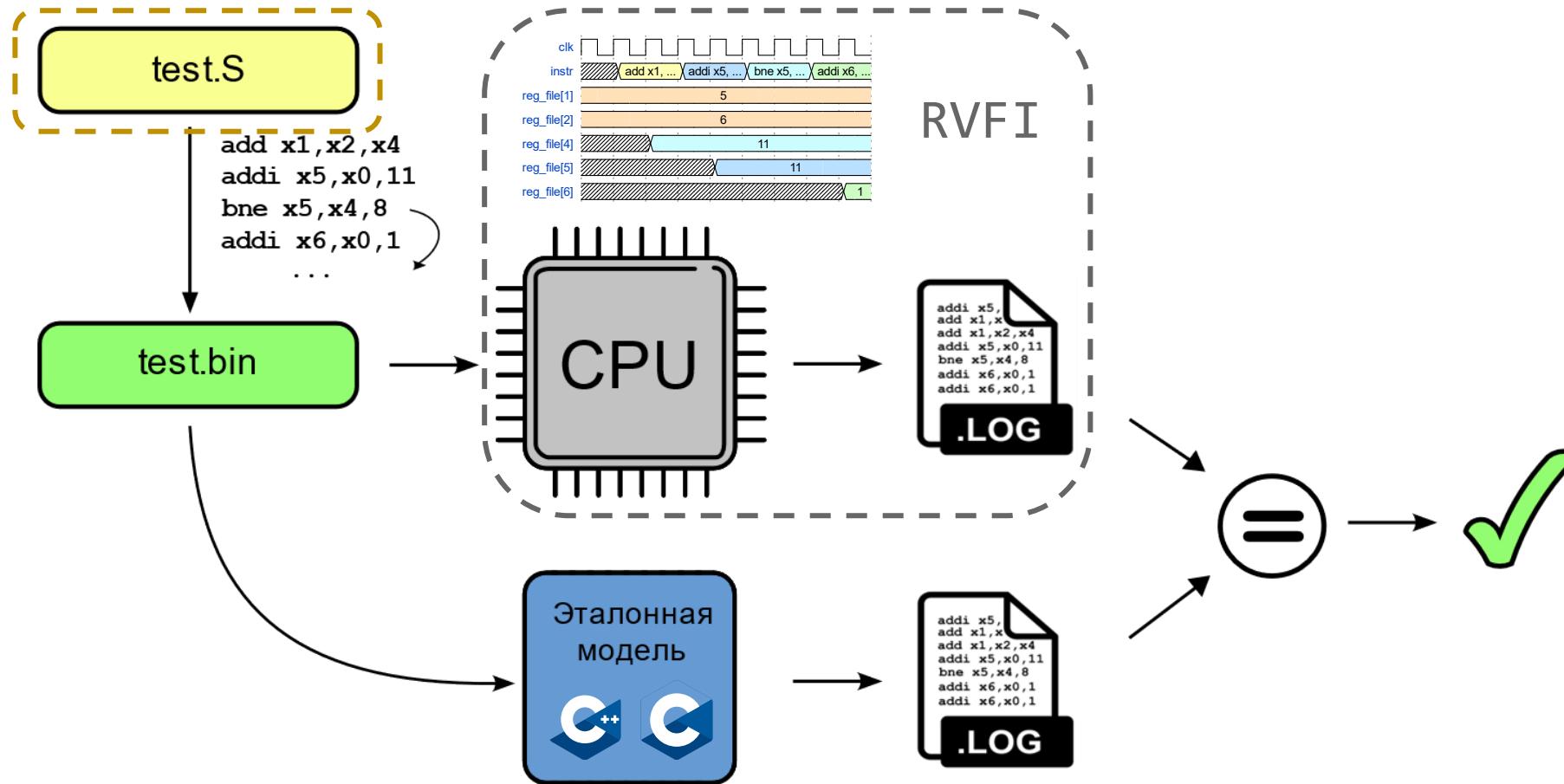
Верификация на основе симуляции и ее типы

Сравнение файлов трассировки



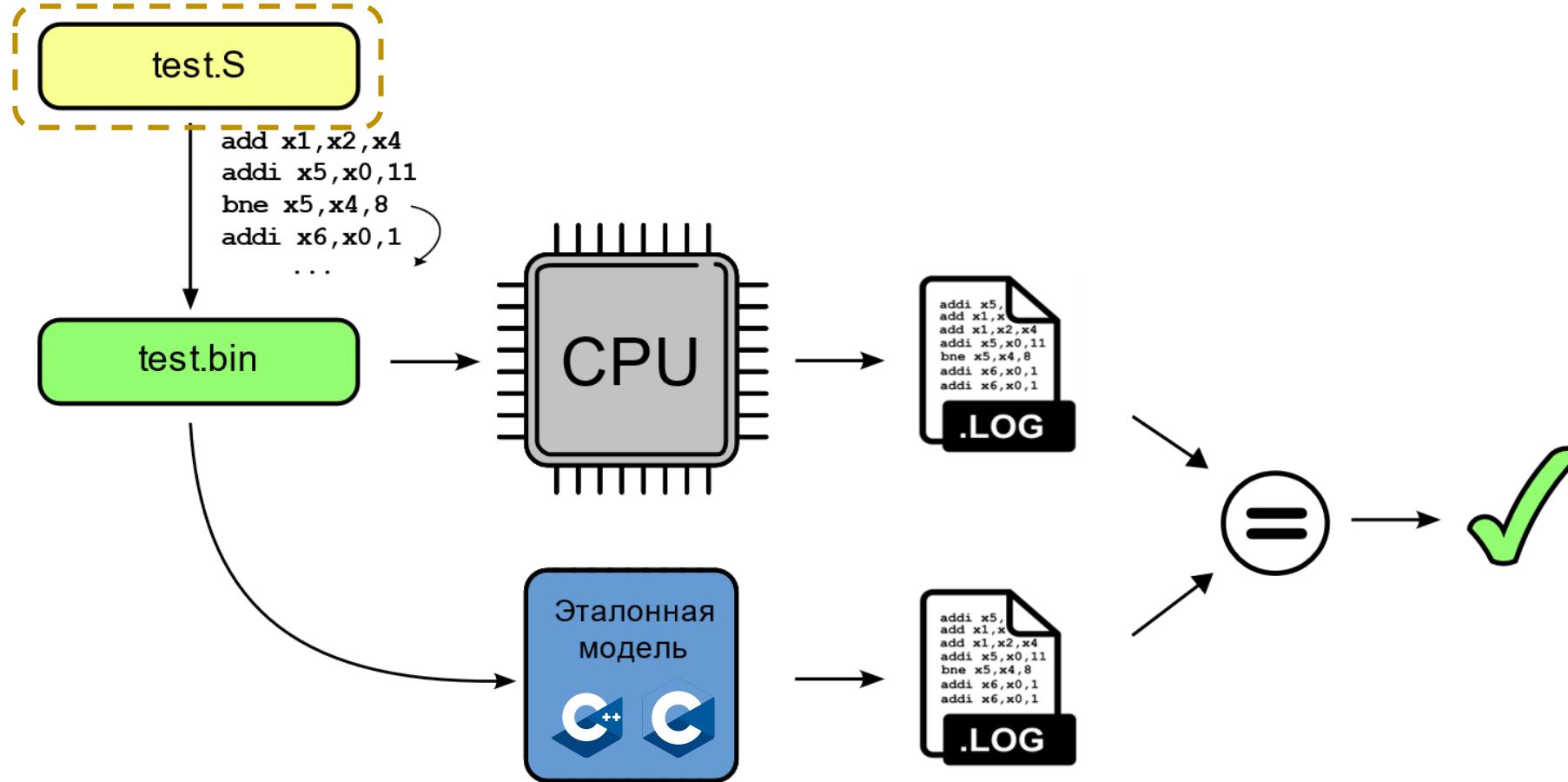
Верификация на основе симуляции и ее типы

Сравнение файлов трассировки



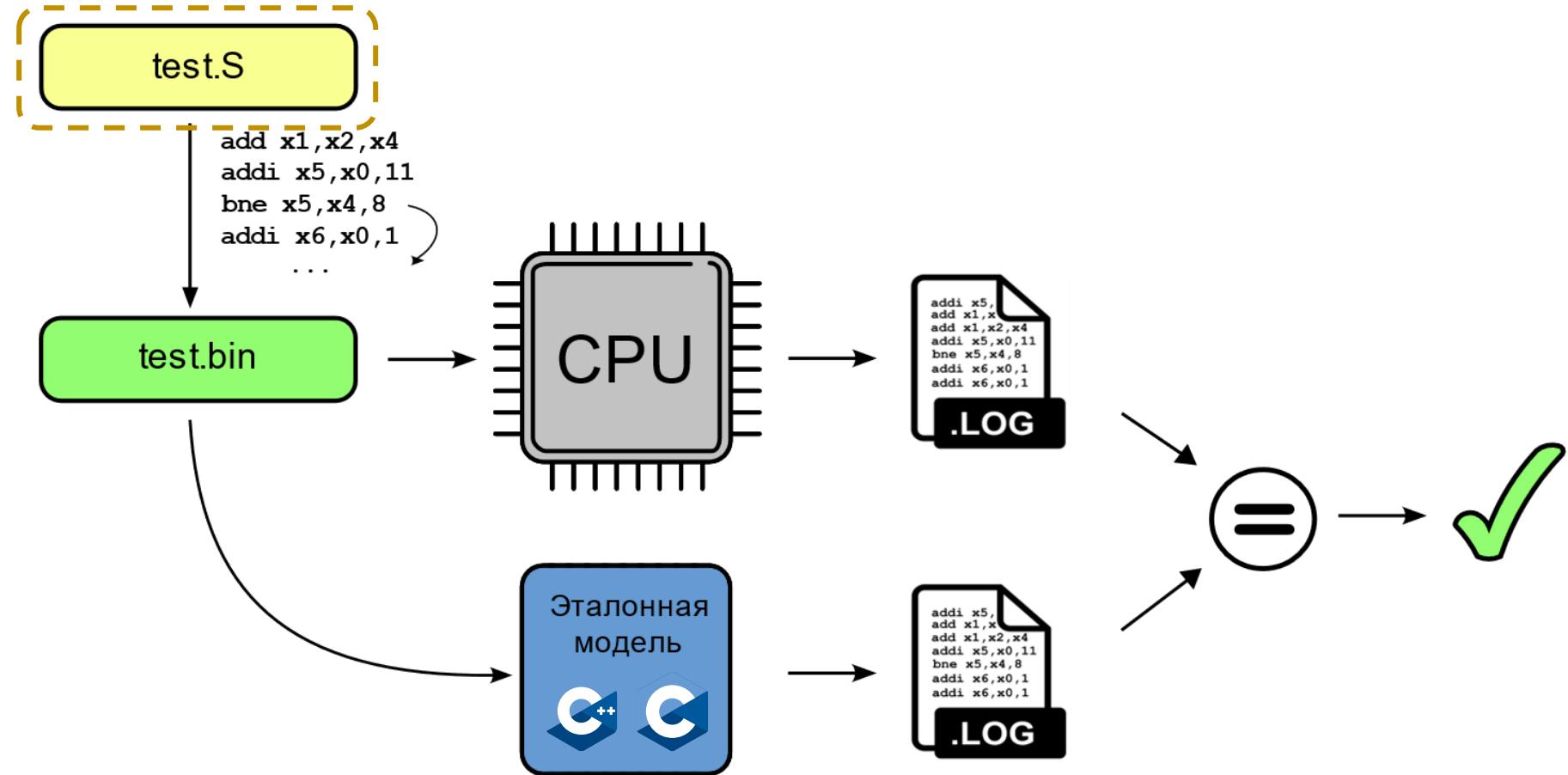
Верификация на основе симуляции и ее типы

Сравнение файлов трассировки



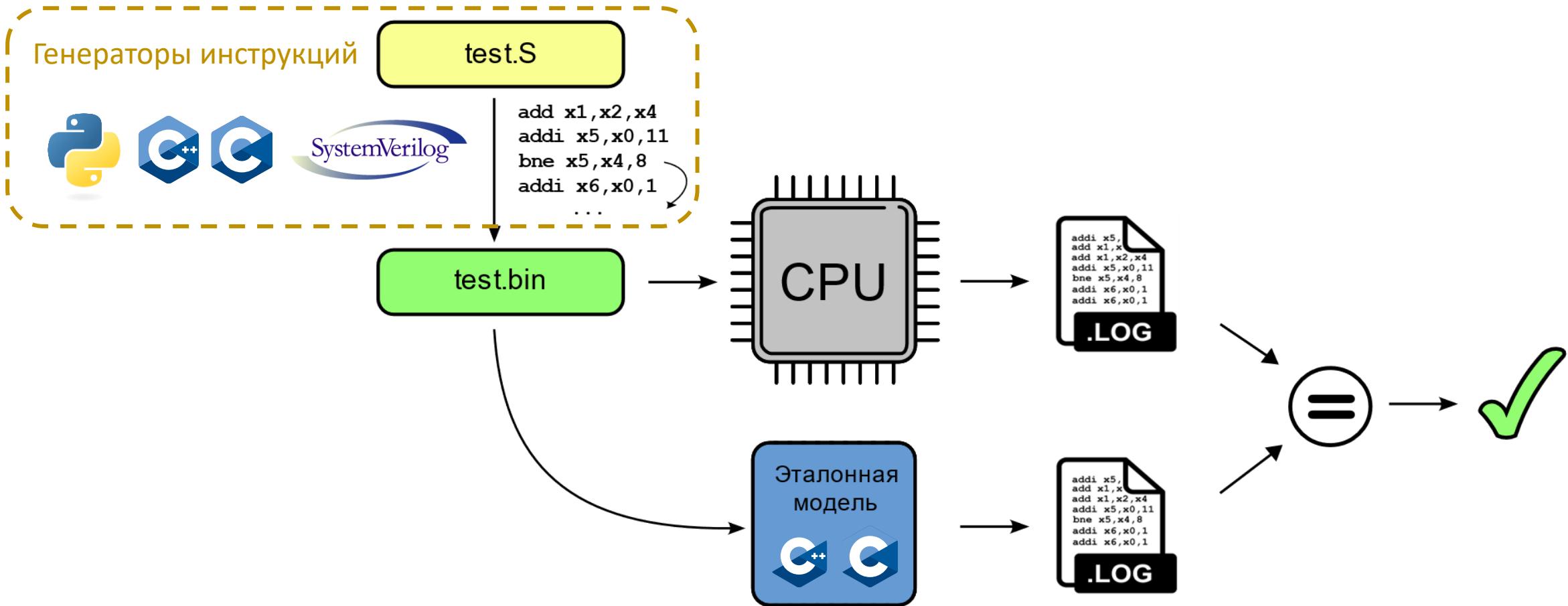
Верификация на основе симуляции и ее типы

Сравнение файлов трассировки



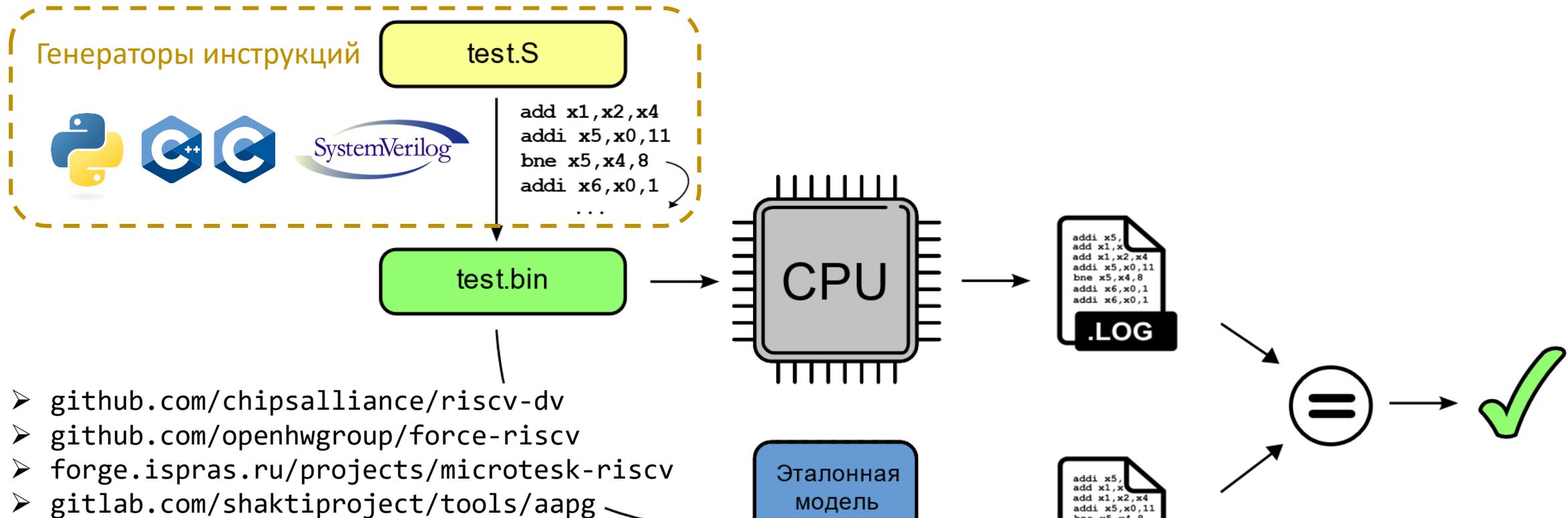
Верификация на основе симуляции и ее типы

Сравнение файлов трассировки



Верификация на основе симуляции и ее типы

Сравнение файлов трассировки



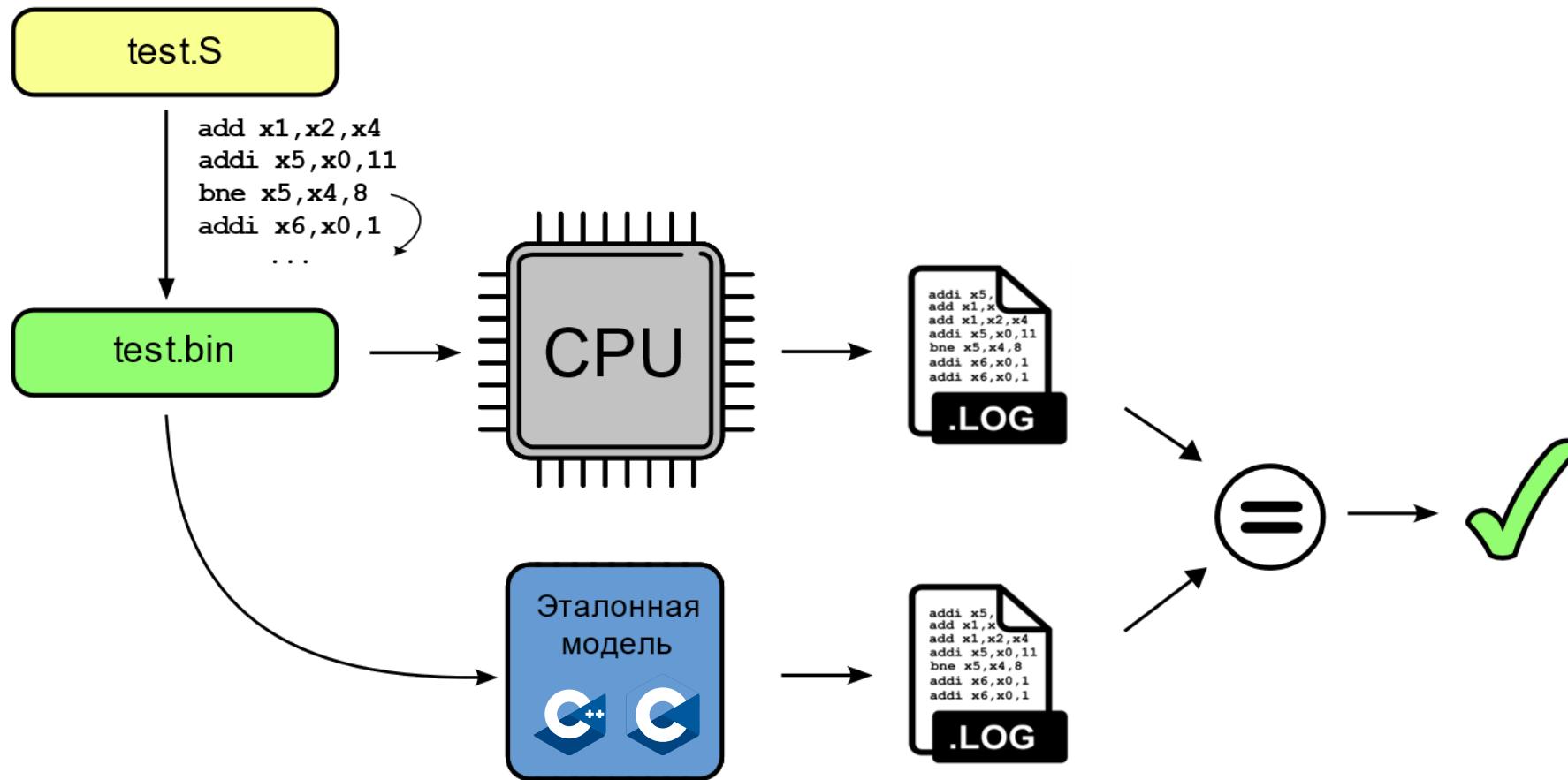
GROUP
OPENHW[®]
PROVEN PROCESSOR IP

Верификация на основе симуляции и ее типы

Синхронное сравнение

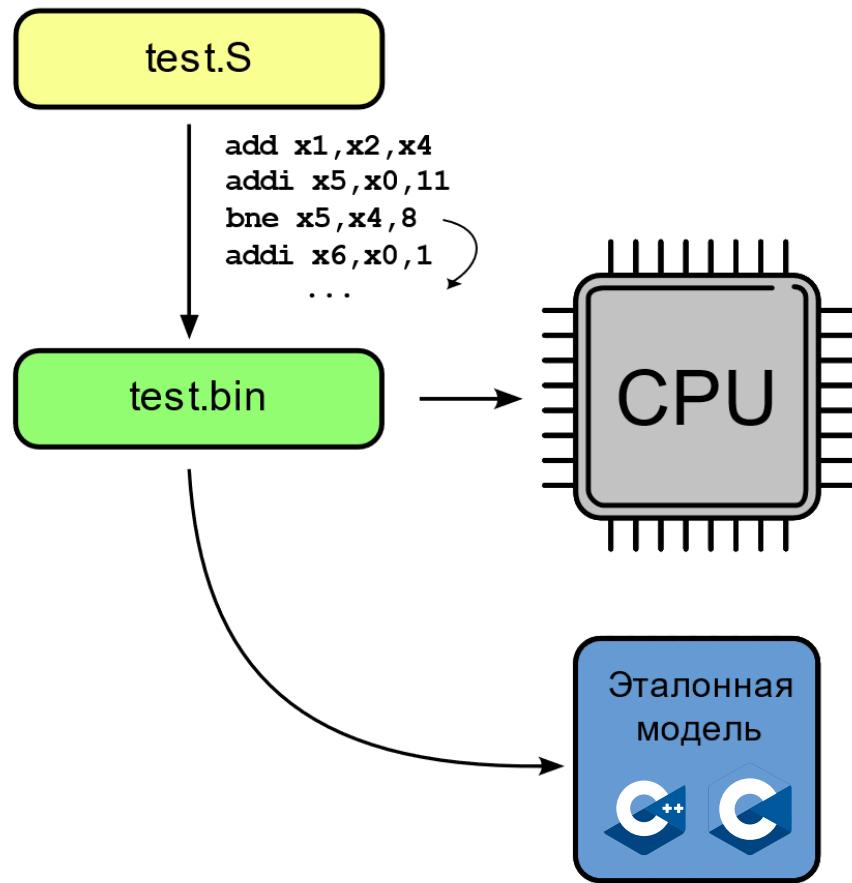
Верификация на основе симуляции и ее типы

Синхронное сравнение



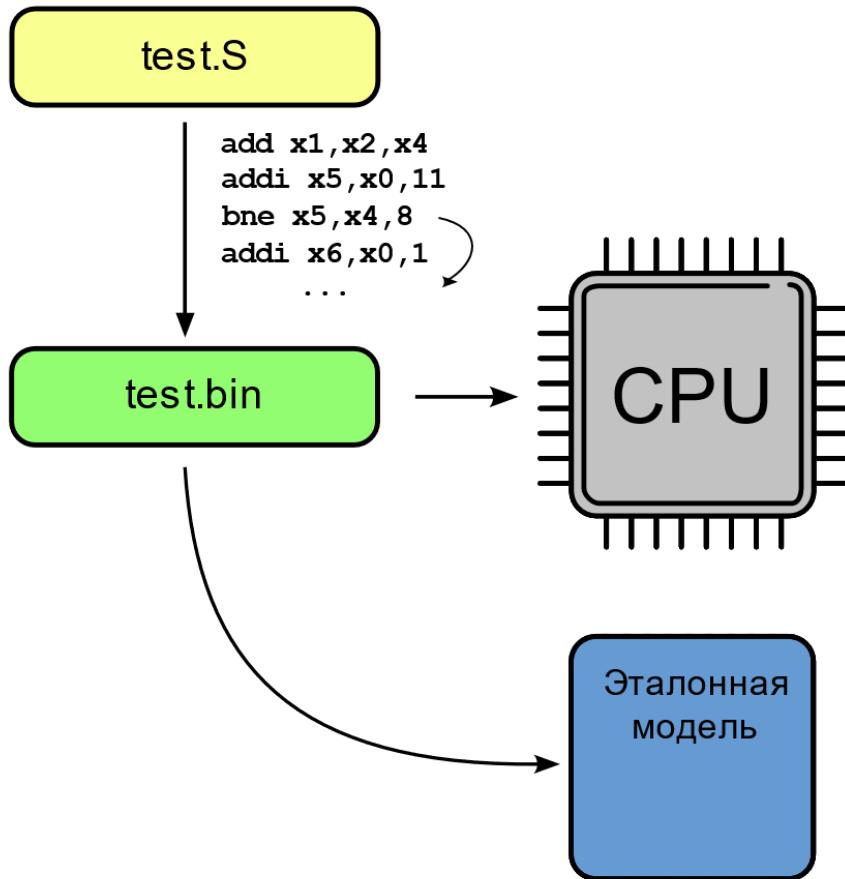
Верификация на основе симуляции и ее типы

Синхронное сравнение



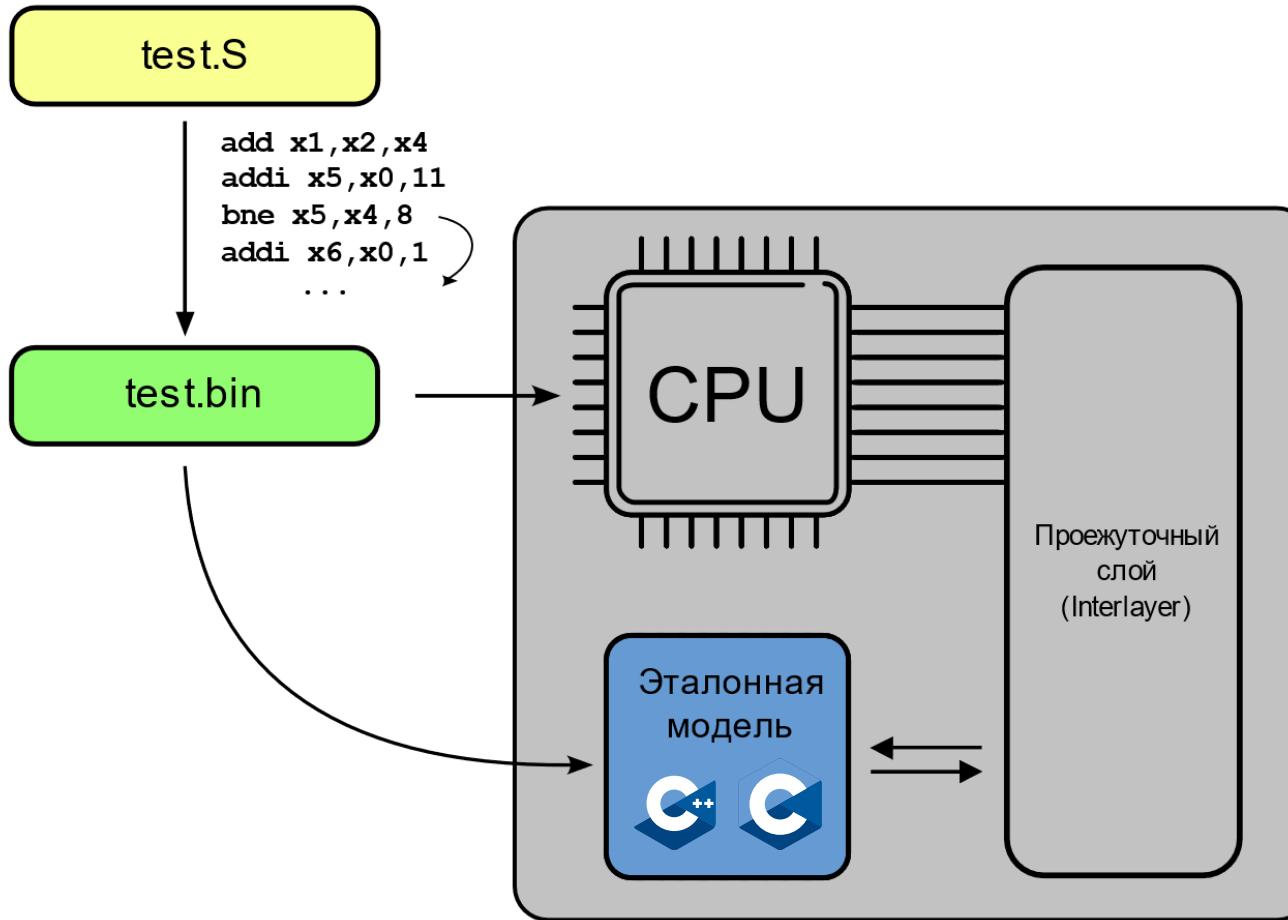
Верификация на основе симуляции и ее типы

Синхронное сравнение



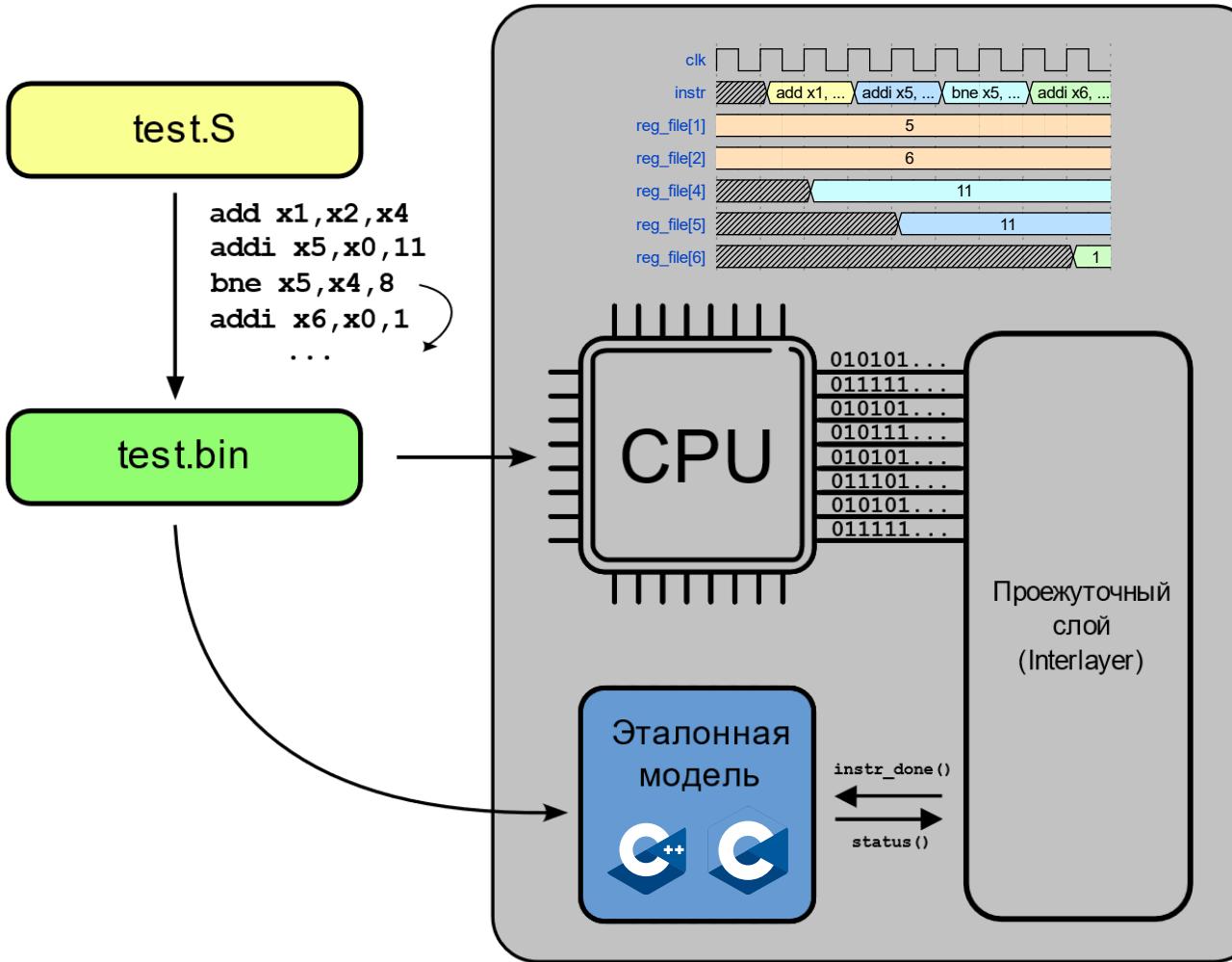
Верификация на основе симуляции и ее типы

Синхронное сравнение



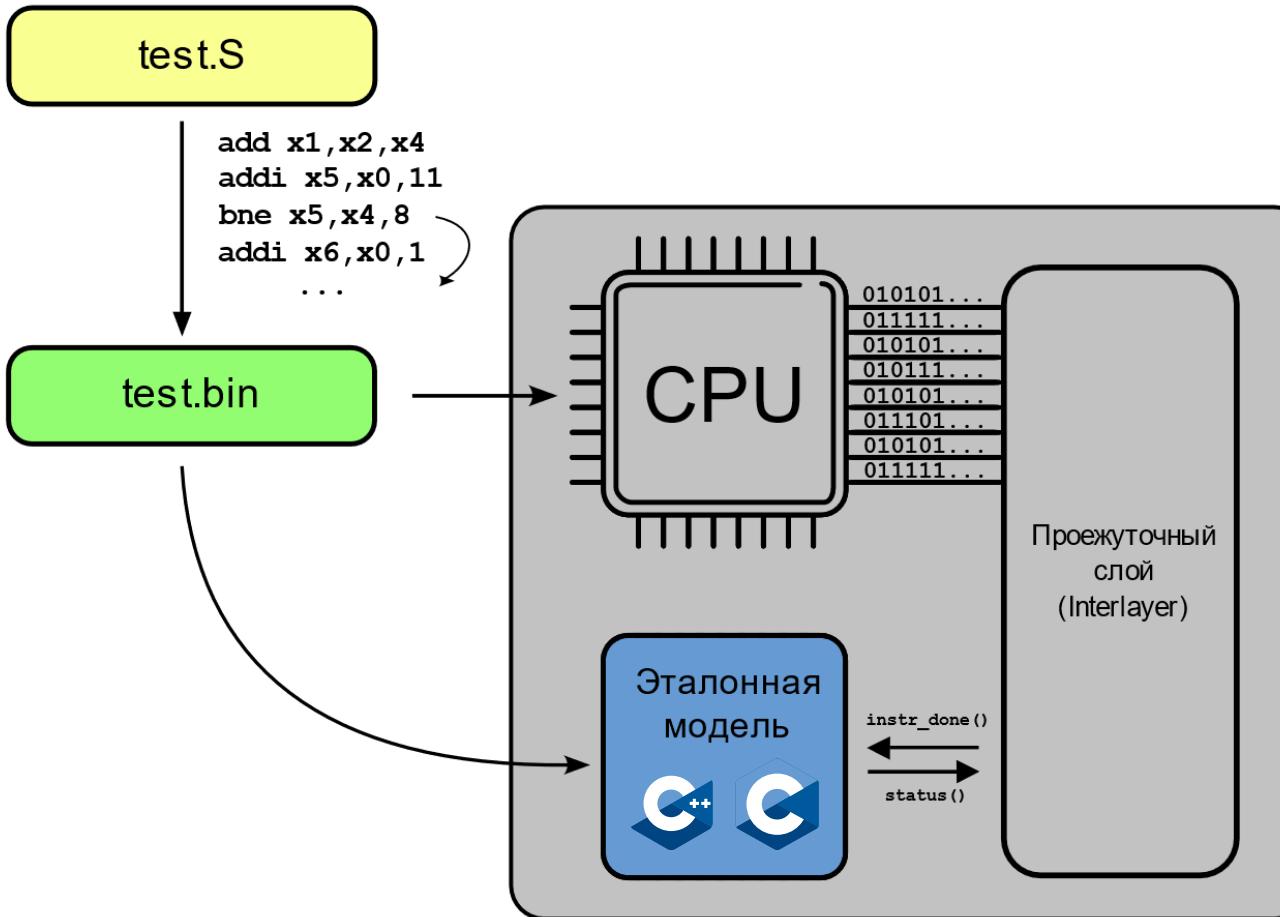
Верификация на основе симуляции и ее типы

Синхронное сравнение



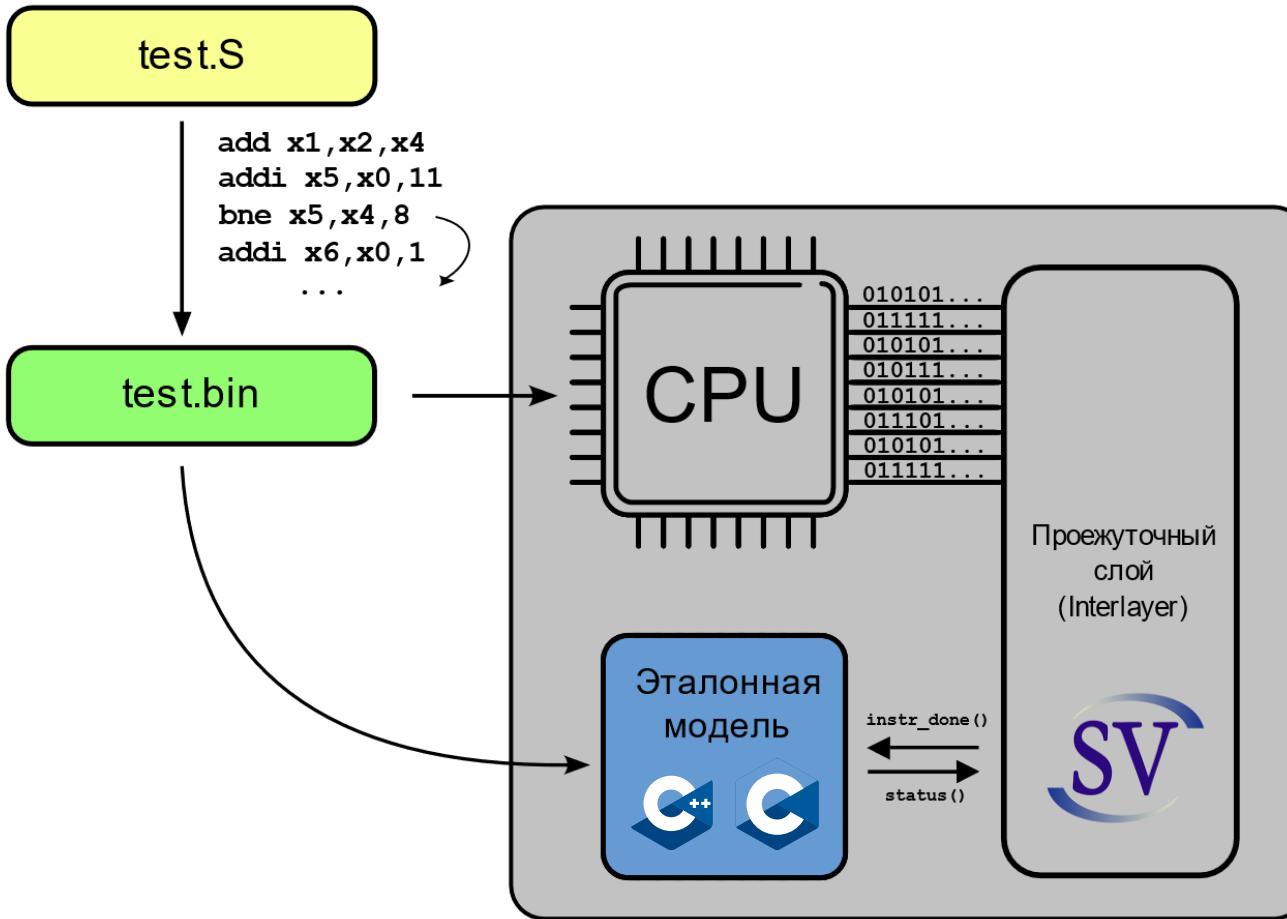
Верификация на основе симуляции и ее типы

Синхронное сравнение



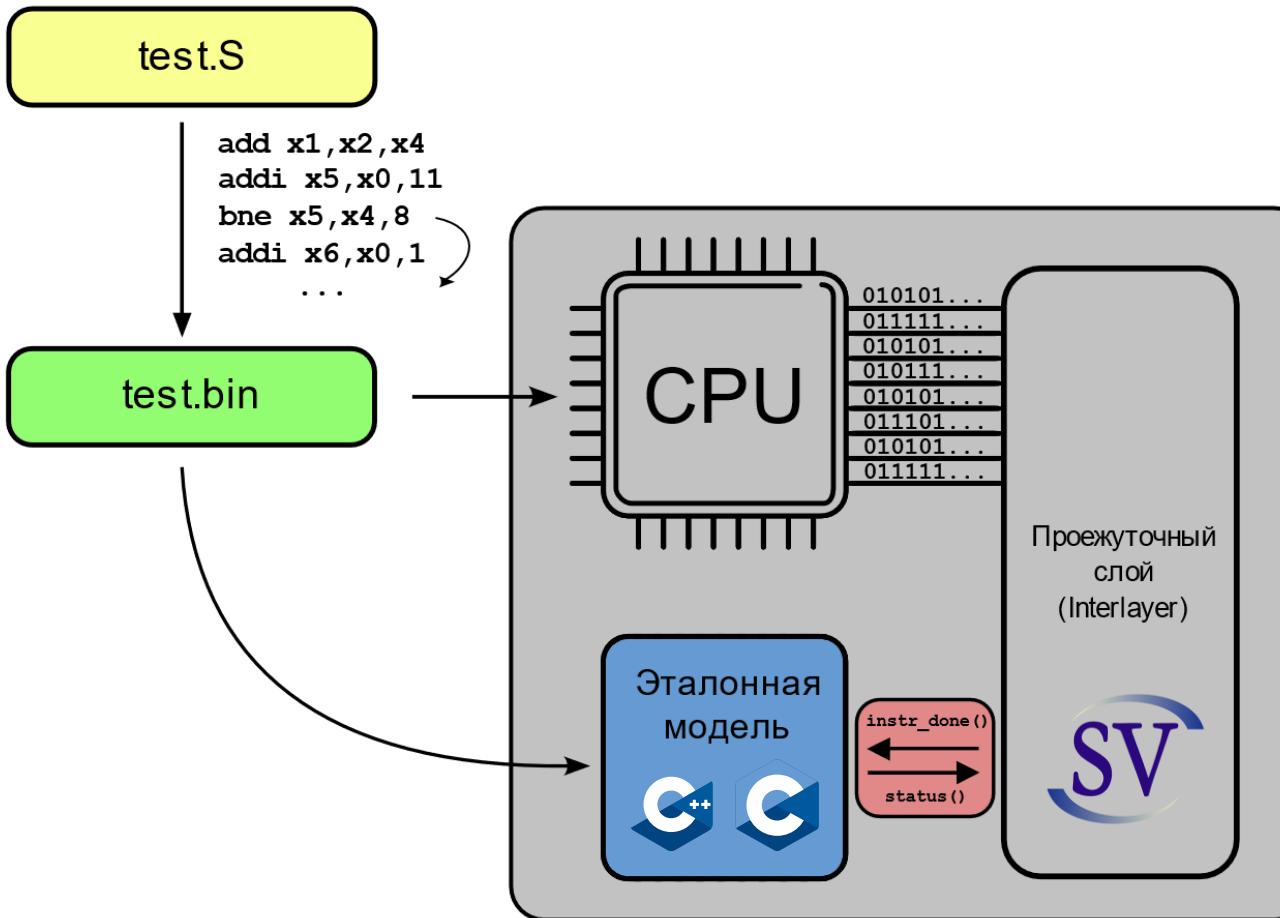
Верификация на основе симуляции и ее типы

Синхронное сравнение



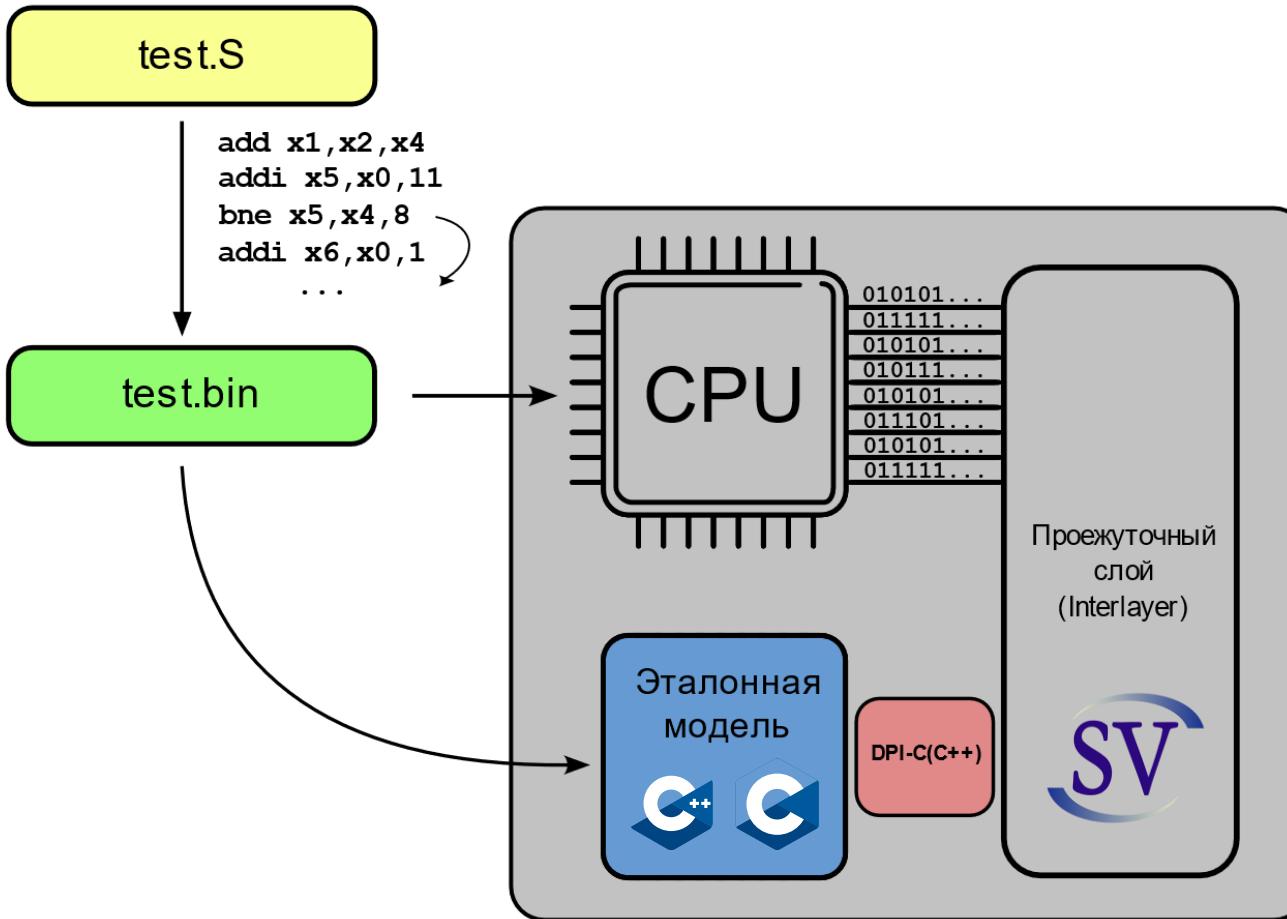
Верификация на основе симуляции и ее типы

Синхронное сравнение



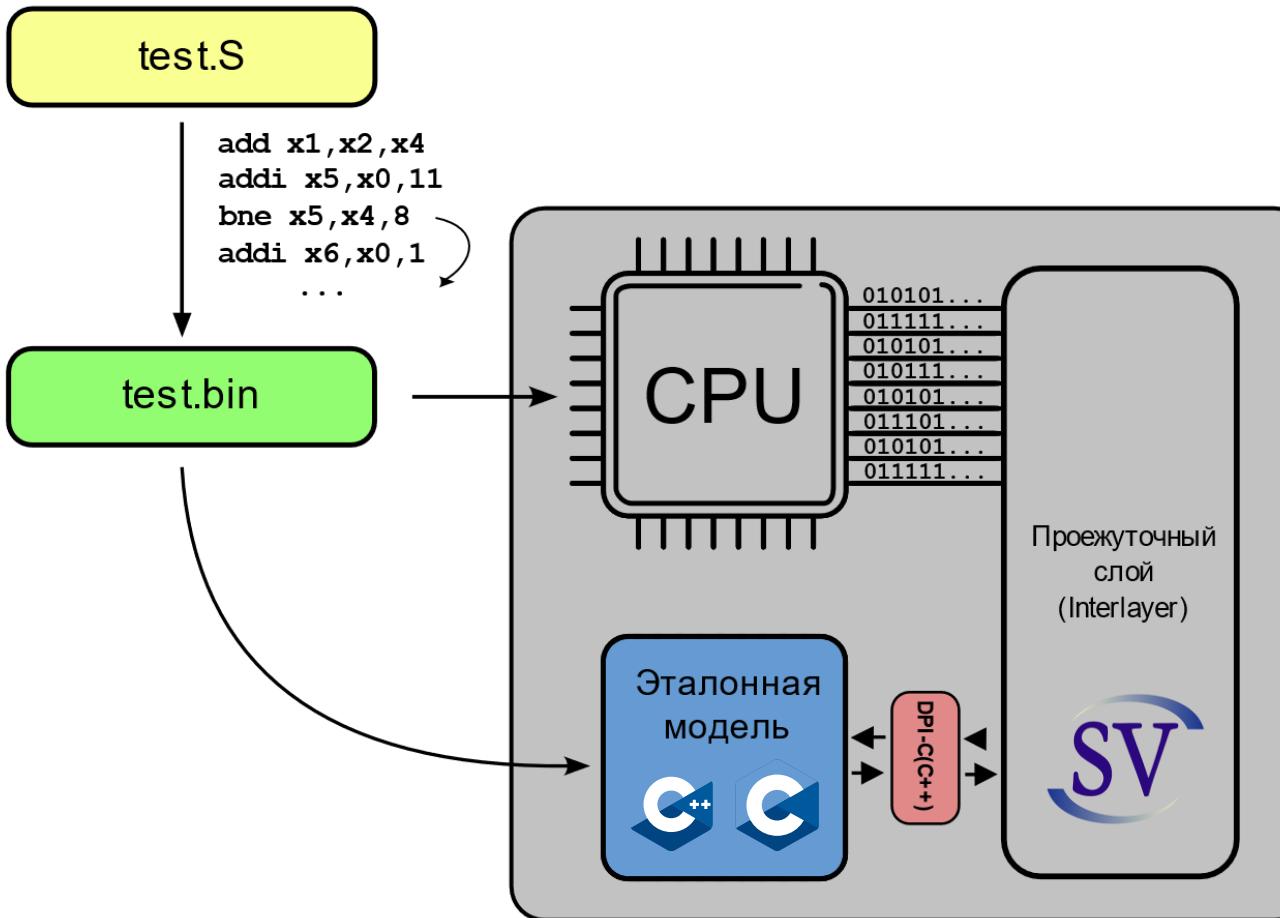
Верификация на основе симуляции и ее типы

Синхронное сравнение



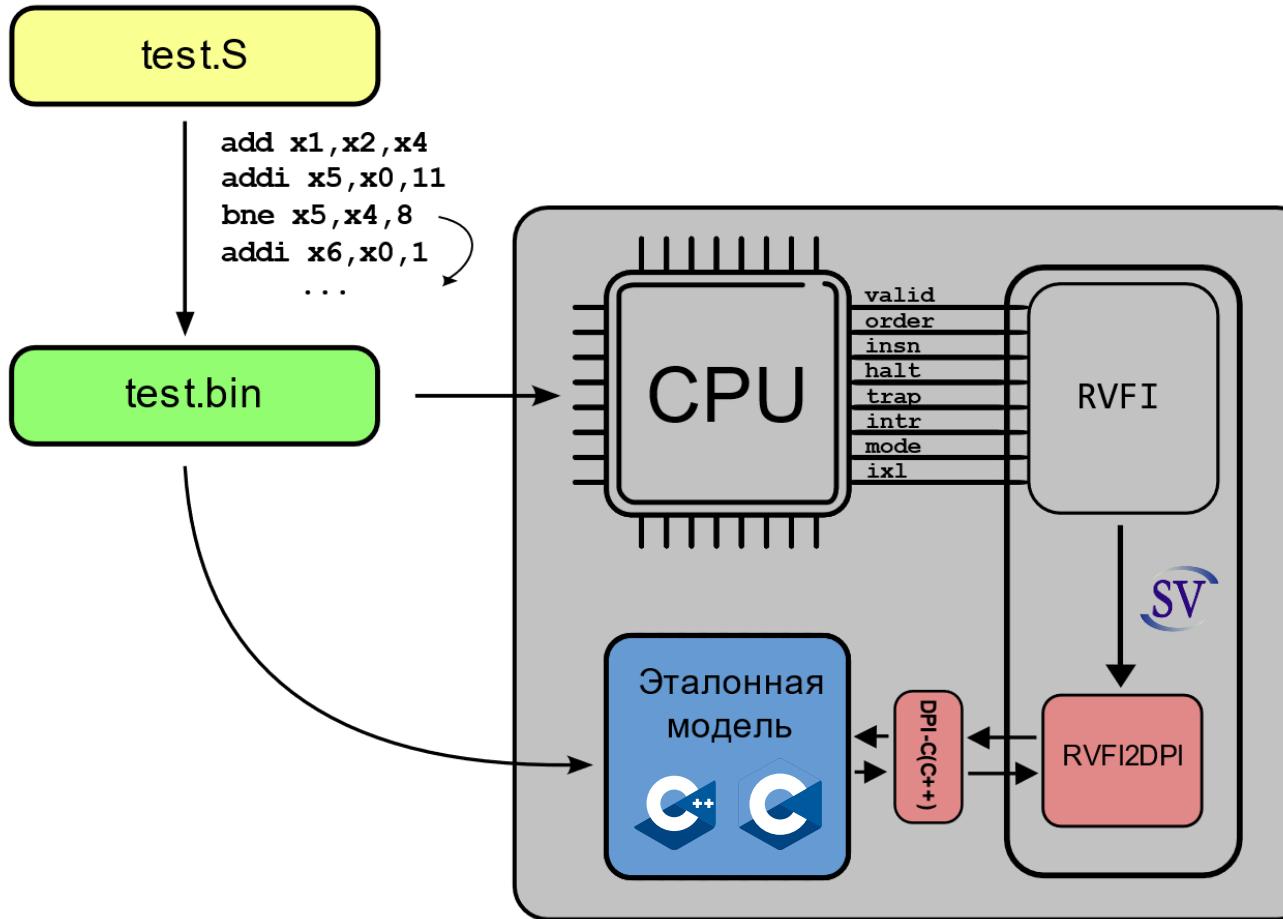
Верификация на основе симуляции и ее типы

Синхронное сравнение



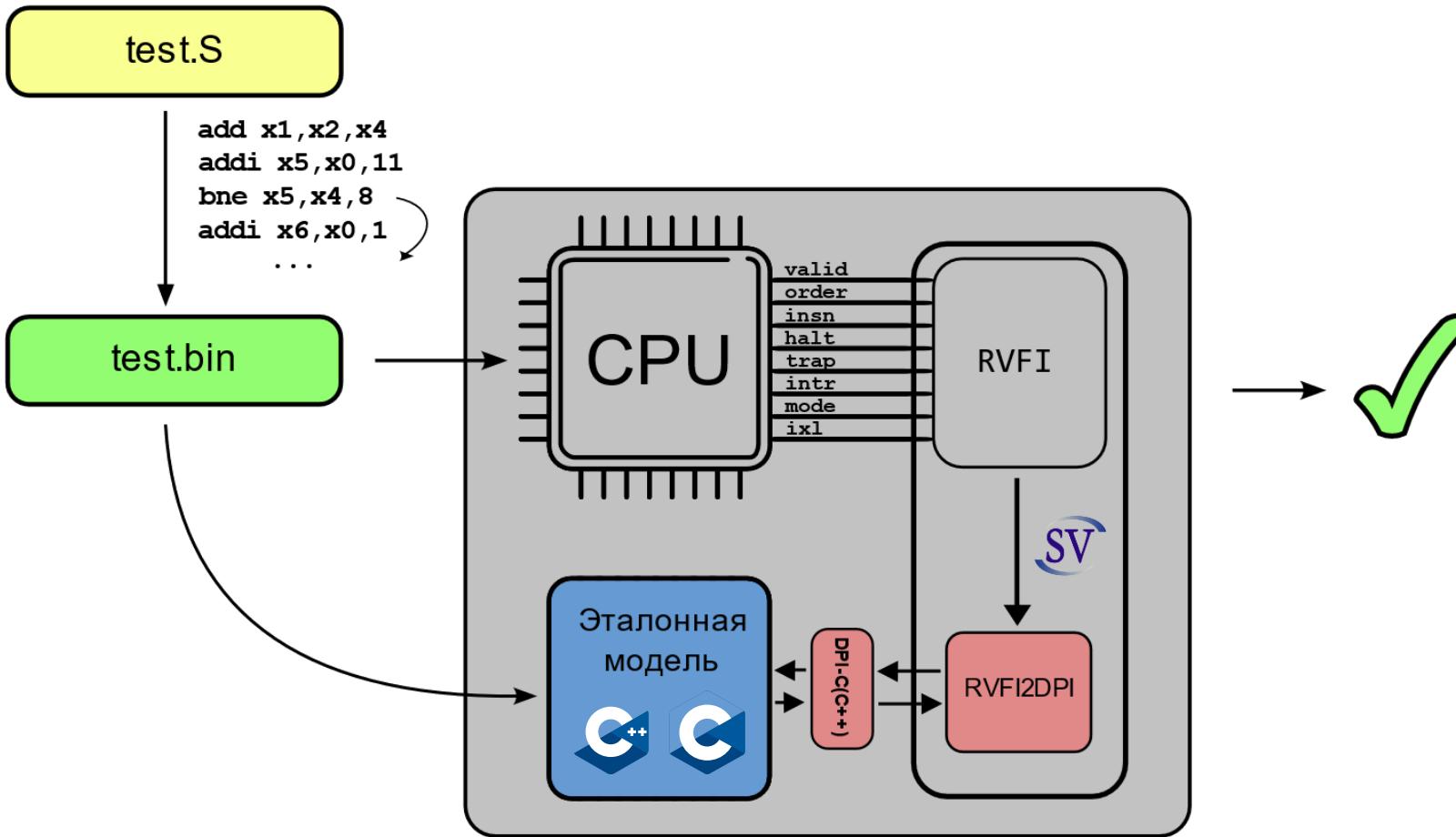
Верификация на основе симуляции и ее типы

Синхронное сравнение



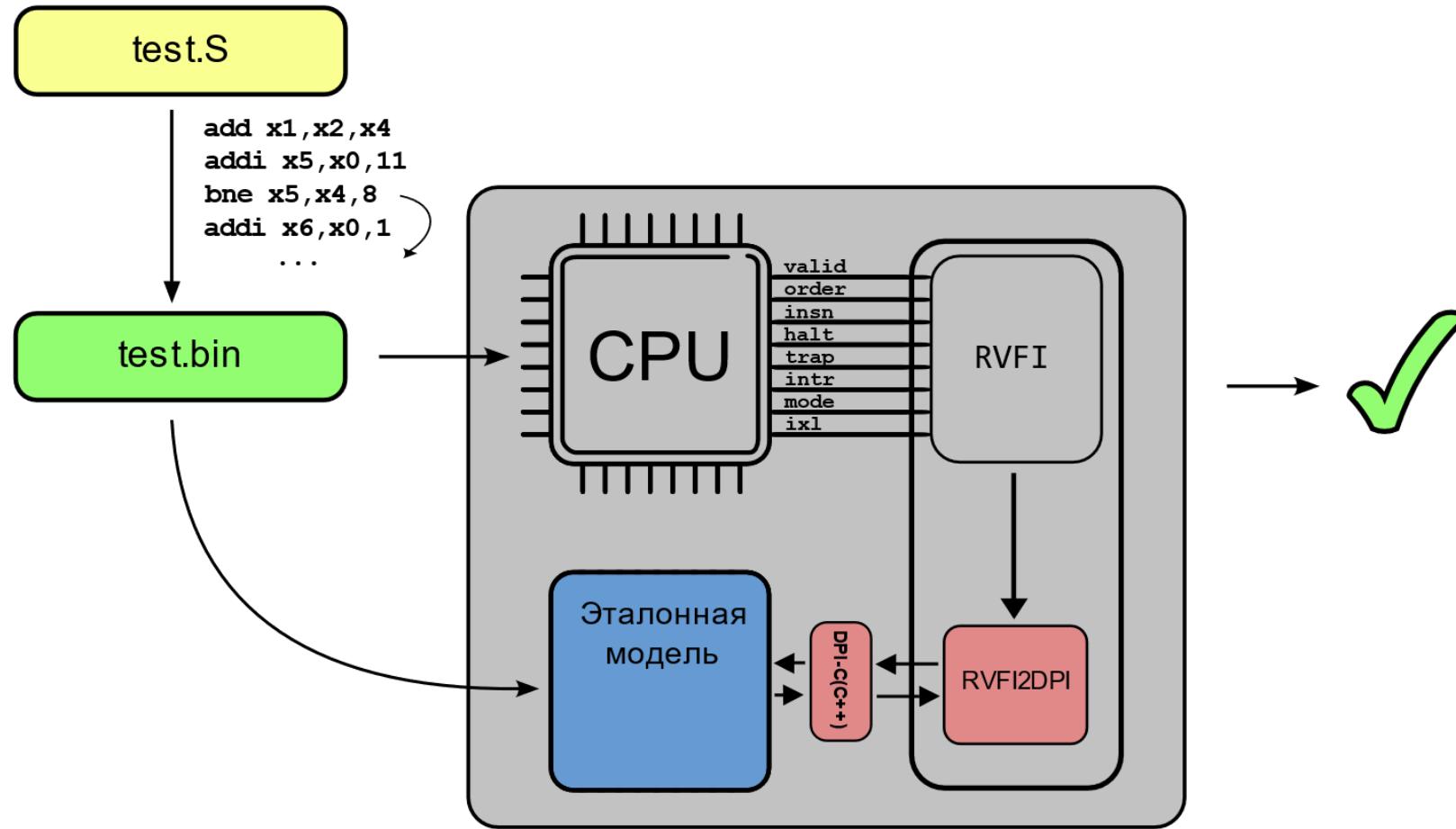
Верификация на основе симуляции и ее типы

Синхронное сравнение



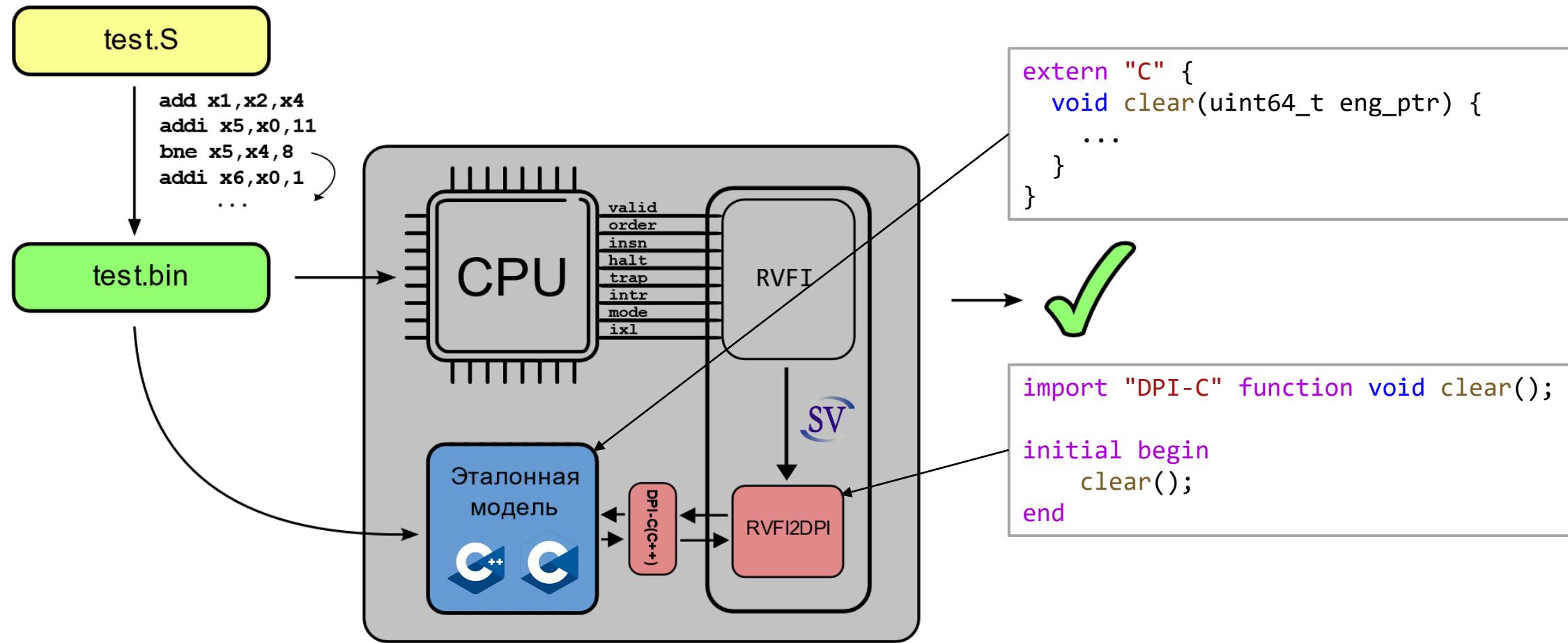
Верификация на основе симуляции и ее типы

Синхронное сравнение



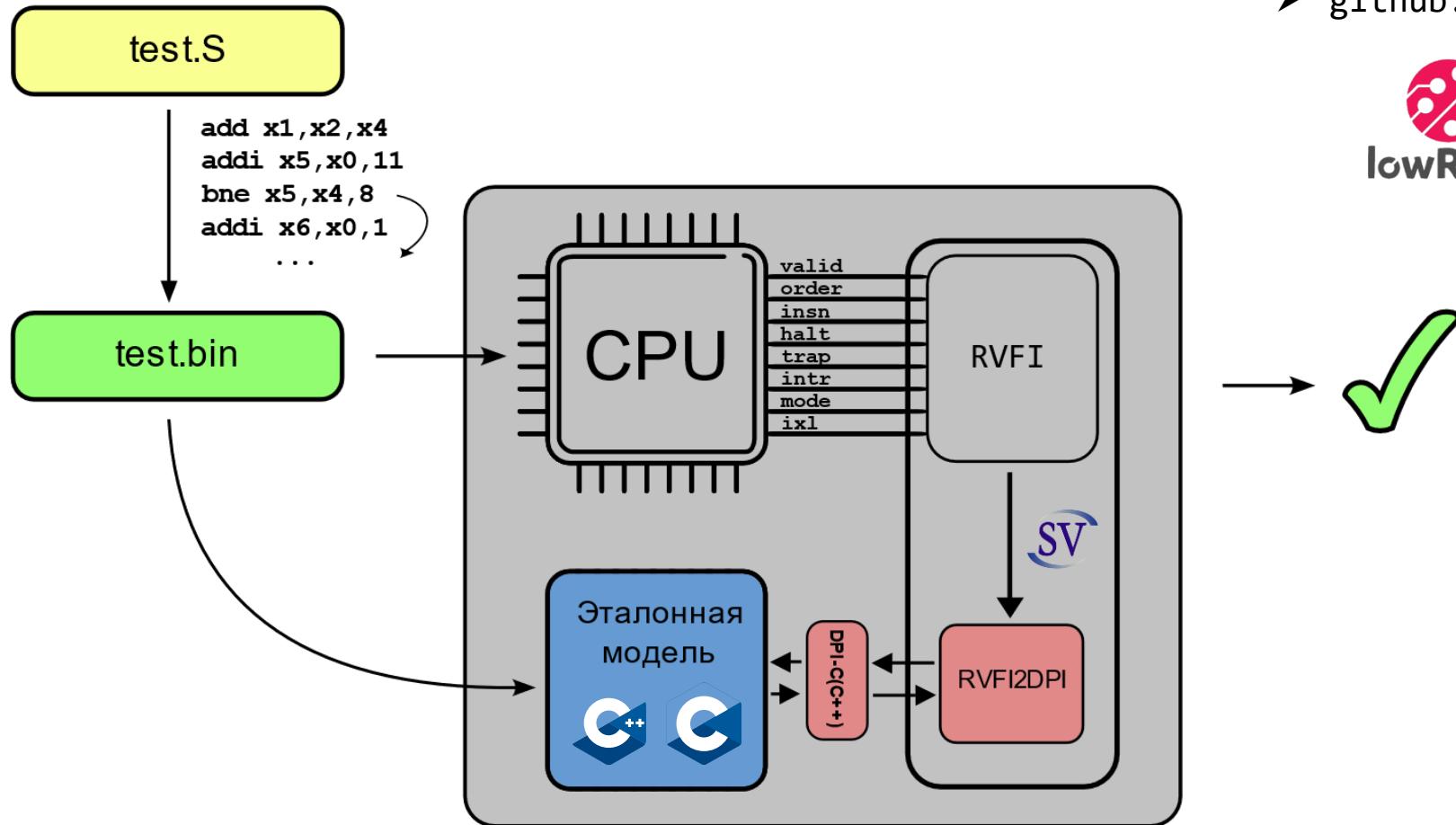
Верификация на основе симуляции и ее типы

Синхронное сравнение



Верификация на основе симуляции и ее типы

Синхронное сравнение



- github.com/lowRISC/ibex/dv/uvm/core_ibex
- github.com/openhwgroup/core-v-verif



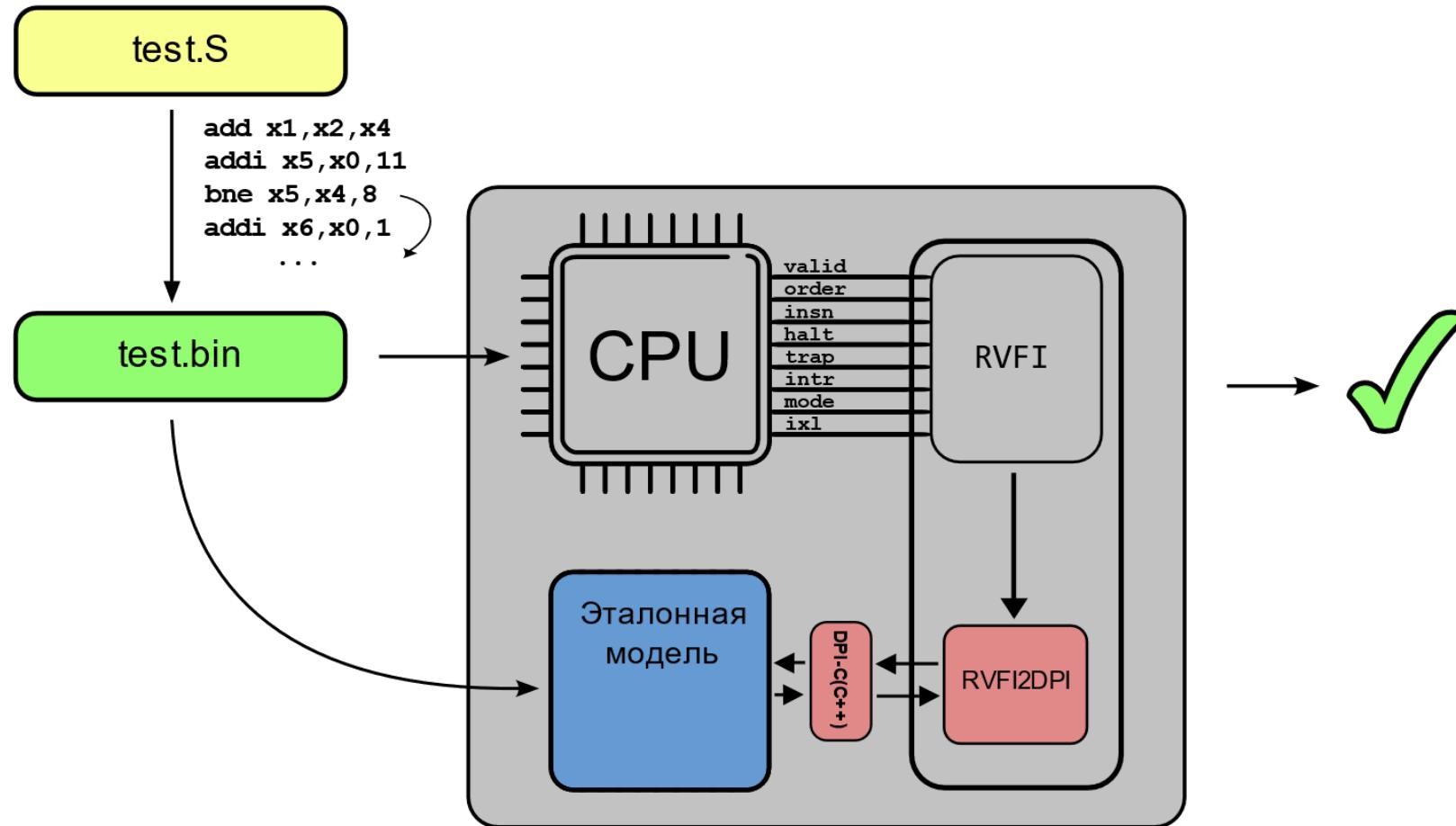
GROUP
OPEN HW[®]
PROVEN PROCESSOR IP

Верификация на основе симуляции и ее типы

Асинхронное сравнение

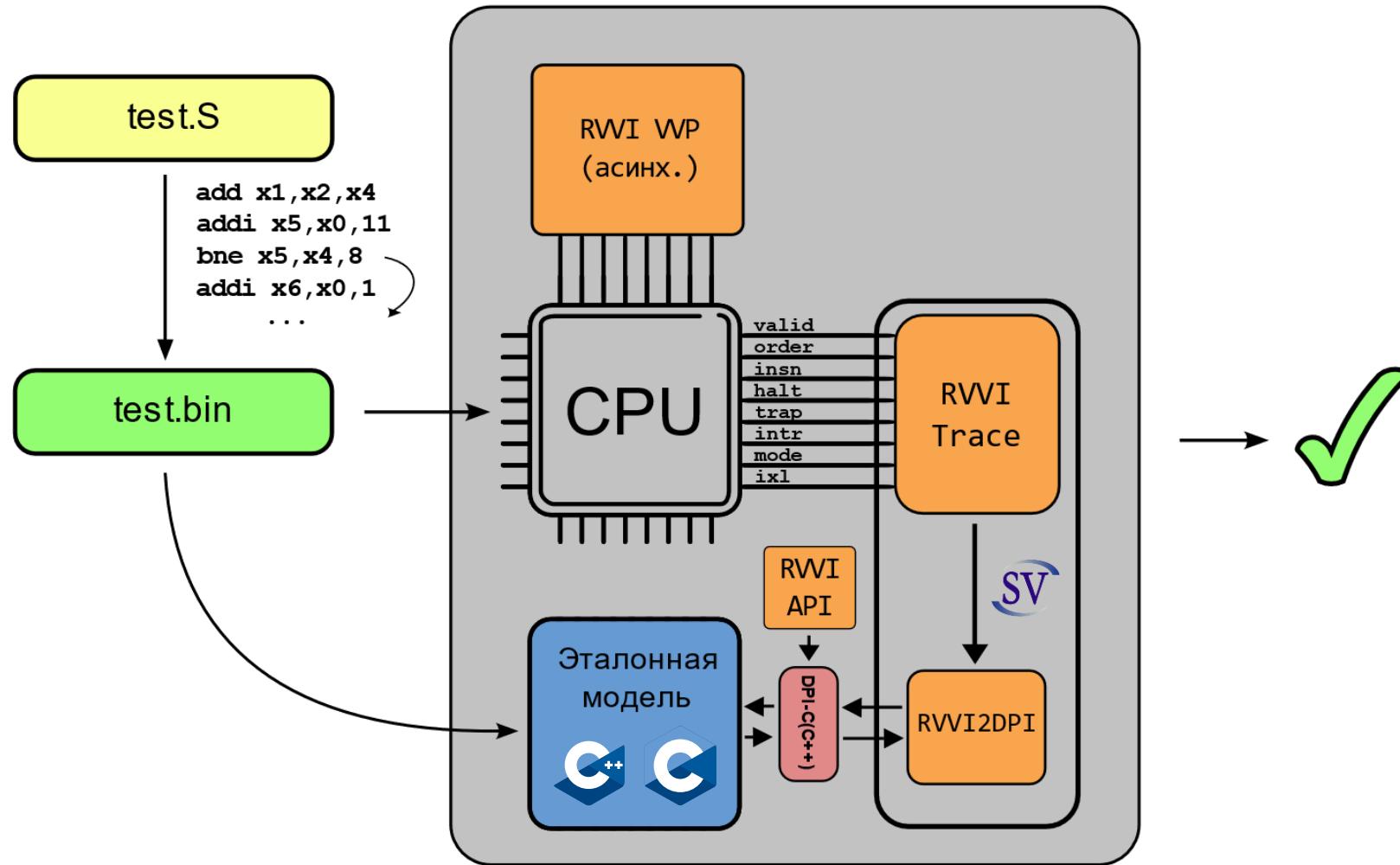
Верификация на основе симуляции и ее типы

Асинхронное сравнение



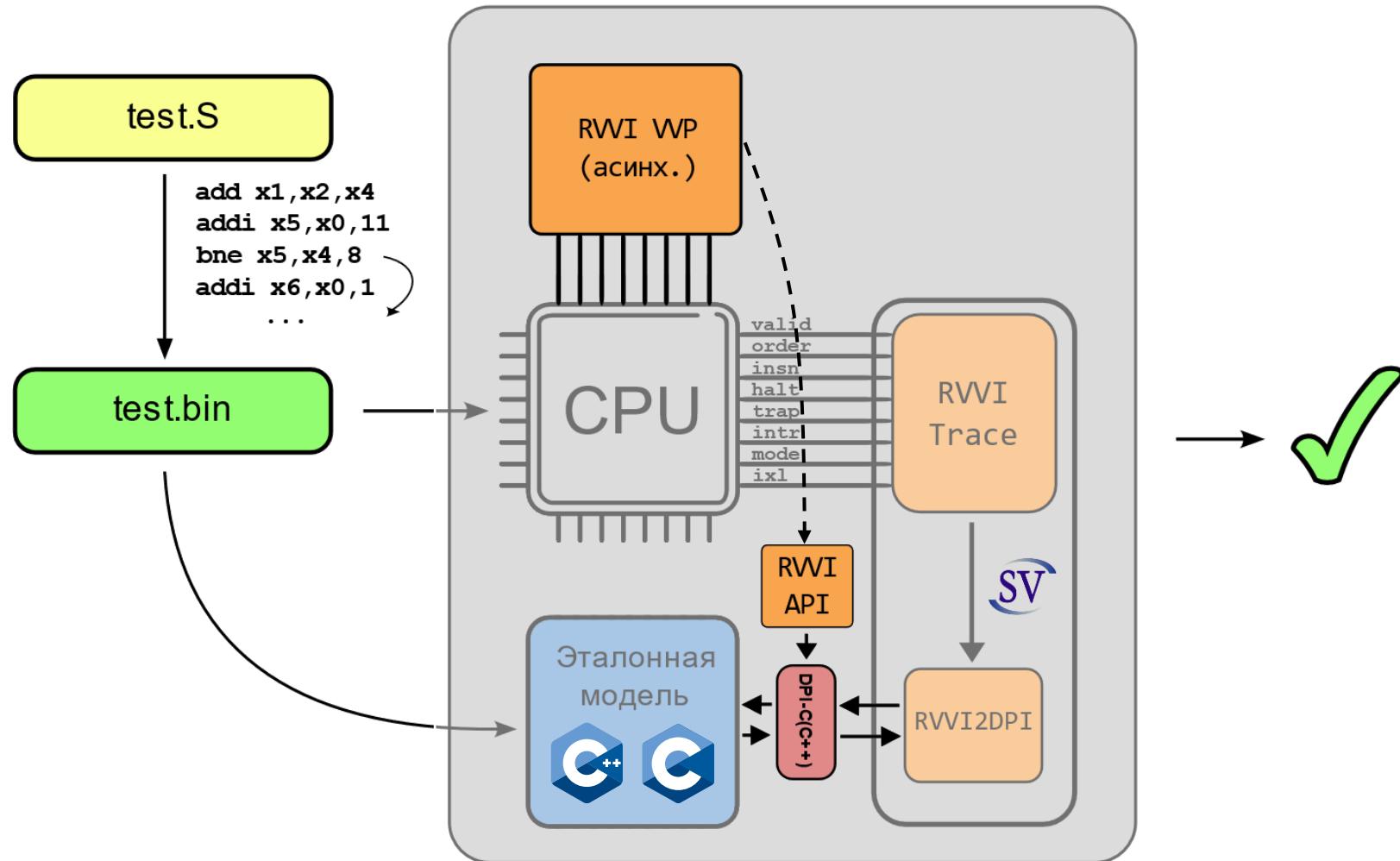
Верификация на основе симуляции и ее типы

Асинхронное сравнение



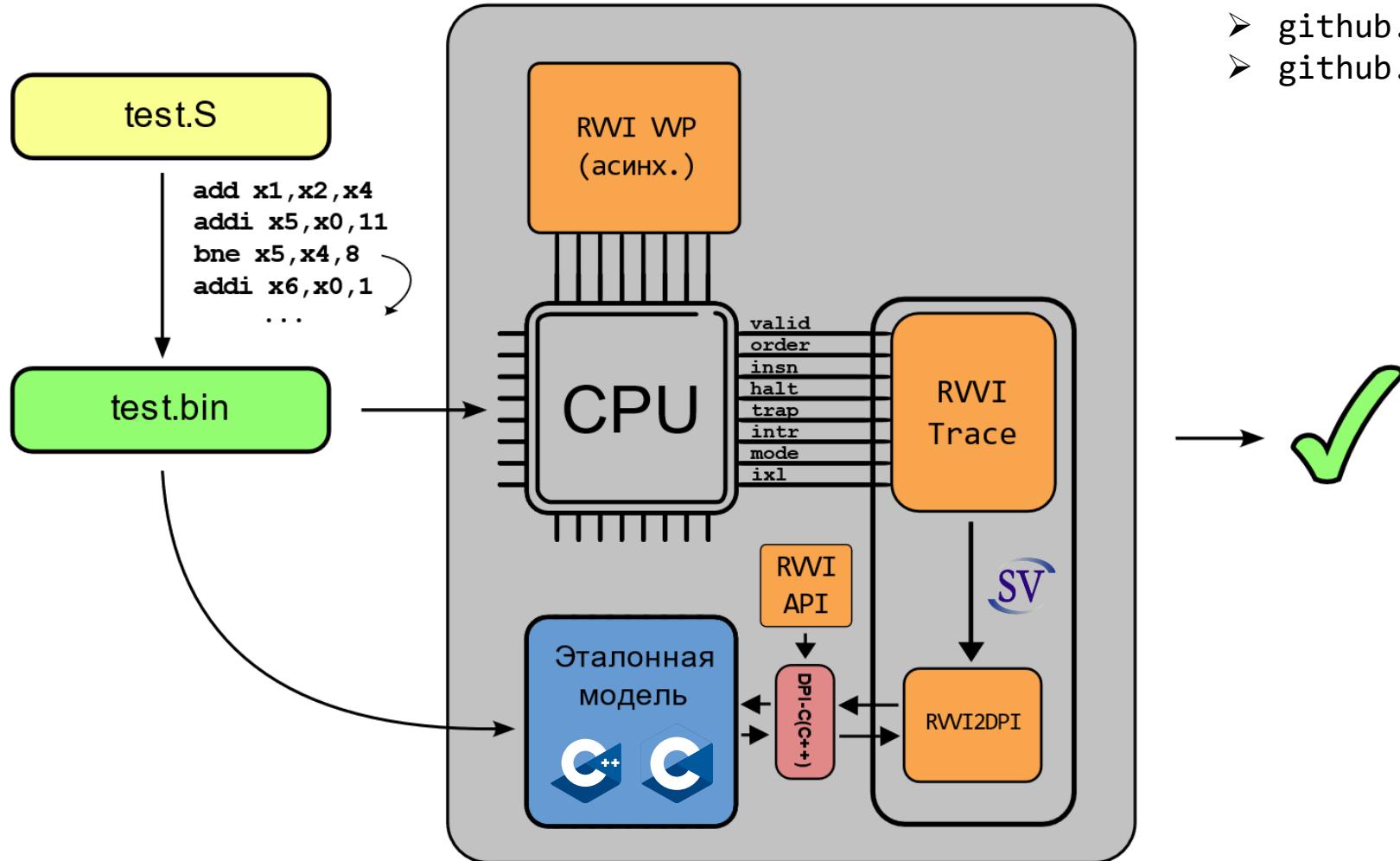
Верификация на основе симуляции и ее типы

Асинхронное сравнение



Верификация на основе симуляции и ее типы

Асинхронное сравнение



- github.com/riscv-verification/RVVI
- github.com/riscv-admin/riscv-ovpsim

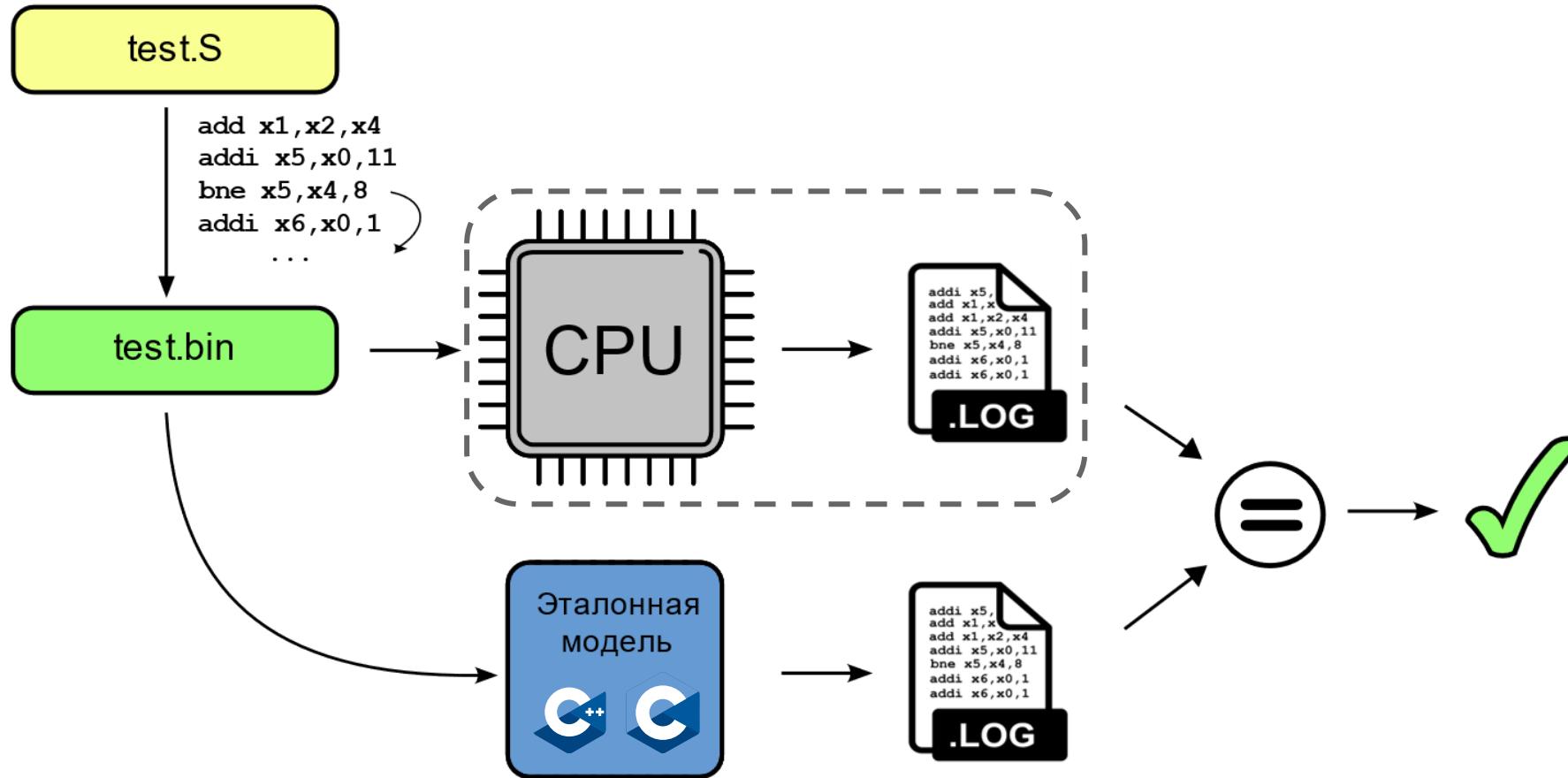
imperas

RVFI и RVVI

RVFI

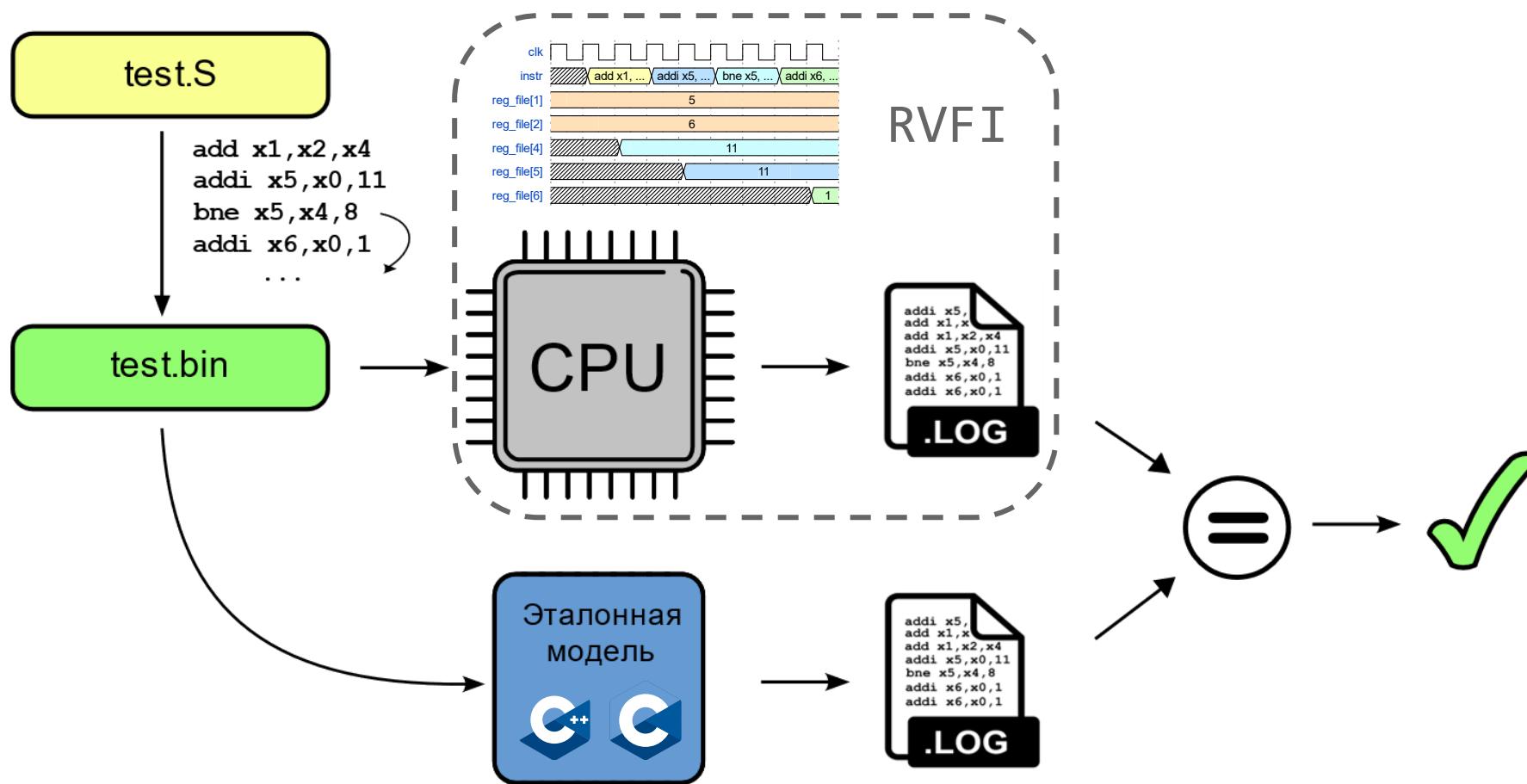
RVFI и RVVI

RVFI



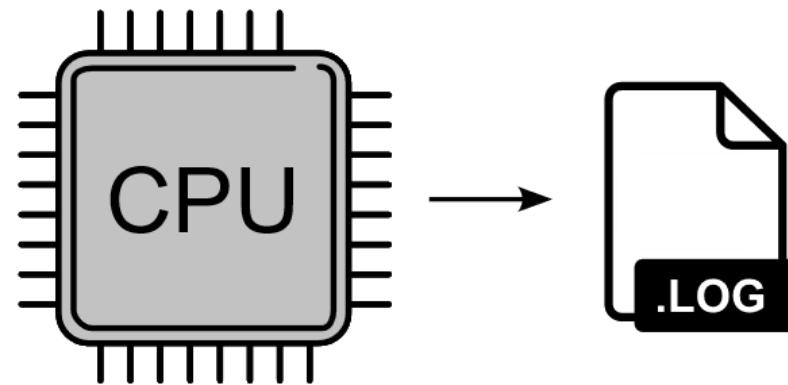
RVFI и RVVI

RVFI



RVFI и RVVI

RVFI

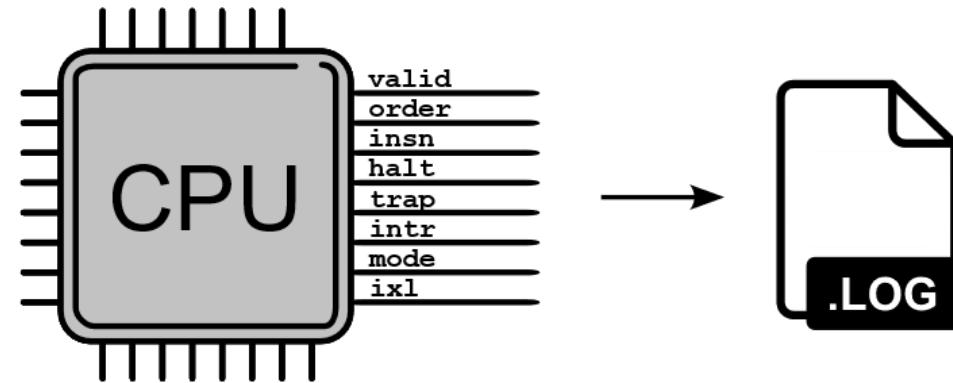


RVFI и RVVI

RVFI

- Интерфейс
- Изначально создавался для формальной верификации

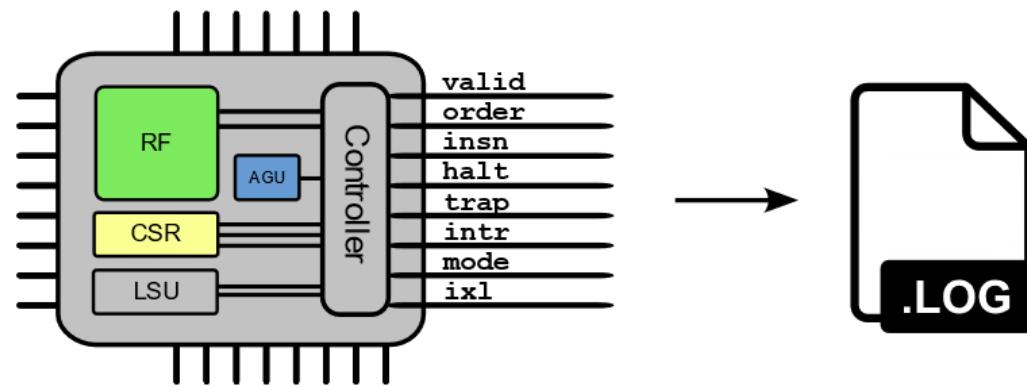
➤ github.com/SymbioticEDA/riscv-formal/docs/rvfi.md



RVFI и RVVI

RVFI

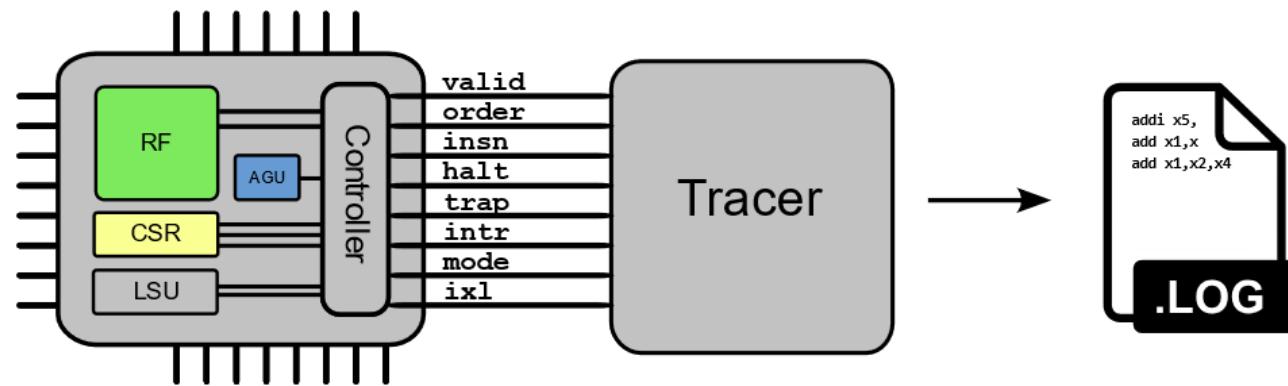
- Состоит из **статусных и информационных сигналов**
- Данный интерфейс позволяет **отслеживать состояние ядра**



RVFI и RVVI

RVFI

- Состоит из **статусных и информационных сигналов**
- Данный интерфейс позволяет **отслеживать состояние ядра**
- **Специализированный модуль (tracer)** может получать данные с выходных портов интерфейса и **производить логирование**

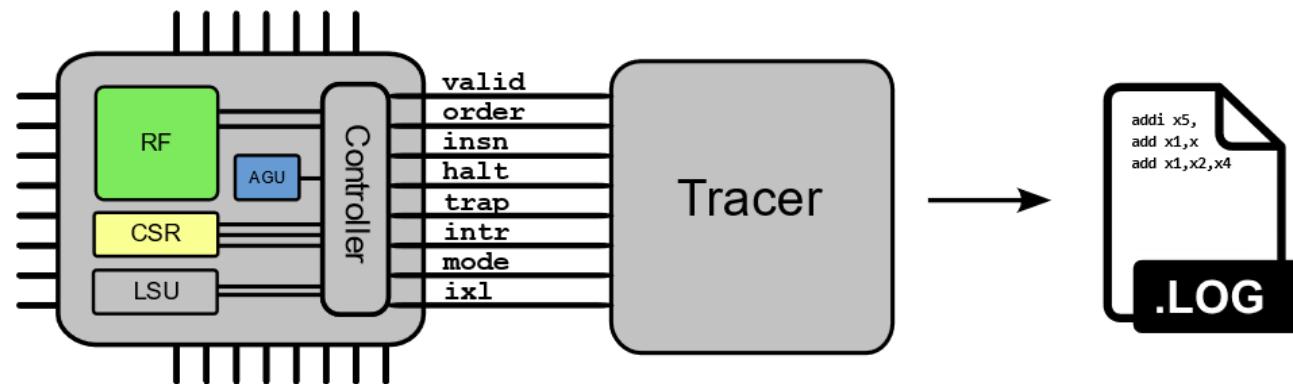


RVFI и RVVI

RVFI

- Специализированный модуль (tracer) может получать данные с выходных портов интерфейса и производить логирование

➤ github.com/lowRISC/ibex/blob/master/rtl/ibex_tracer.sv

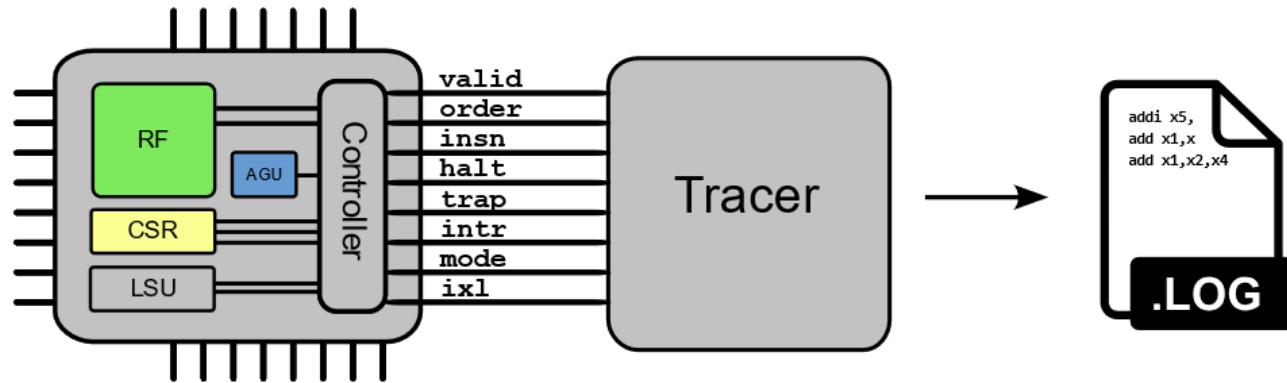


RVFI и RVVI

RVVI

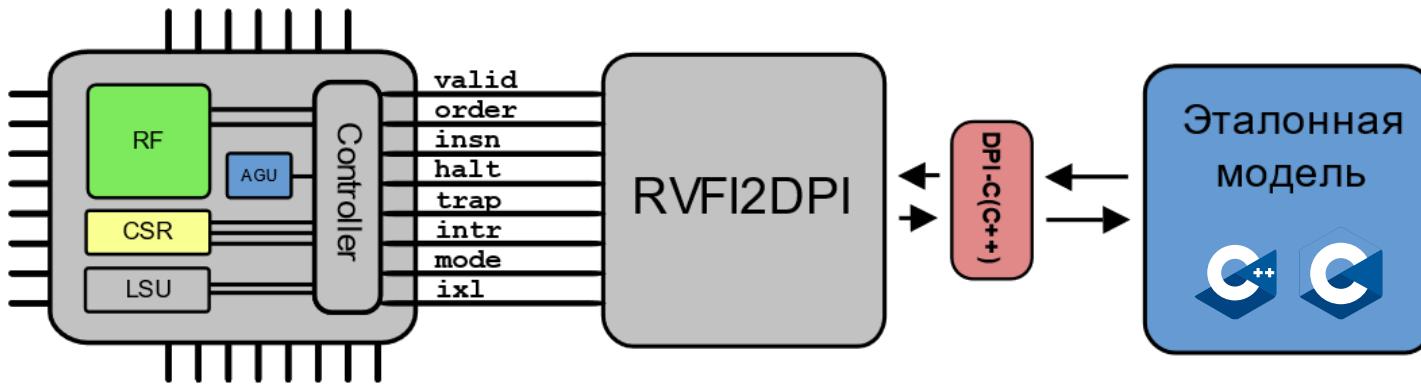
RVFI и RVVI

RVVI



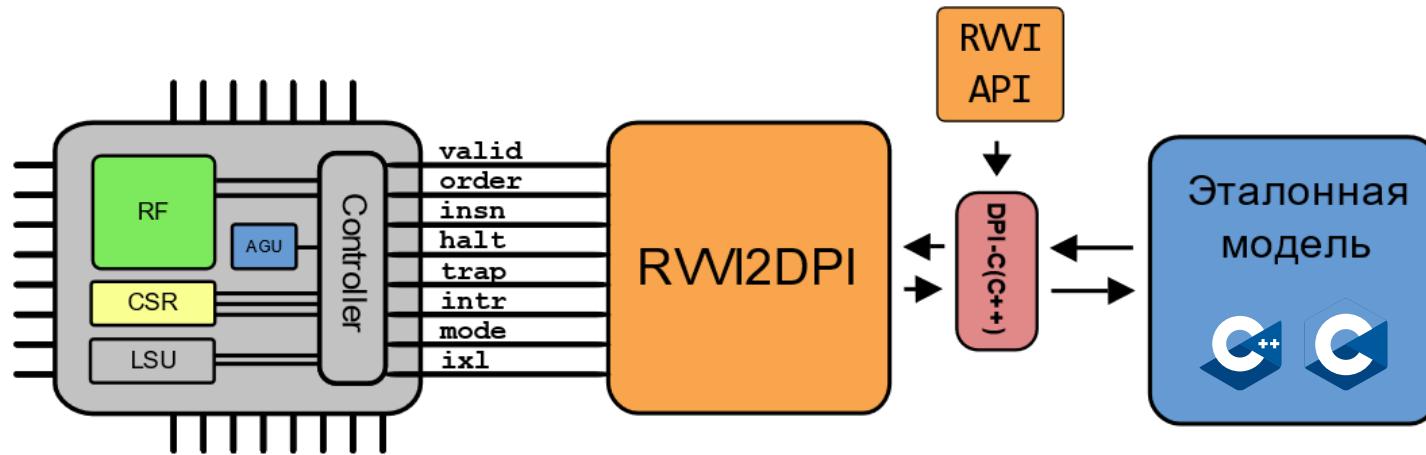
RVFI и RVVI

RVVI



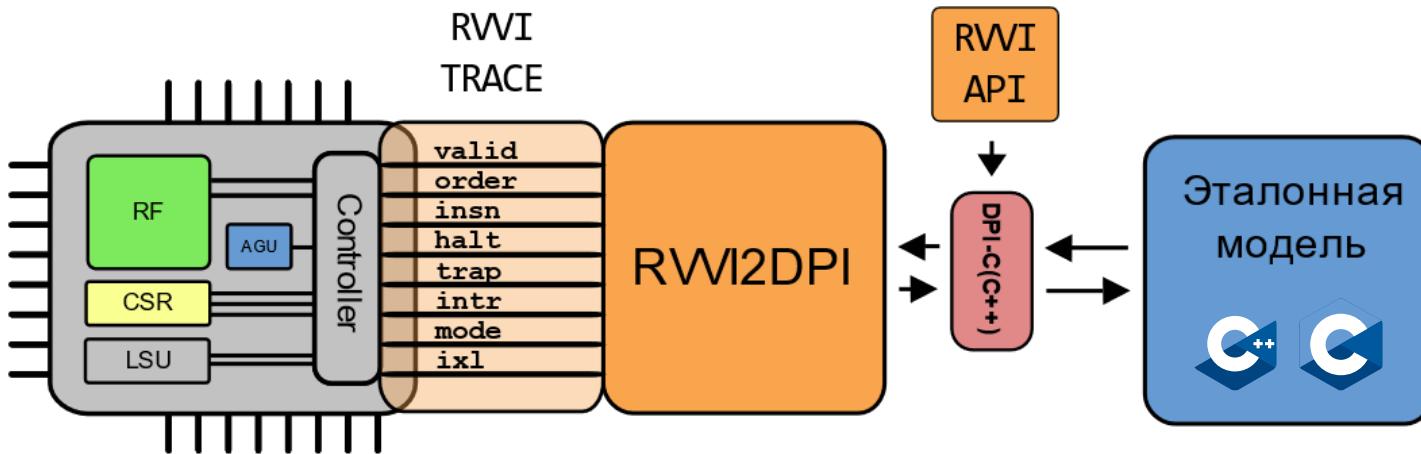
RVFI и RVVI

RVVI



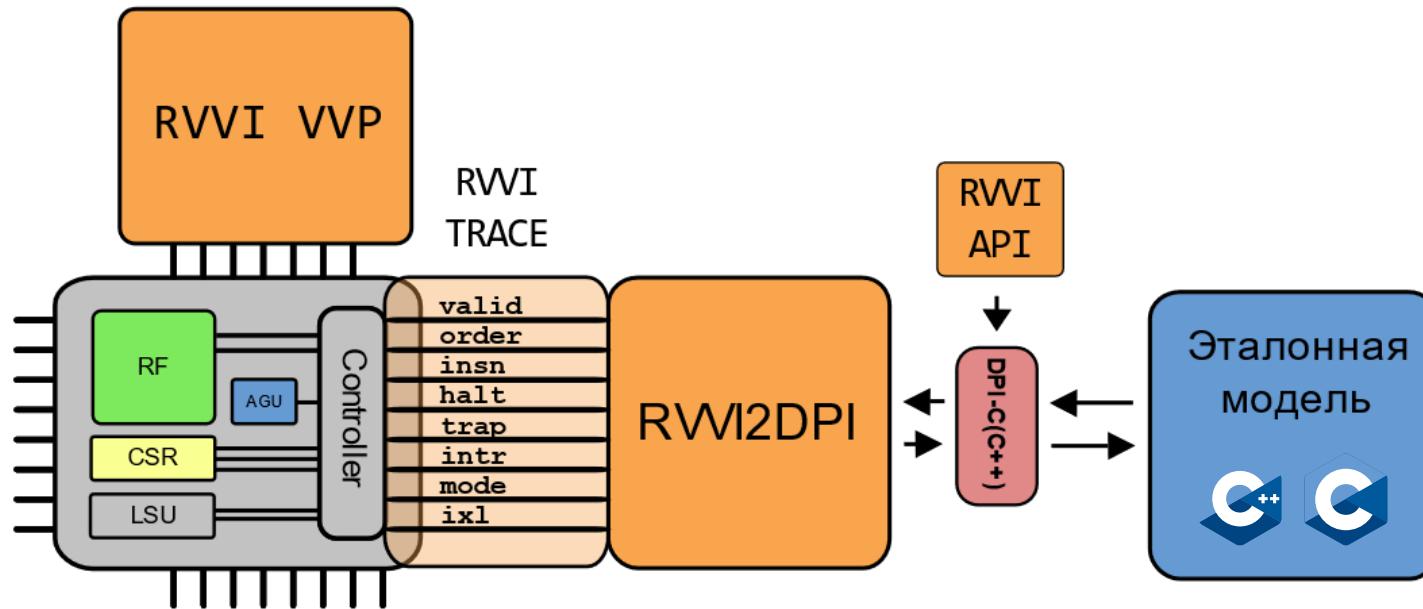
RVFI и RVVI

RVVI



RVFI и RVVI

RVVI

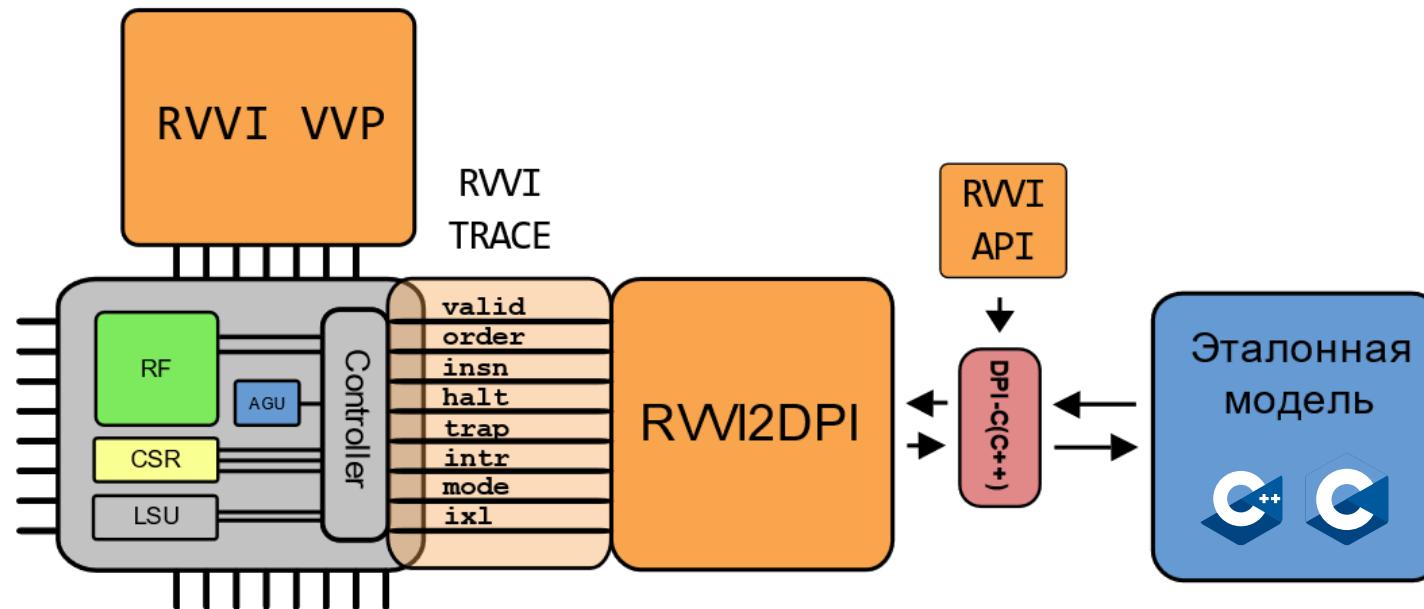


RVFI и RVVI

RVVI

➤ github.com/riscv-verification/RVVI

imperas



План выступления

- Введение в верификацию процессорных ядер
 - Что такое верификация цифровых устройств
 - Верификация процессорных ядер: основные сложности
- Верификация RISC-V
 - Архитектура RISC-V
 - Верификация с учетом особенностей
- Типы верификации и их применимость для RISC-V ядер
 - Формальная верификация и симуляция
 - Применимость типов
- Верификация на основе симуляции и ее типы
- Интерфейсы RVFI и RVVI
- Оценка вектора развития верификации RISC-V ядер

