

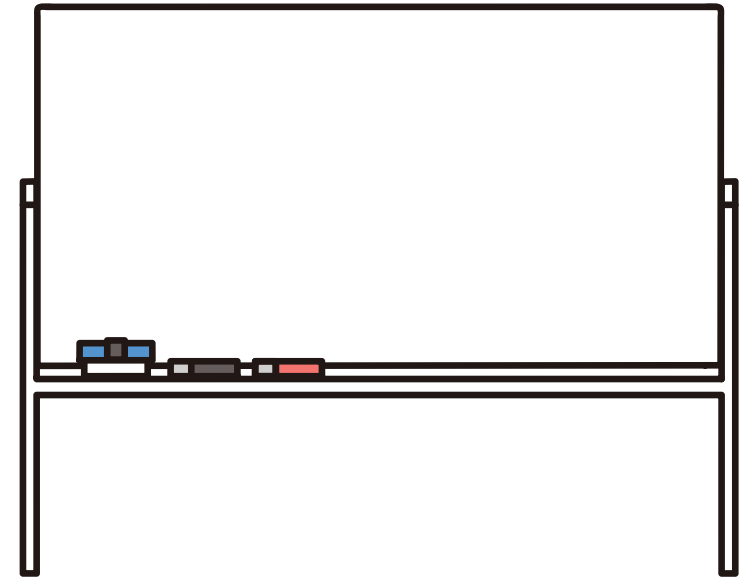
Использование открытых инструментов для Step-and-Compare верификации RISC-V ядер

Чусов Сергей Андреевич НИЛ энергоэффективных Систем на Кристалле
Инженер по верификации



План выступления

- Введение в функциональную верификацию
 - Верификация и функциональная верификация
 - Функциональная верификация процессорных ядер
- Функциональная верификация RISC-V
 - Особенности верификации RISC-V ядер
- Step-and-Compare подход к верификации RISC-V ядер
 - Существующие подходы к верификации RISC-V ядер
 - Подробное описание подхода Step-and-Compare
- Step-and-Compare с использованием открытого ПО
 - Мотивация
 - Обзор компонентов
 - Пример использования

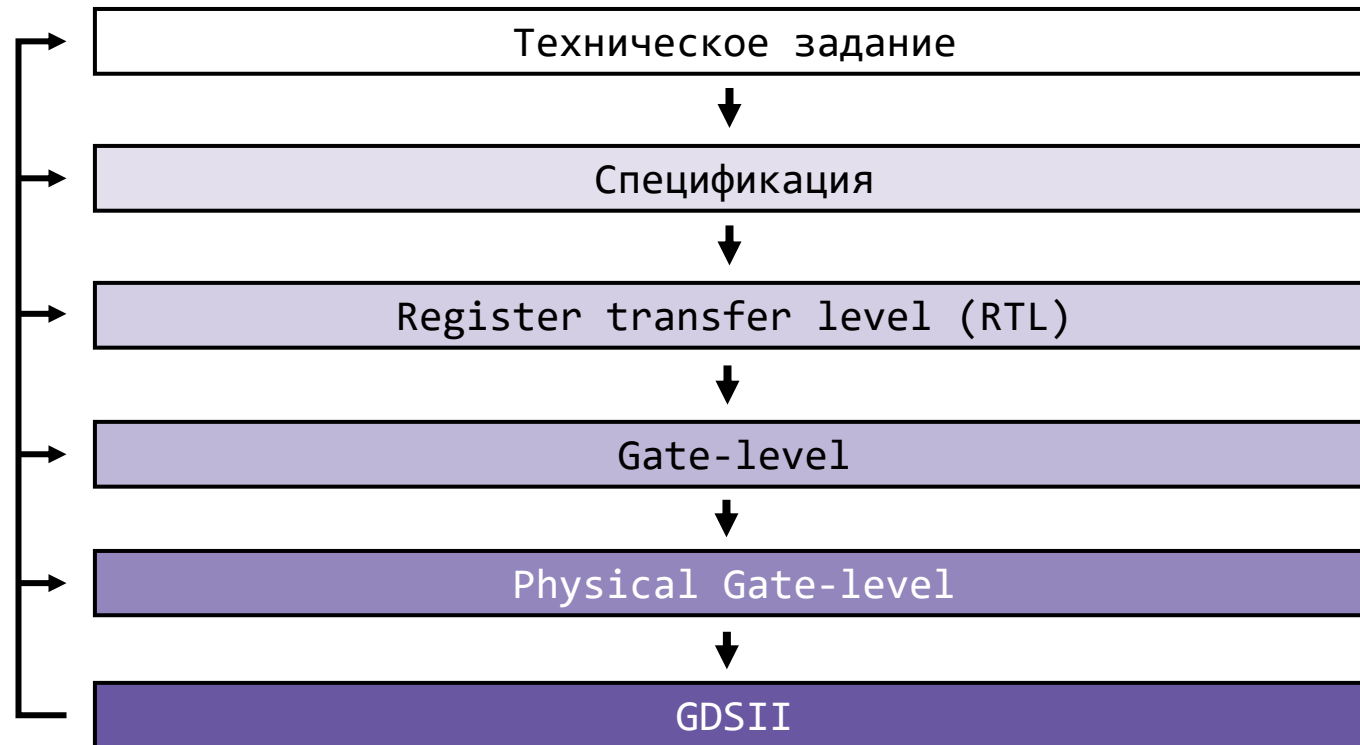


Введение в функциональную верификацию

Верификация и функциональная верификация

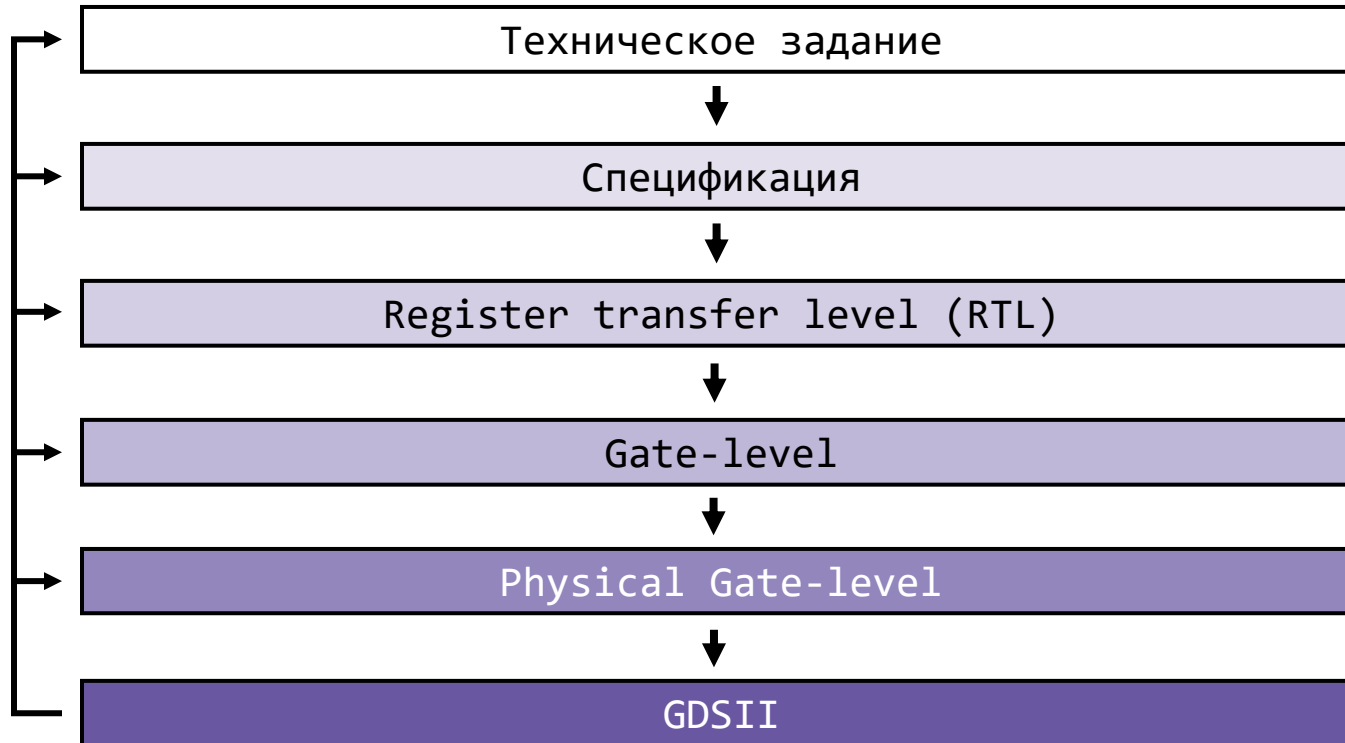
Введение в функциональную верификацию

Верификация и функциональная верификация



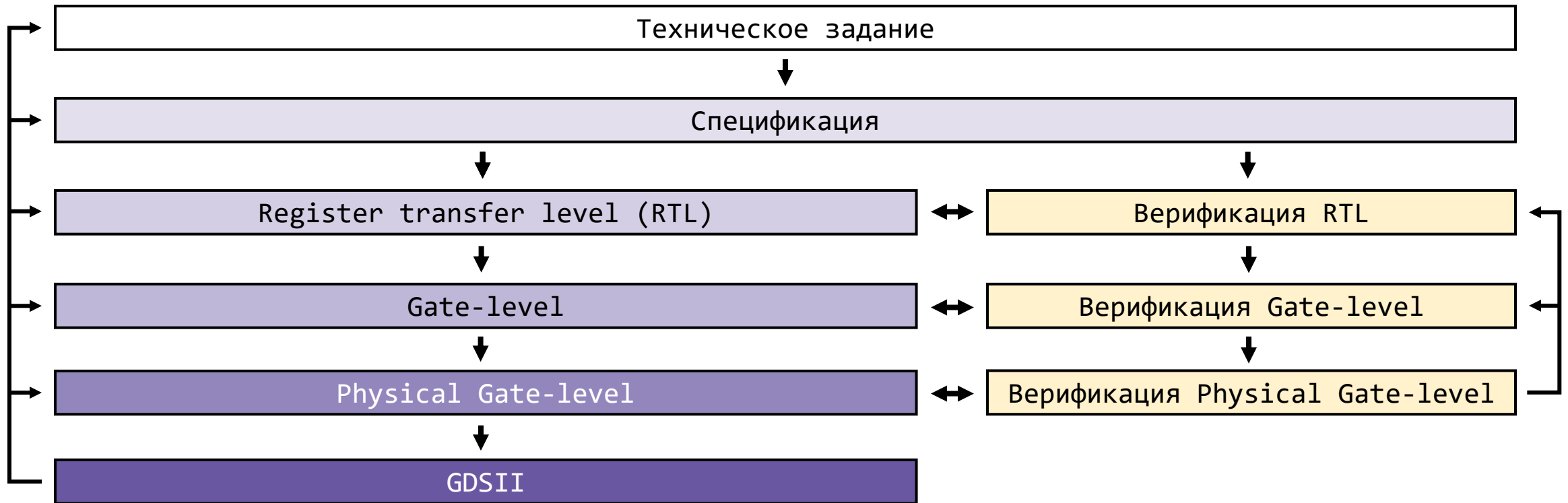
Введение в функциональную верификацию

Верификация и функциональная верификация



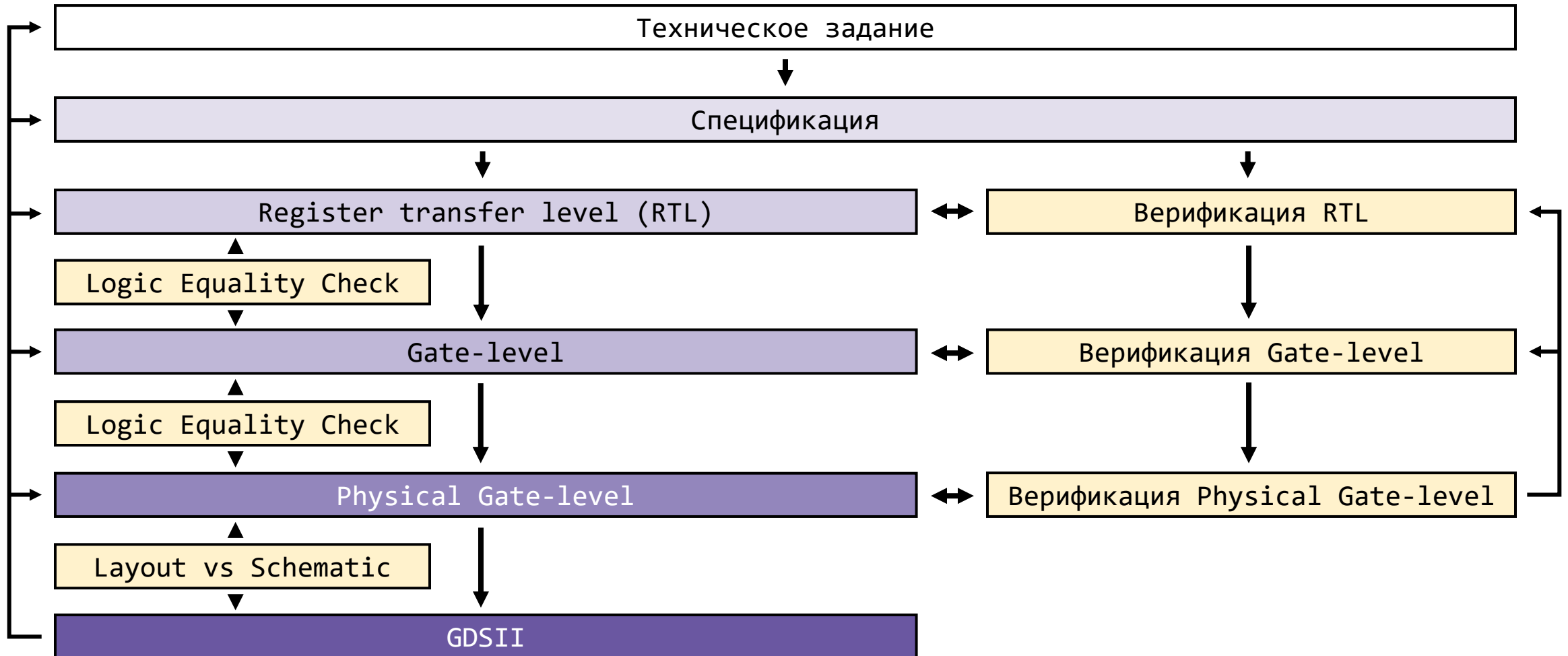
Введение в функциональную верификацию

Верификация и функциональная верификация



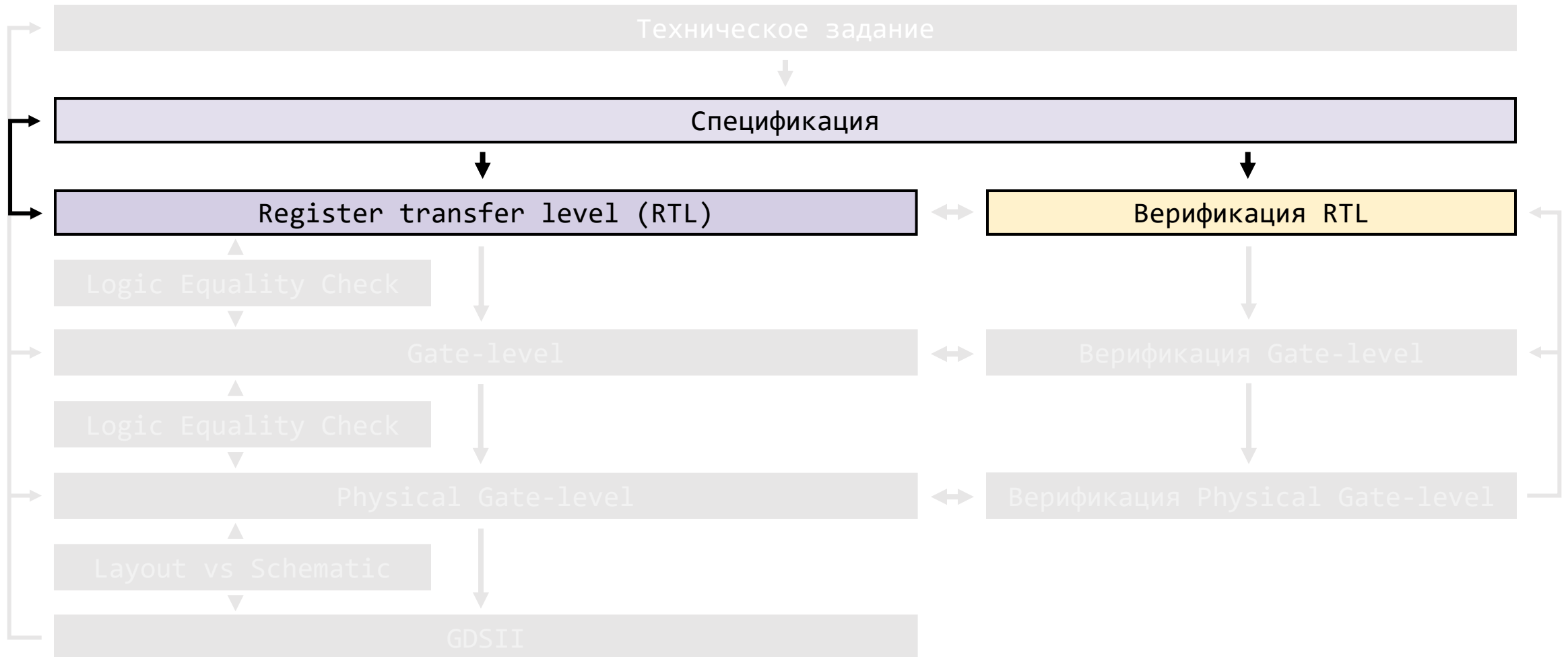
Введение в функциональную верификацию

Верификация и функциональная верификация



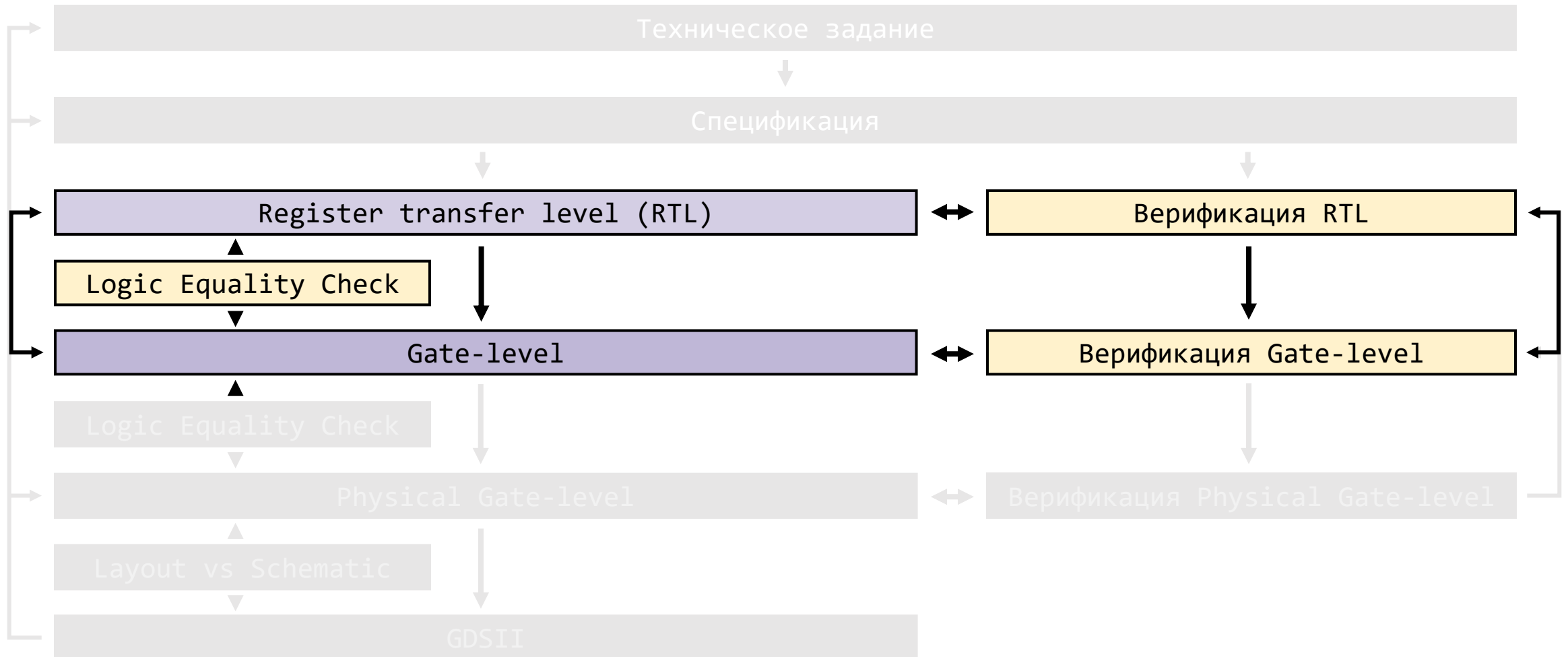
Введение в функциональную верификацию

Верификация и функциональная верификация



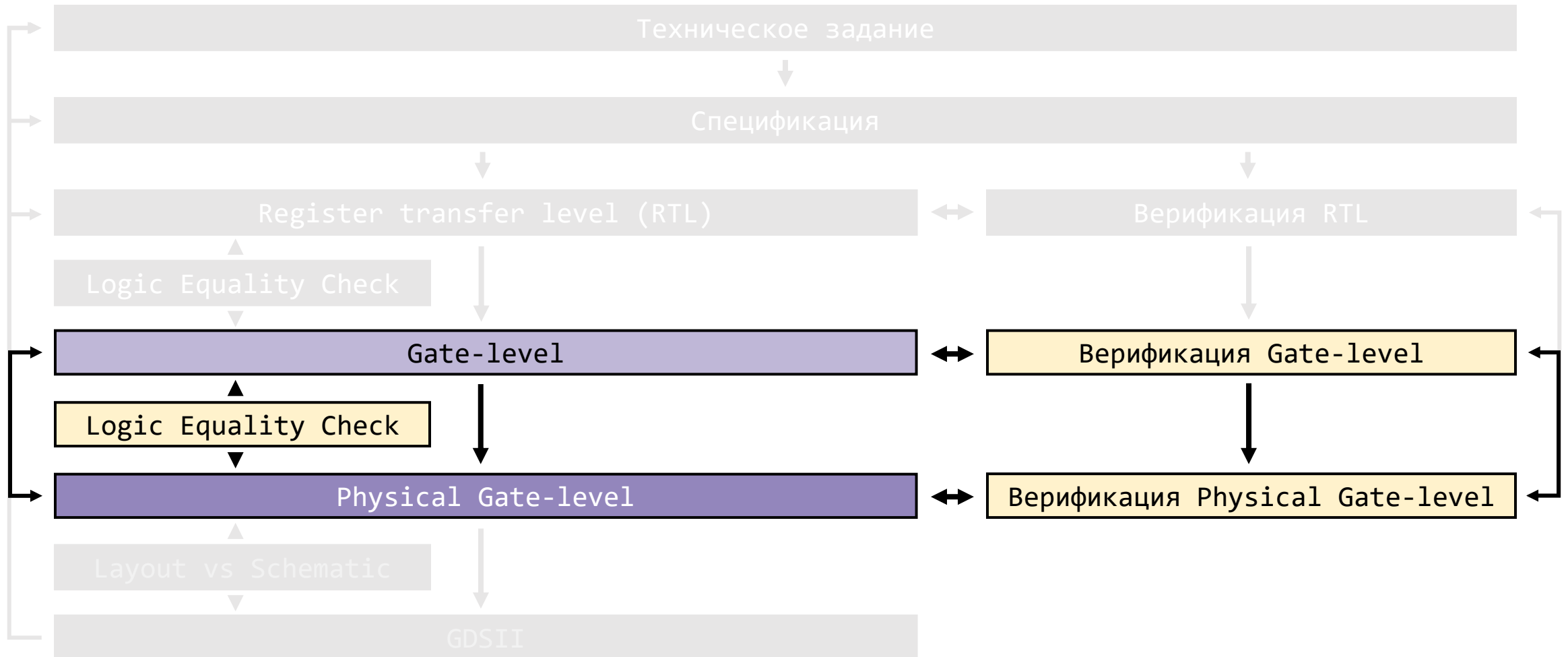
Введение в функциональную верификацию

Верификация и функциональная верификация



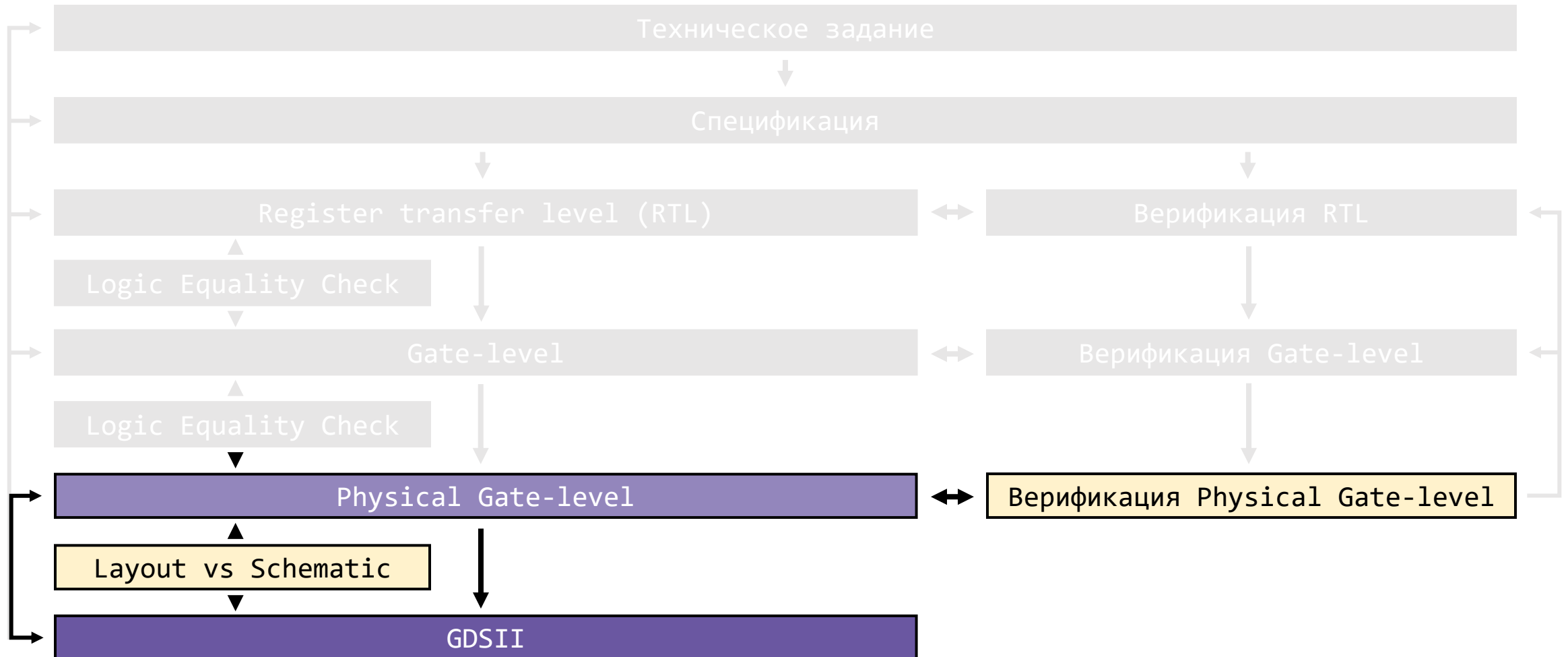
Введение в функциональную верификацию

Верификация и функциональная верификация



Введение в функциональную верификацию

Верификация и функциональная верификация



Введение в функциональную верификацию

Верификация и функциональная верификация

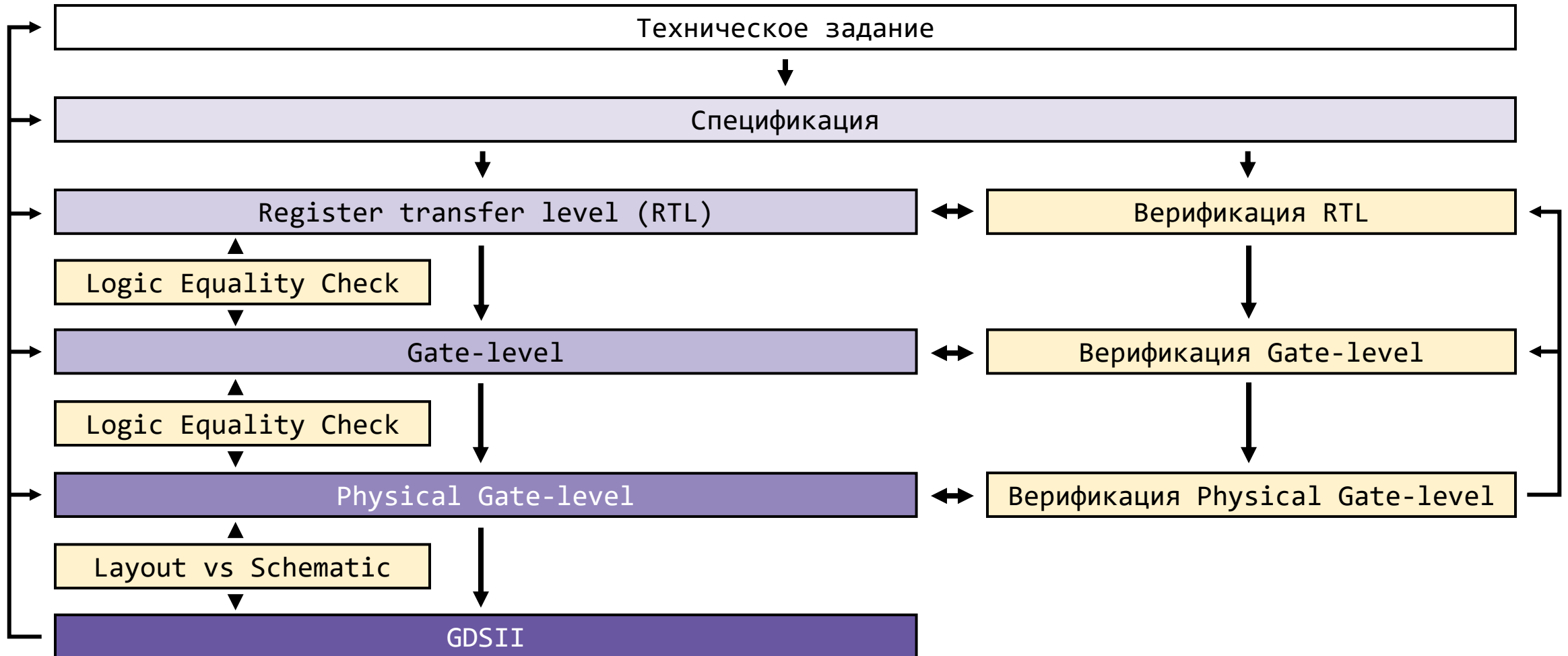
Верификация – процесс подтверждения эквивалентности представлений.

Под представлениями подразумеваются:

- Спецификация;
- RTL;
- Gate-level;
- Physical Gate-level;
- GDSII.

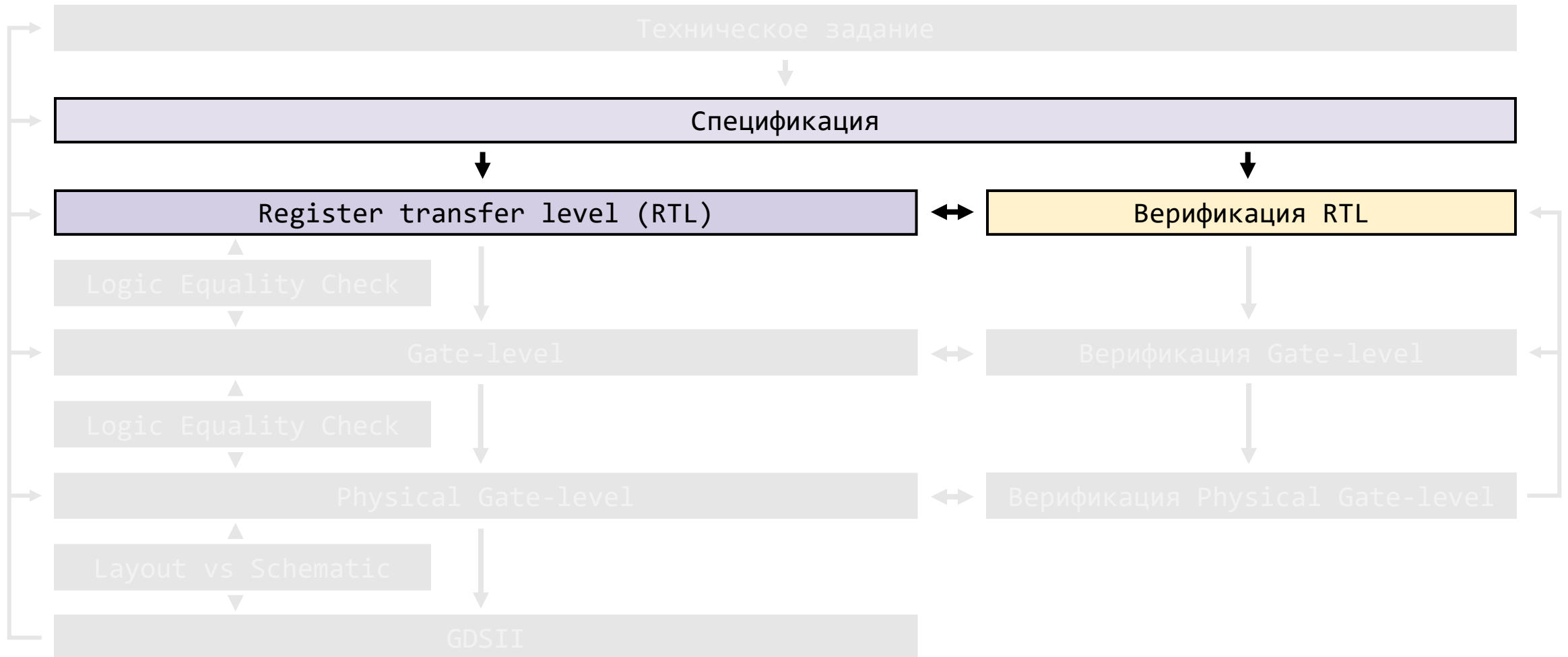
Введение в функциональную верификацию

Верификация и функциональная верификация



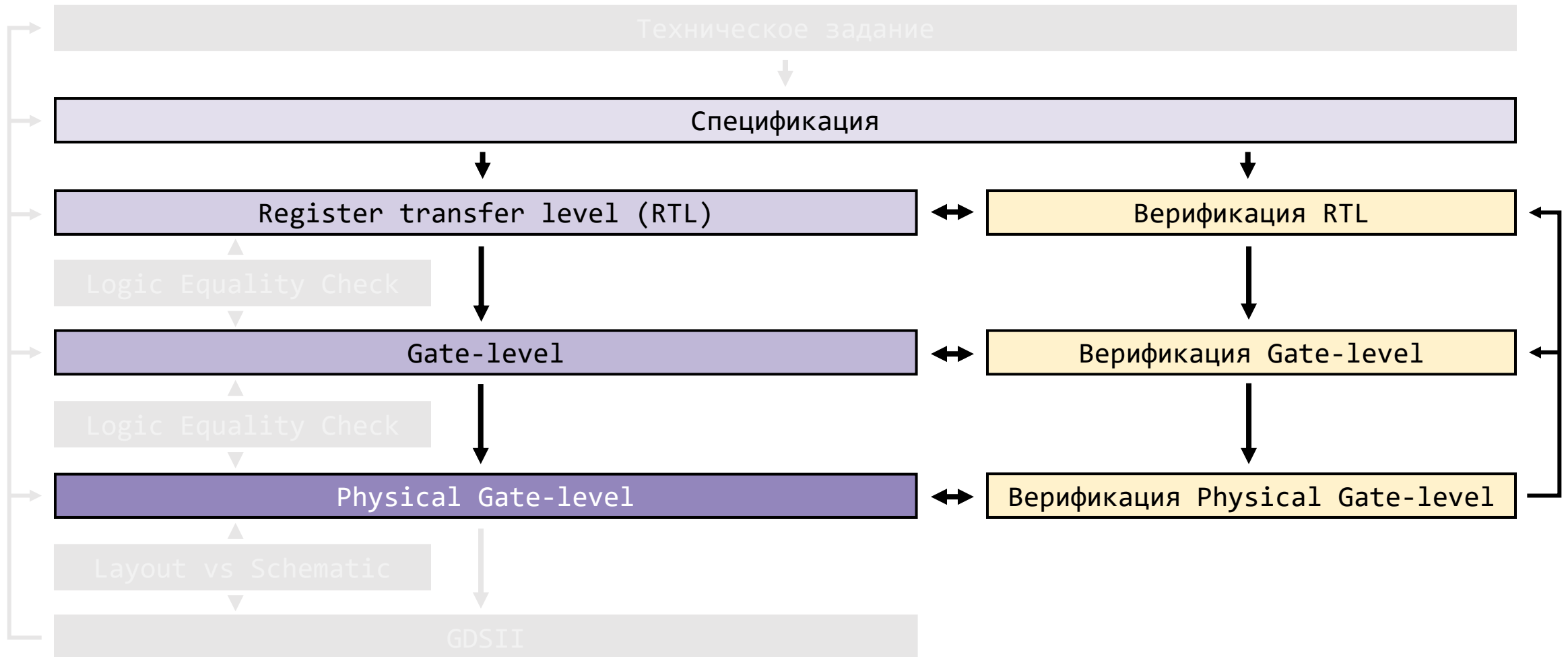
Введение в функциональную верификацию

Верификация и функциональная верификация



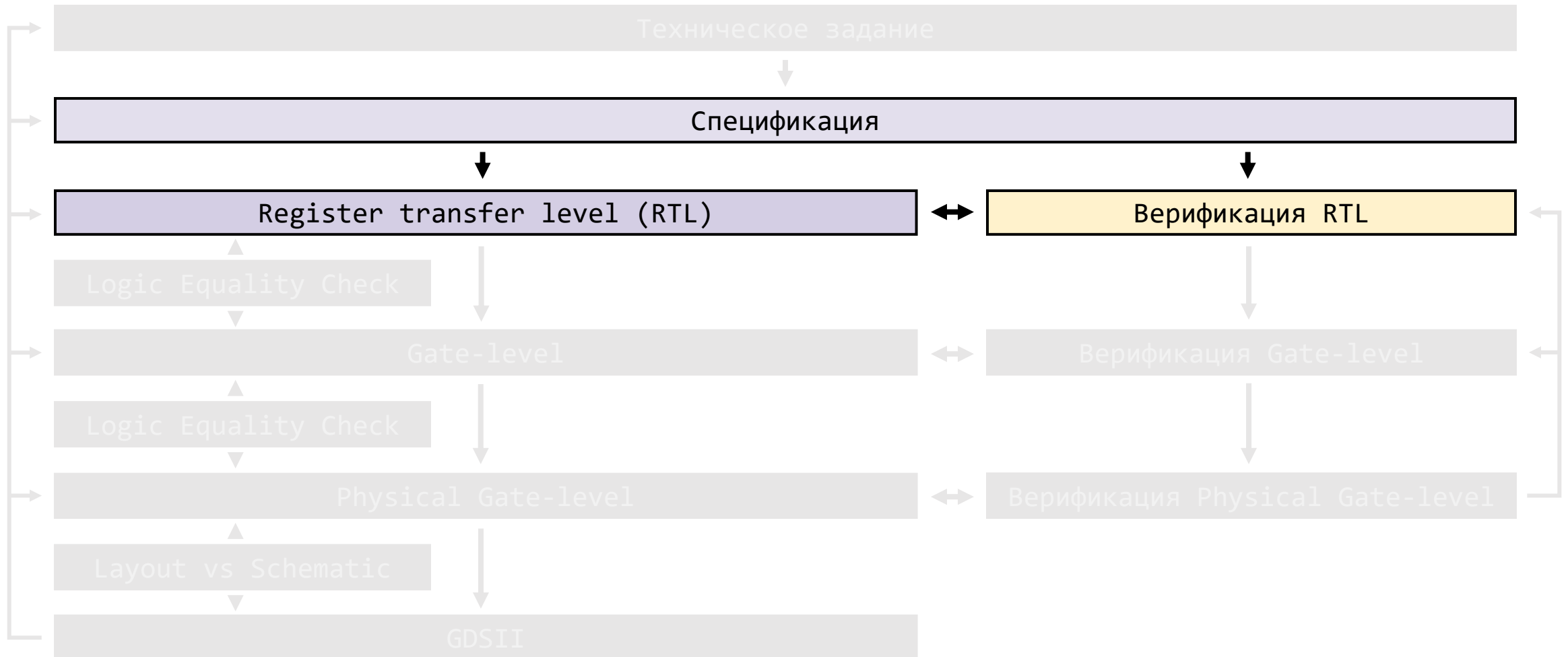
Введение в функциональную верификацию

Верификация и функциональная верификация



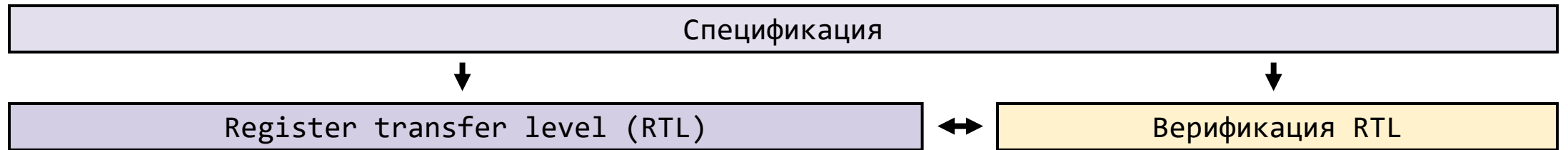
Введение в функциональную верификацию

Верификация и функциональная верификация



Введение в функциональную верификацию

Верификация и функциональная верификация



Введение в функциональную верификацию

Верификация и функциональная верификация

Верификация – процесс подтверждения эквивалентности представлений.

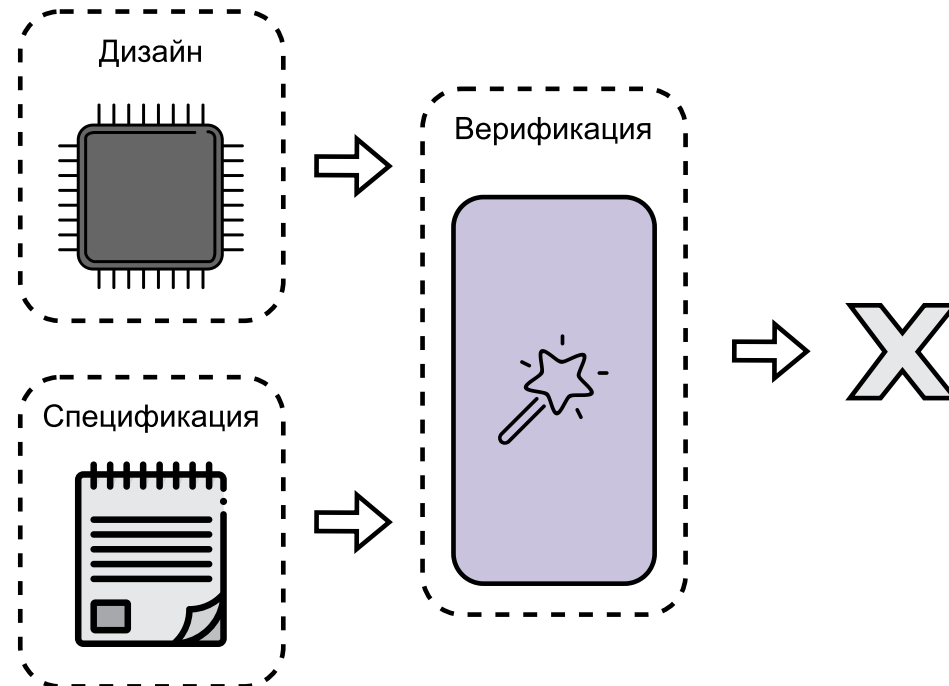
Под представлениями подразумеваются:

- Спецификация;
- RTL;
- Gate-level;
- Physical Gate-level;
- GDSII.

Введение в функциональную верификацию

Верификация и функциональная верификация

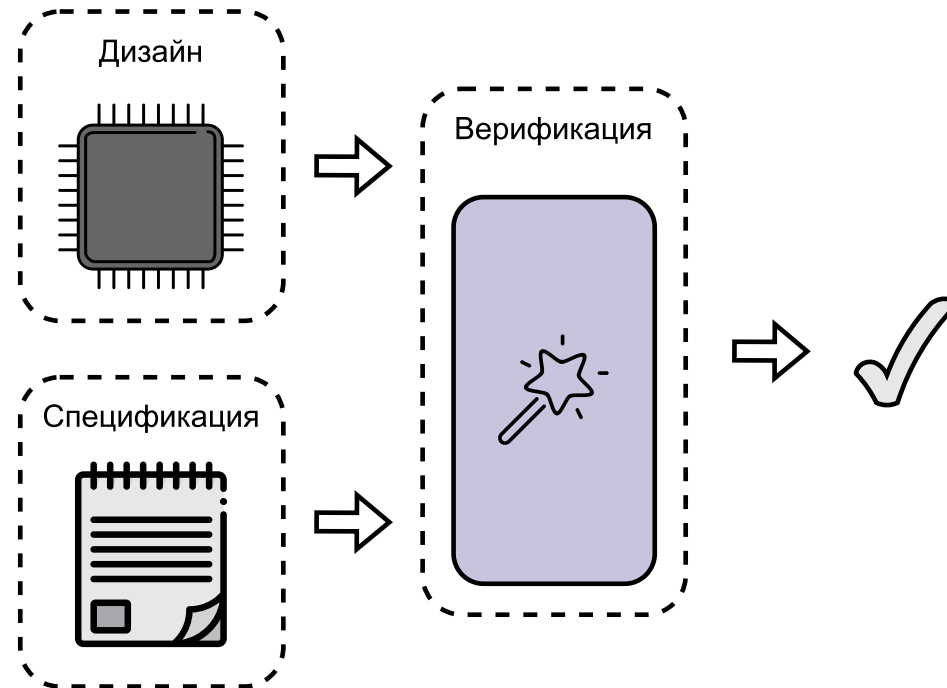
Функциональная верификация – процесс подтверждения эквивалентности RTL и спецификации.



Введение в функциональную верификацию

Верификация и функциональная верификация

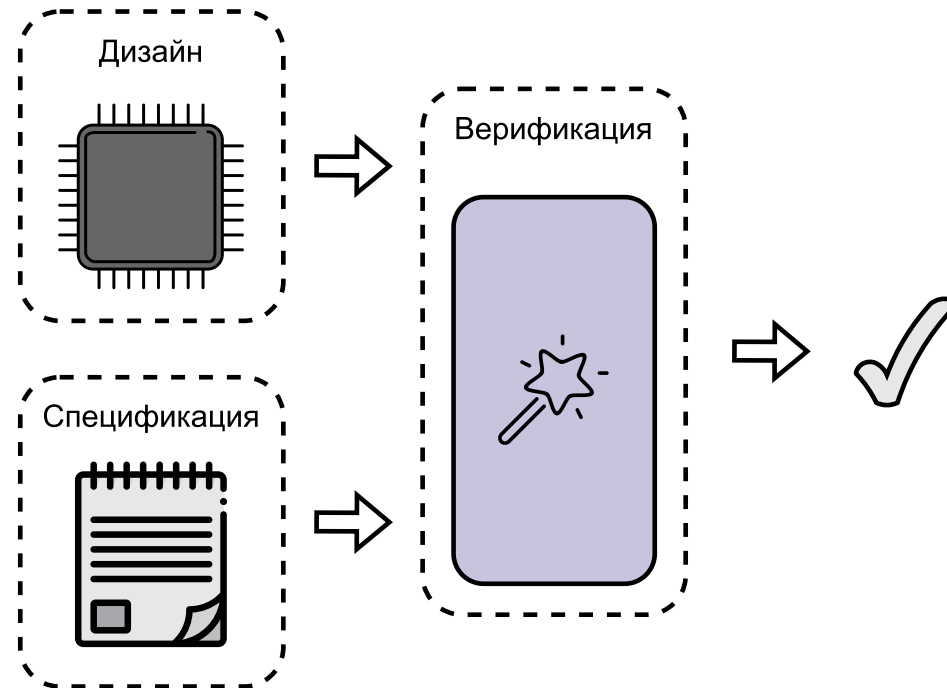
Функциональная верификация – процесс подтверждения эквивалентности RTL и спецификации.



Введение в функциональную верификацию

Верификация и функциональная верификация

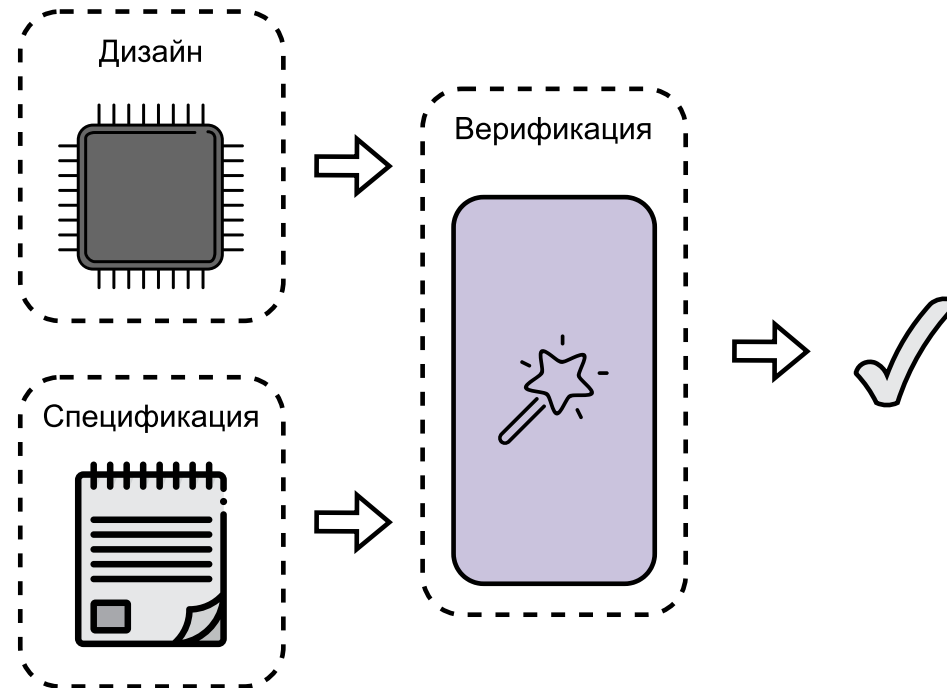
Функциональная верификация – процесс подтверждения эквивалентности RTL и спецификации. Далее: RTL ~ Дизайн.



Введение в функциональную верификацию

Верификация и функциональная верификация

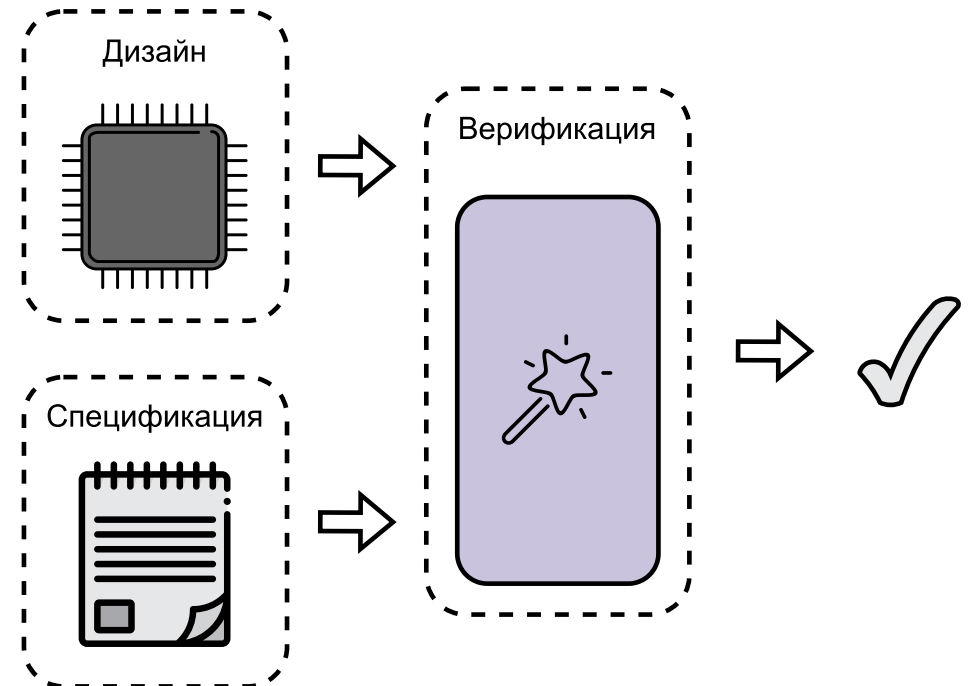
Функциональная верификация – процесс подтверждения эквивалентности RTL и спецификации.



Введение в функциональную верификацию

Верификация и функциональная верификация

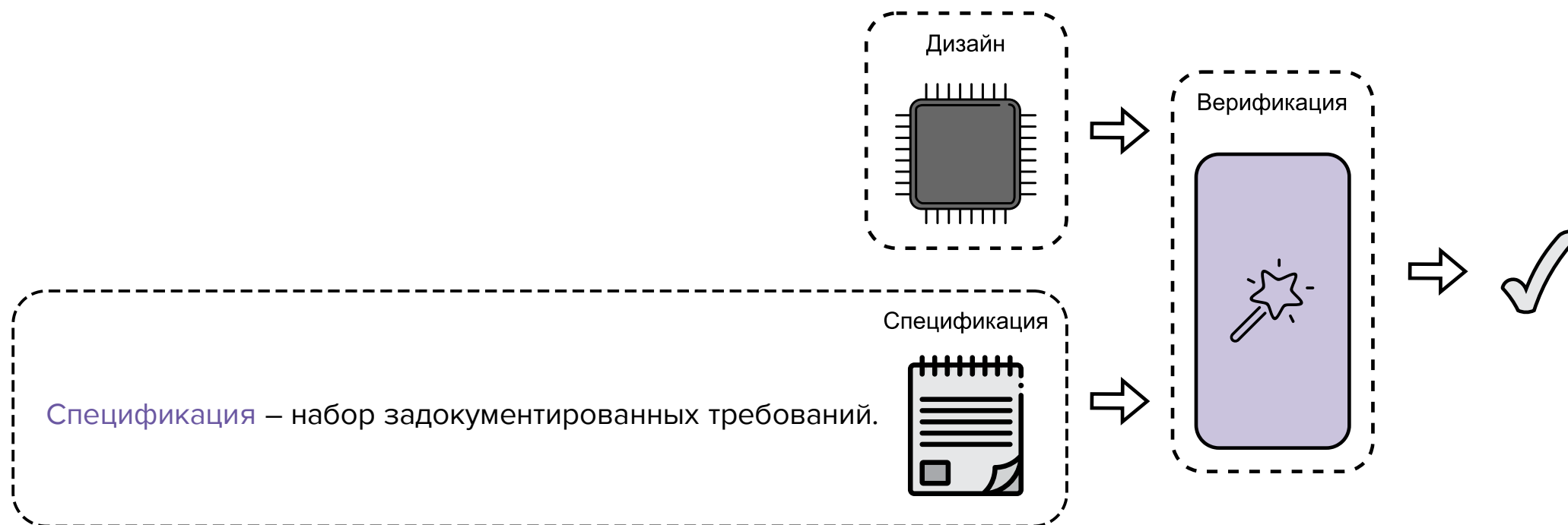
Функциональная верификация – процесс подтверждения эквивалентности RTL и спецификации.



Введение в функциональную верификацию

Верификация и функциональная верификация

Функциональная верификация – процесс подтверждения эквивалентности RTL и спецификации.



Введение в функциональную верификацию

Верификация и функциональная верификация

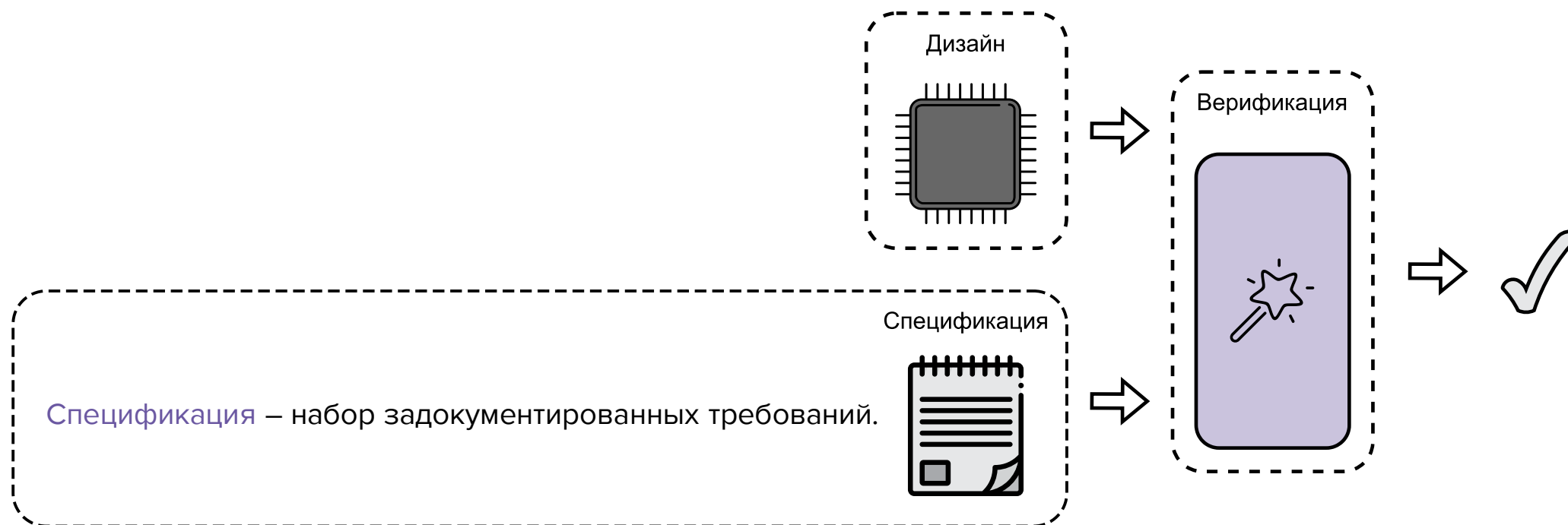
Введение в функциональную верификацию

Функциональная верификация процессорных ядер

Введение в функциональную верификацию

Функциональная верификация процессорных ядер

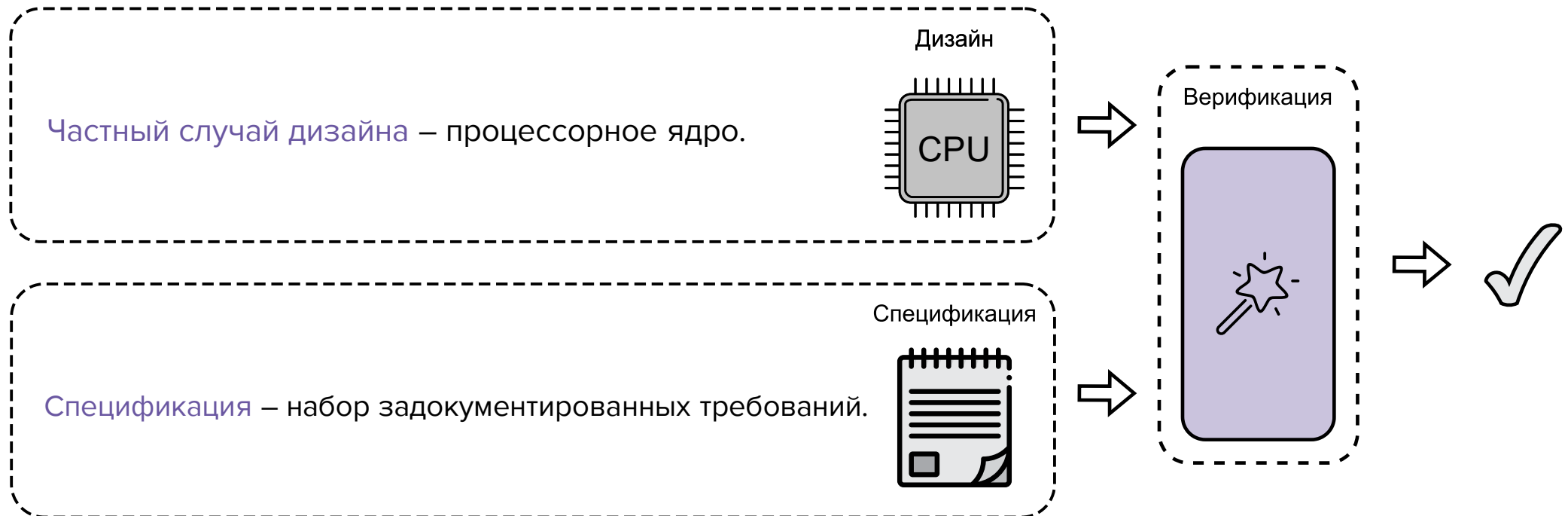
Функциональная верификация – процесс подтверждения эквивалентности RTL и спецификации.



Введение в функциональную верификацию

Функциональная верификация процессорных ядер

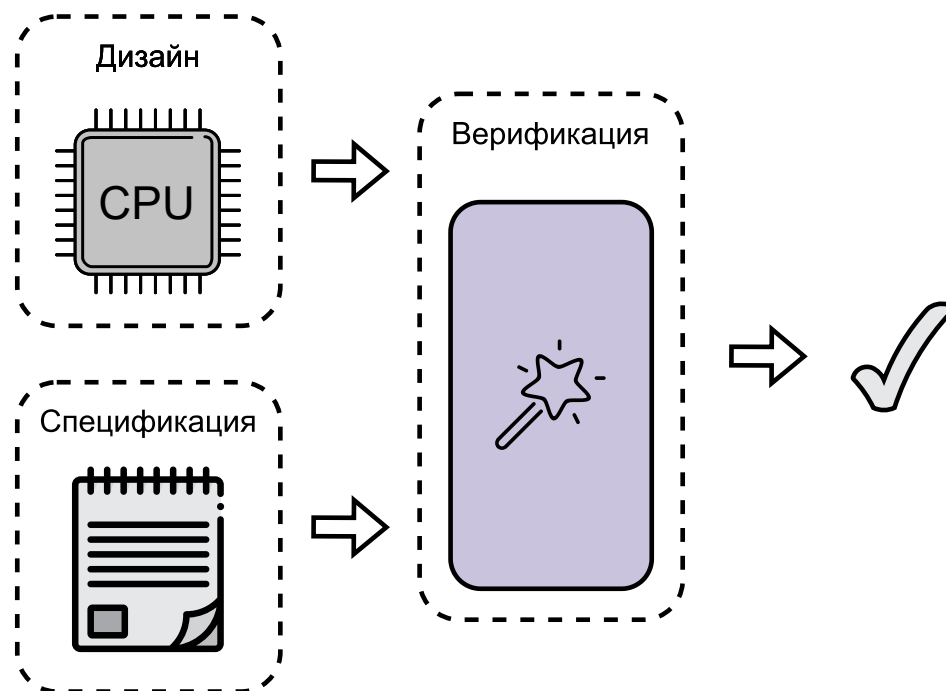
Функциональная верификация – процесс подтверждения эквивалентности RTL и спецификации.



Введение в функциональную верификацию

Функциональная верификация процессорных ядер

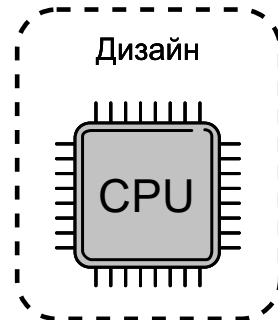
Функциональная верификация – процесс подтверждения эквивалентности RTL и спецификации.



Введение в функциональную верификацию

Функциональная верификация процессорных ядер

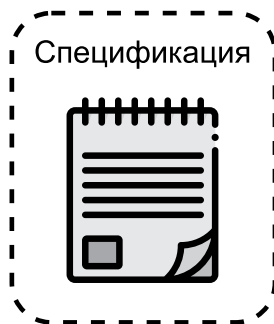
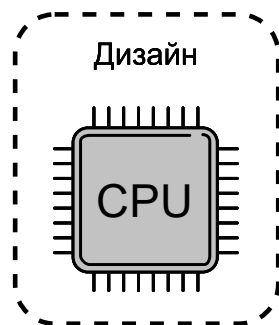
Функциональная верификация – процесс подтверждения эквивалентности RTL и спецификации.



Введение в функциональную верификацию

Функциональная верификация процессорных ядер

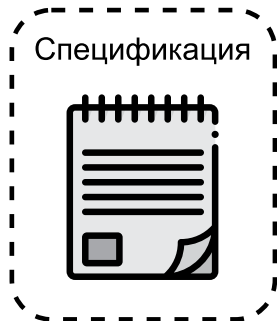
Функциональная верификация – процесс подтверждения эквивалентности RTL и спецификации.



Введение в функциональную верификацию

Функциональная верификация процессорных ядер

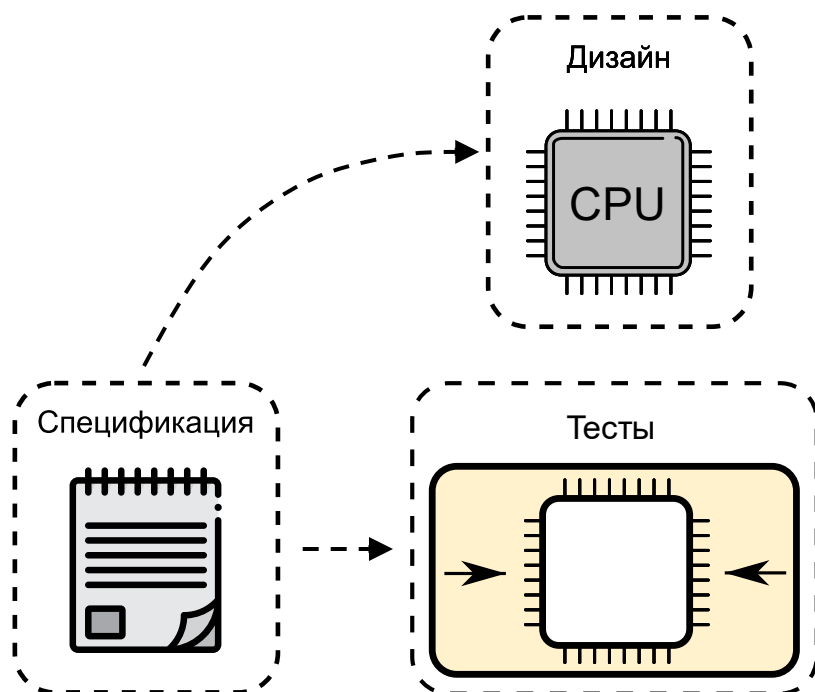
Функциональная верификация – процесс подтверждения эквивалентности RTL и спецификации.



Введение в функциональную верификацию

Функциональная верификация процессорных ядер

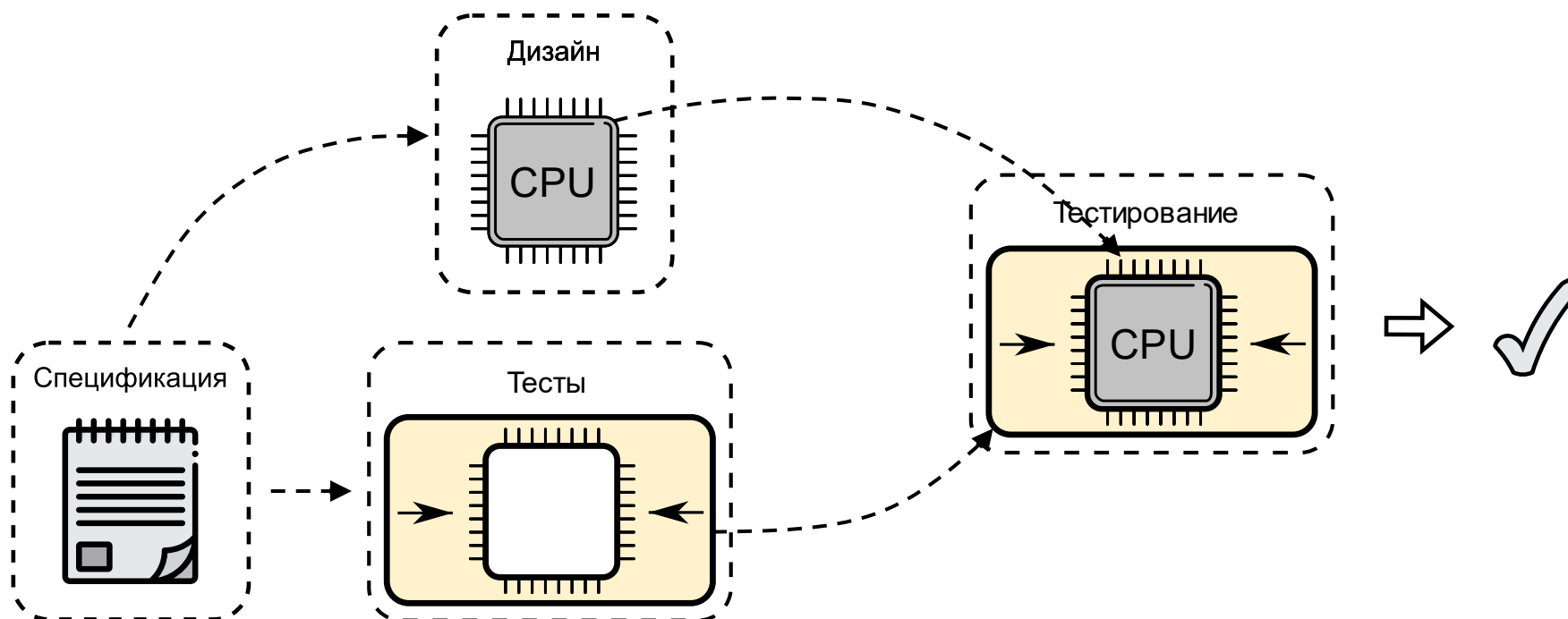
Функциональная верификация – процесс подтверждения эквивалентности RTL и спецификации.



Введение в функциональную верификацию

Функциональная верификация процессорных ядер

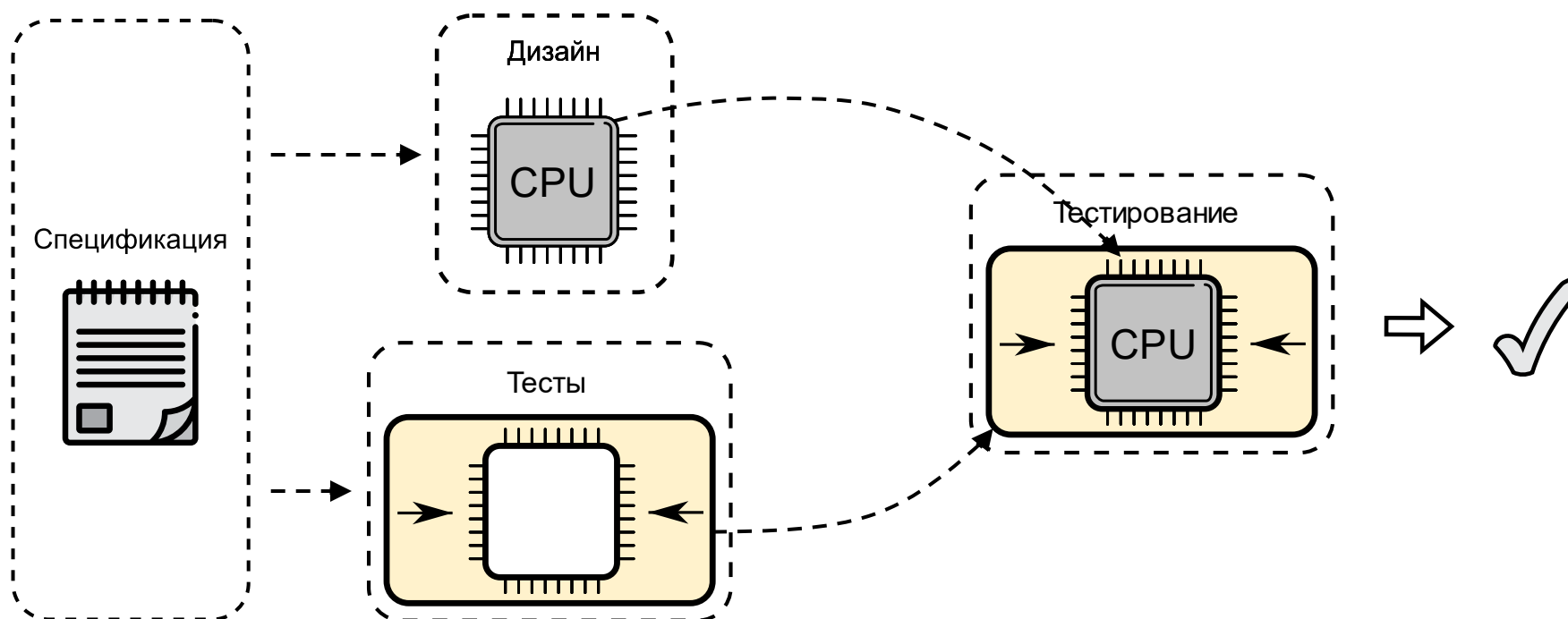
Функциональная верификация – процесс подтверждения эквивалентности RTL и спецификации.



Введение в функциональную верификацию

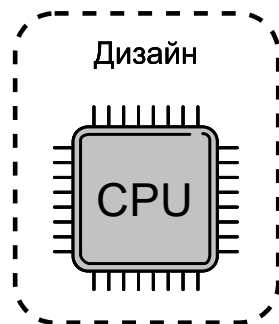
Функциональная верификация процессорных ядер

Функциональная верификация – процесс подтверждения эквивалентности RTL и спецификации.



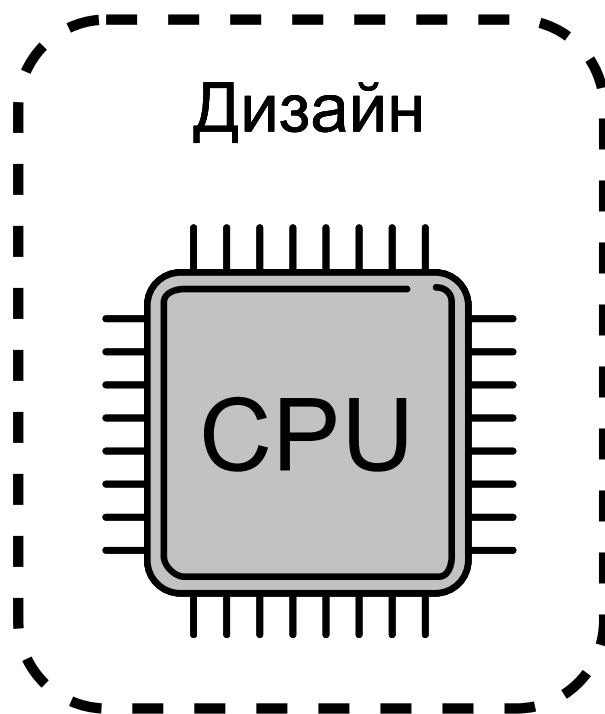
Введение в функциональную верификацию

Функциональная верификация процессорных ядер



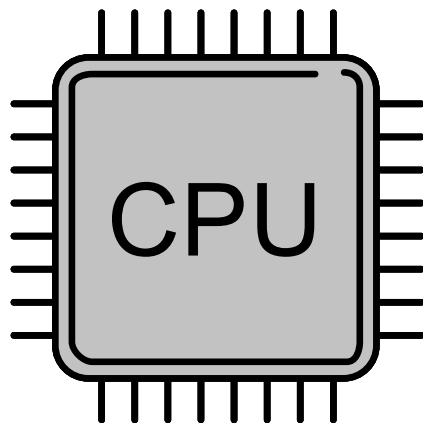
Введение в функциональную верификацию

Функциональная верификация процессорных ядер



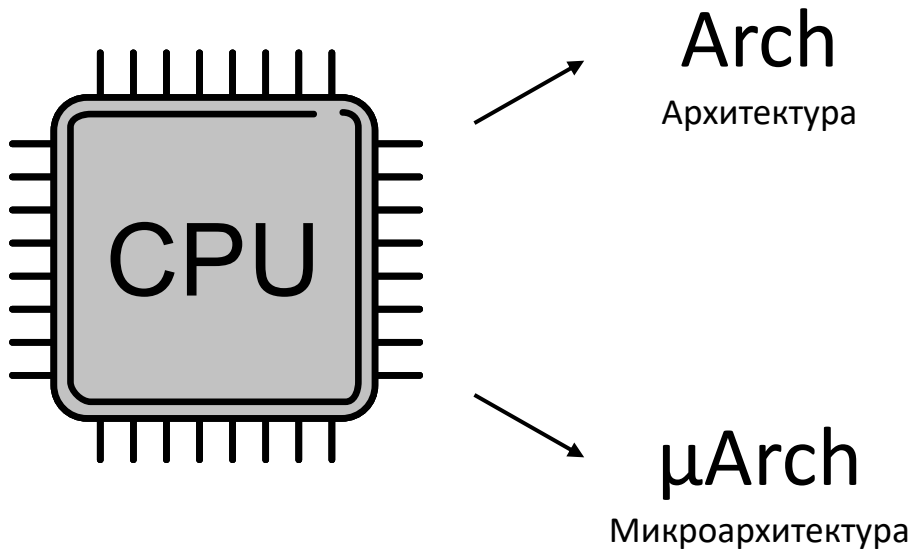
Введение в функциональную верификацию

Функциональная верификация процессорных ядер



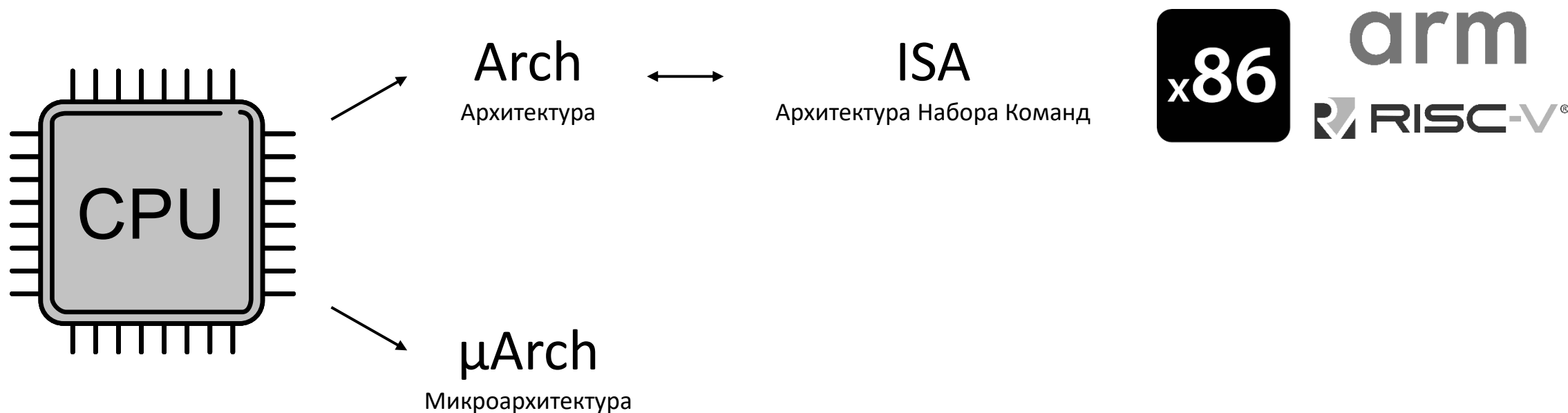
Введение в функциональную верификацию

Функциональная верификация процессорных ядер



Введение в функциональную верификацию

Функциональная верификация процессорных ядер



Введение в функциональную верификацию

Функциональная верификация процессорных ядер

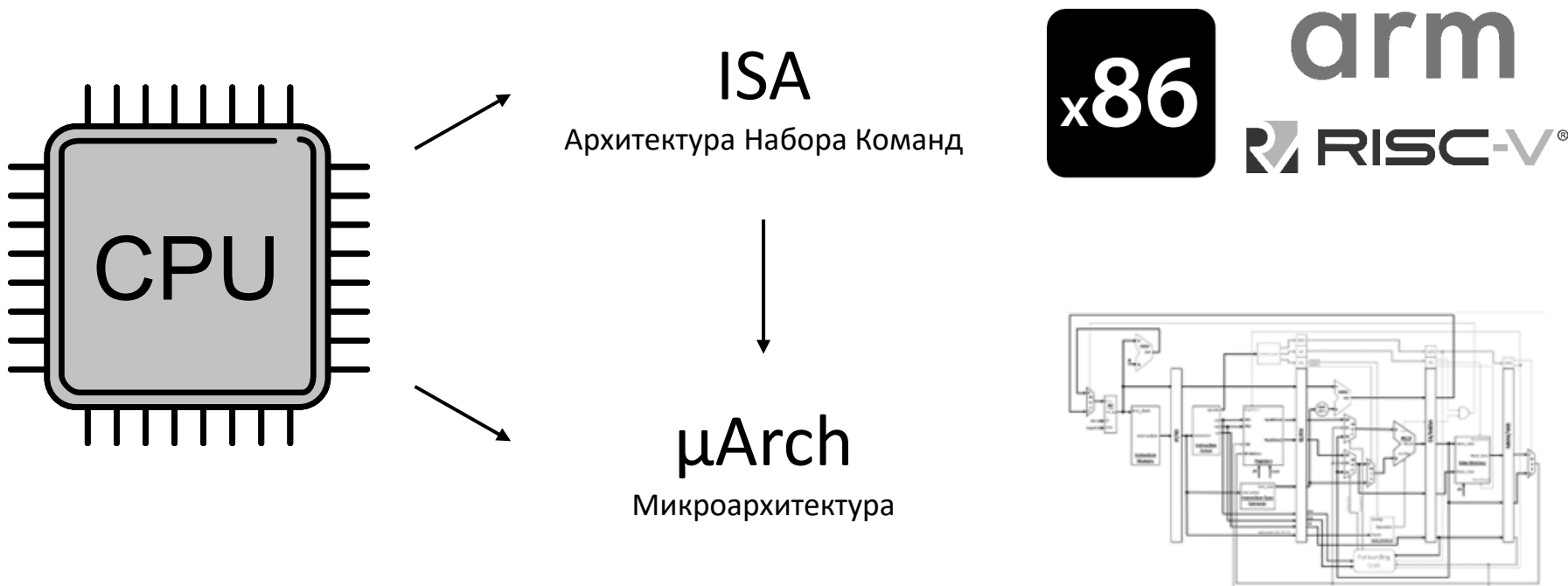


Функциональная верификация процессорных ядер



Введение в функциональную верификацию

Функциональная верификация процессорных ядер



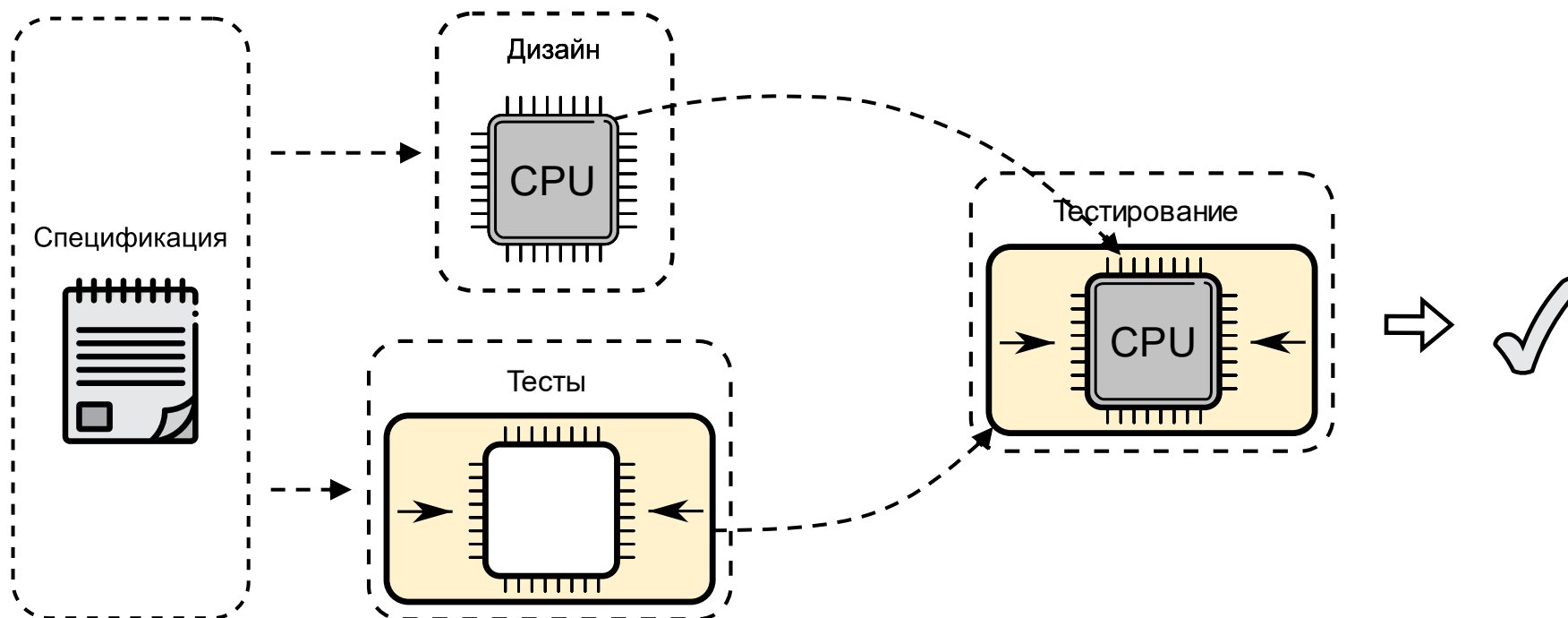
Введение в функциональную верификацию

Функциональная верификация процессорных ядер



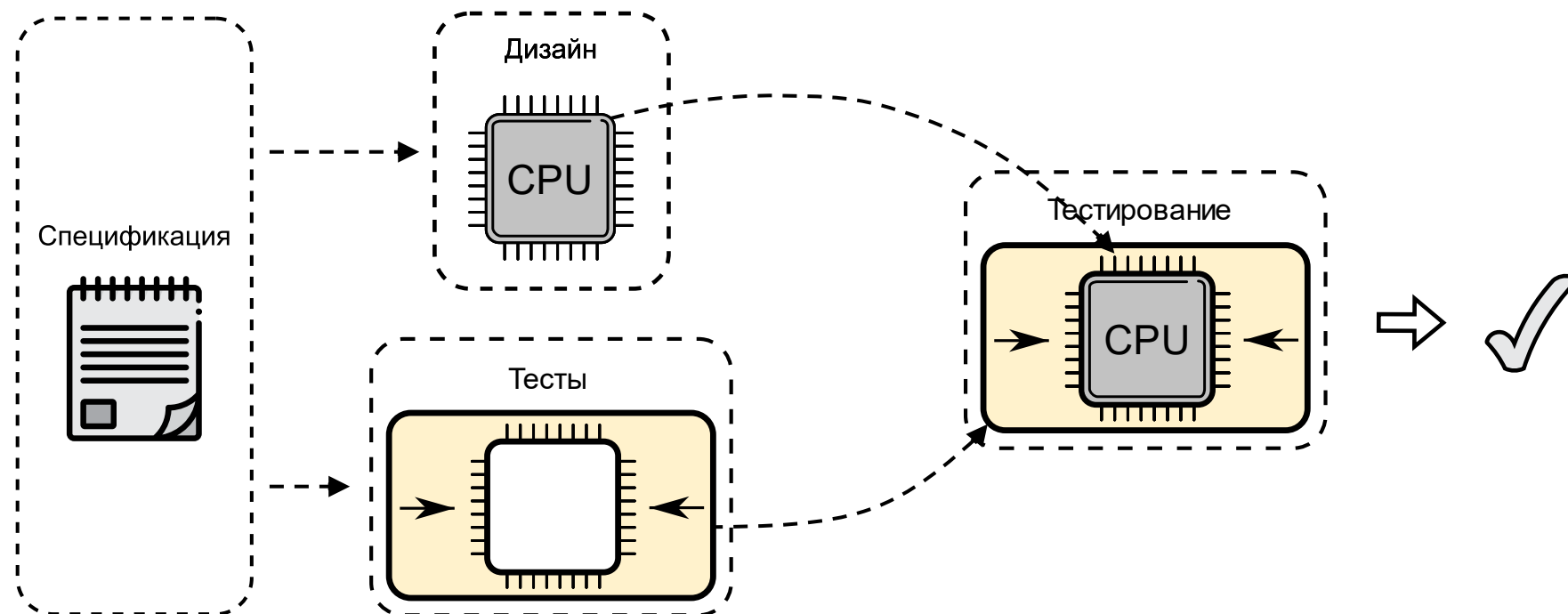
Введение в функциональную верификацию

Функциональная верификация процессорных ядер



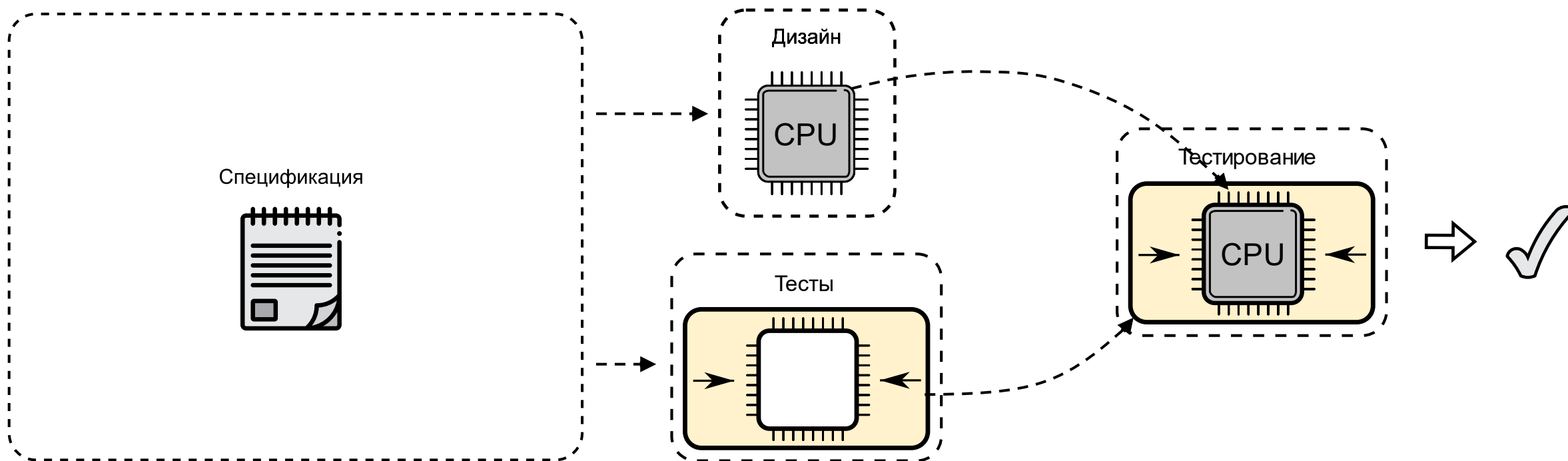
Введение в функциональную верификацию

Функциональная верификация процессорных ядер



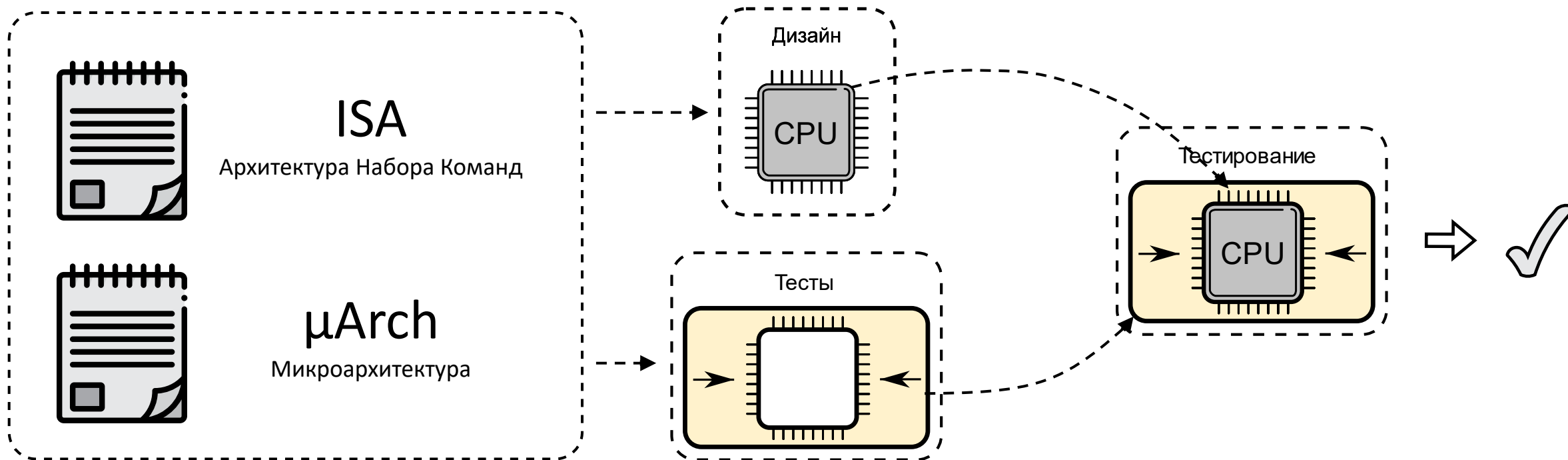
Введение в функциональную верификацию

Функциональная верификация процессорных ядер



Введение в функциональную верификацию

Функциональная верификация процессорных ядер



Введение в функциональную верификацию

Функциональная верификация процессорных ядер

Введение в верификацию RISC-V

Особенности верификации  RISC-V[®] ядер

Введение в верификацию RISC-V

Особенности верификации RISC-V[®] ядер

- Открытая и свободно-распространяемая.



Введение в верификацию RISC-V

Особенности верификации RISC-V[®] ядер

- Открытая и свободно-распространяемая.



Введение в верификацию RISC-V

Особенности верификации RISC-V[®] ядер

- Большое количество примеров и возможностей для обмена опытом;
- Возможность переиспользования.



Введение в верификацию RISC-V

Особенности верификации

- Гибкая и расширяемая.
- RV64IMACV_Zicsr_Zba_Zbb_Zbkc_Xbar_Xfoo

Расширение	Описание	Инструкции
RV32I	Базовый 32-битный набор	48
RV32E	RV32I с уменьшенным количеством регистров	RV32I
RV64I	Базовый 64-битный набор	14
RV128I	Базовый 128-битный набор	14

M	Zicsr
A	B
C	X
V	

Введение в верификацию RISC-V

Особенности верификации

- Гибкая и расширяемая.
- RV64IMACV_Zicsr_Zba_Zbb_Zbkc_Xbar_Xfoo

Введение в верификацию RISC-V

Особенности верификации

- Гибкая и расширяемая.
- Огромное количество возможных реализаций;
- Каждая реализация имеет:
 - свою микроархитектуру;
 - свой поддерживаемый набор инструкций.

Введение в верификацию RISC-V

Особенности верификации



Step-and-Compare подход к верификации RISC-V ядер

Существующие подходы к верификации RISC-V ядер

Step-and-Compare подход к верификации RISC-V ядер

Существующие подходы к верификации RISC-V ядер

- Существует **множество подходов**. Каждый отличается сложностью, надежностью и областью применимости.
- Кратко про каждый подход в моем выступлении в 2023 году:



Step-and-Compare подход к верификации RISC-V ядер

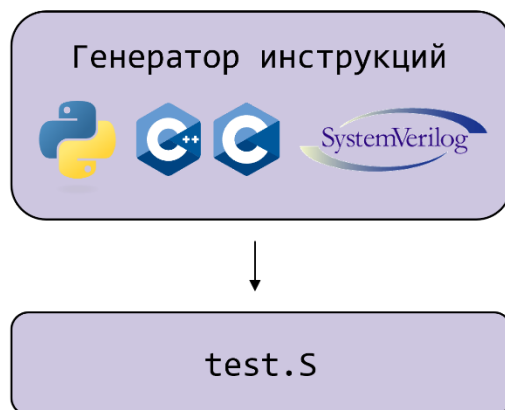
Существующие подходы к верификации RISC-V ядер

Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare

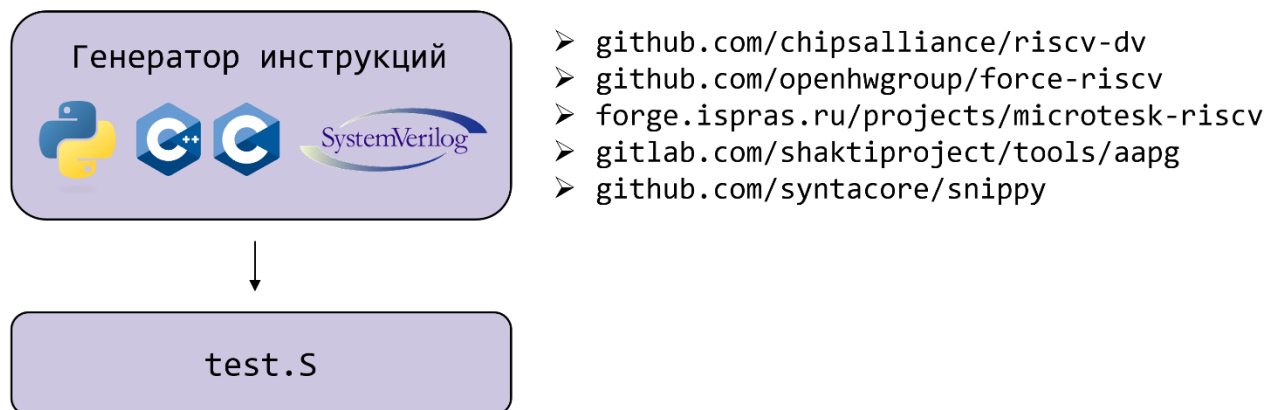
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



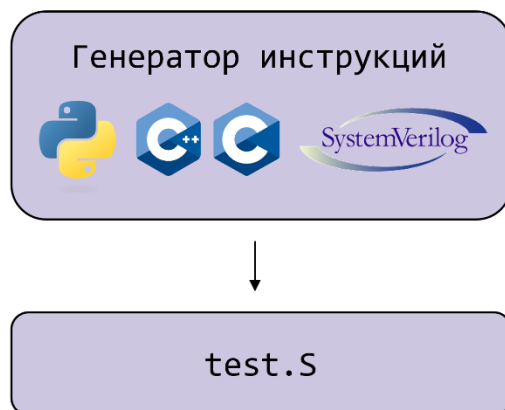
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



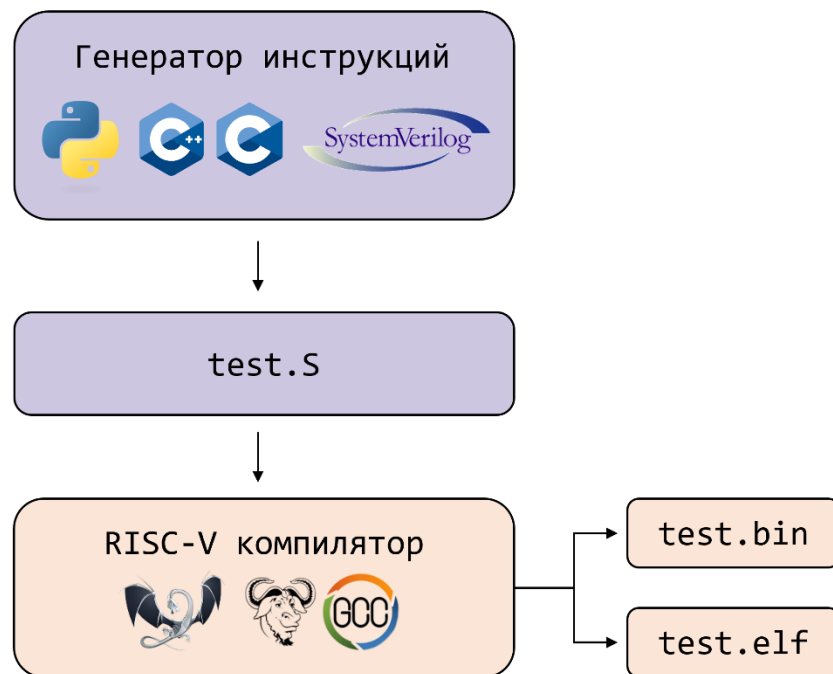
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



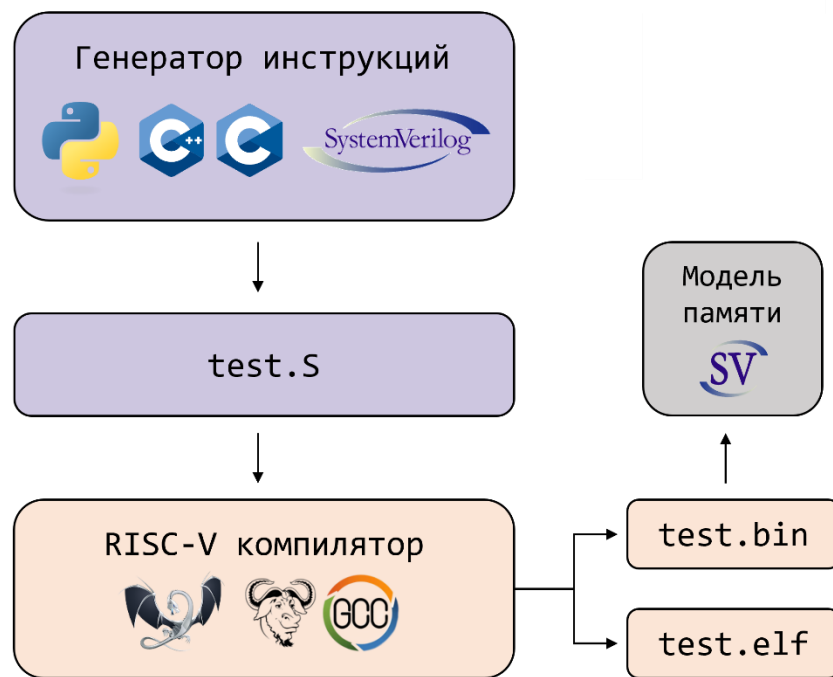
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



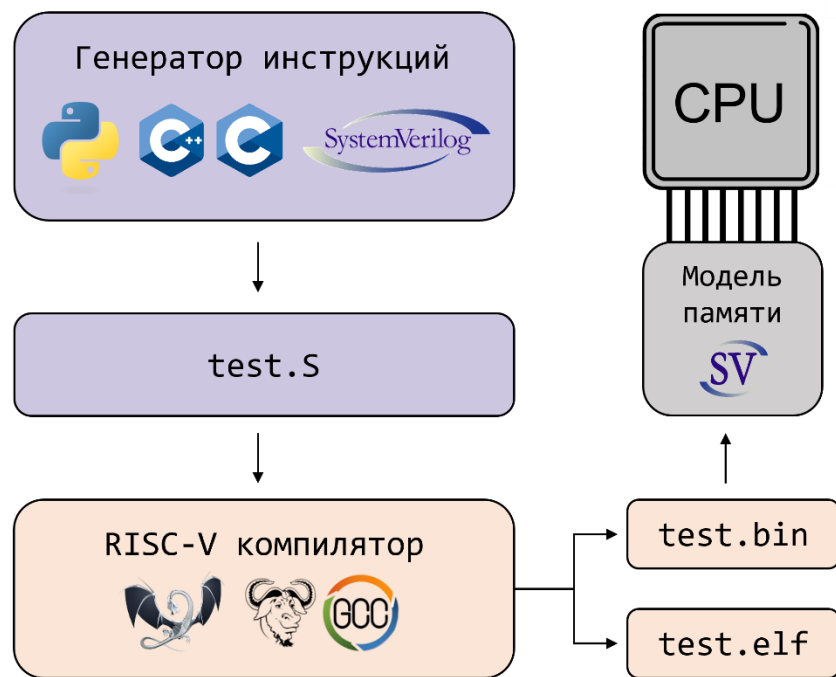
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



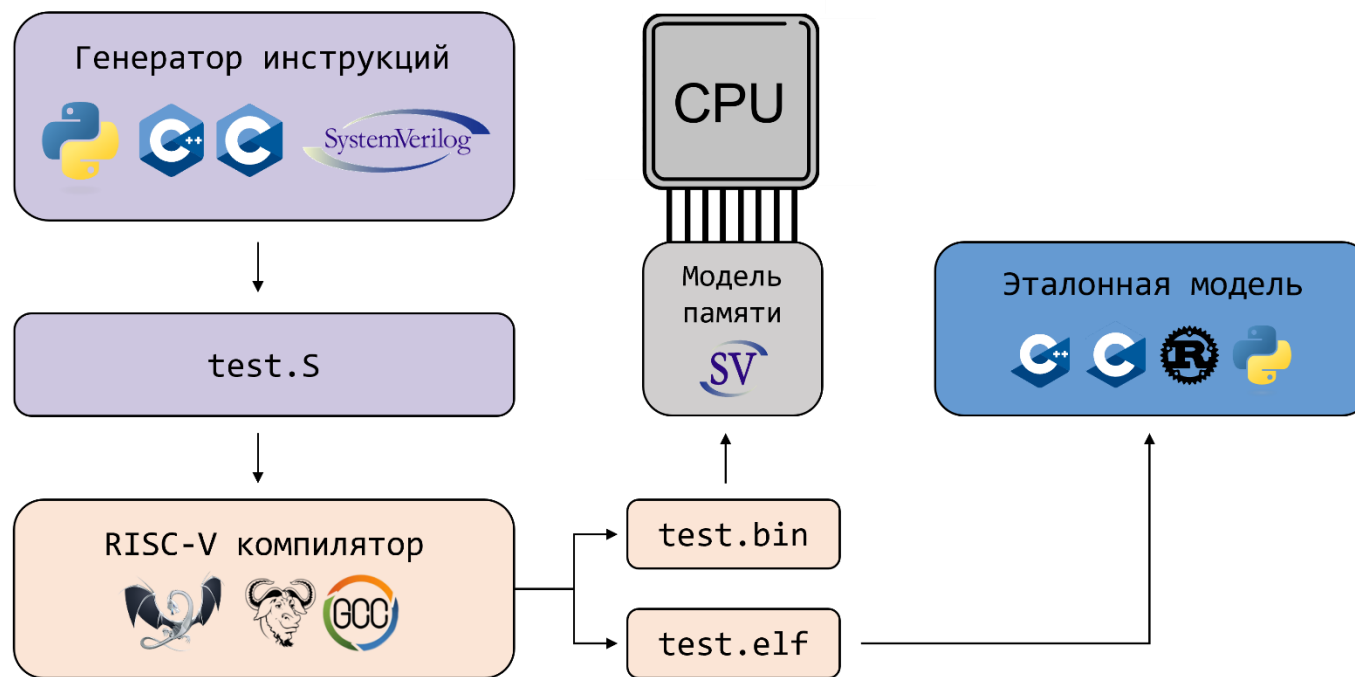
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



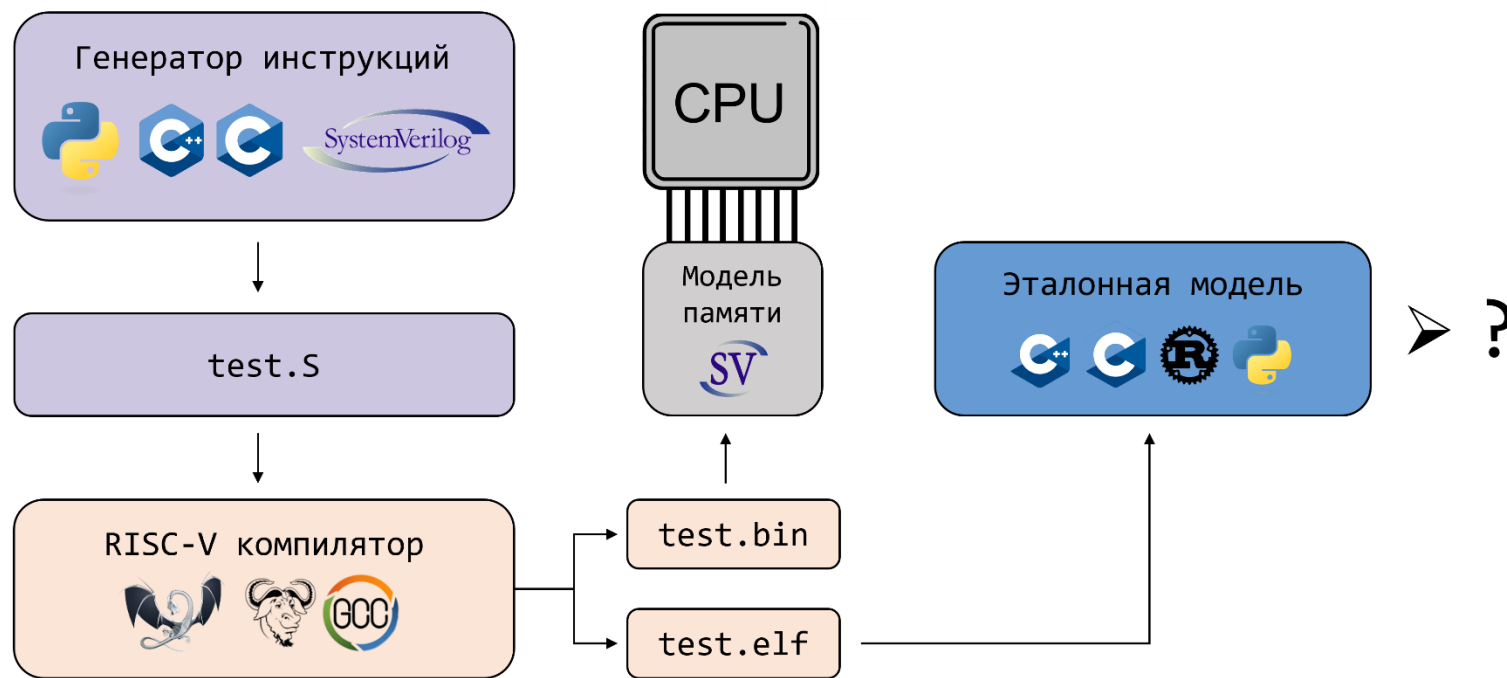
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



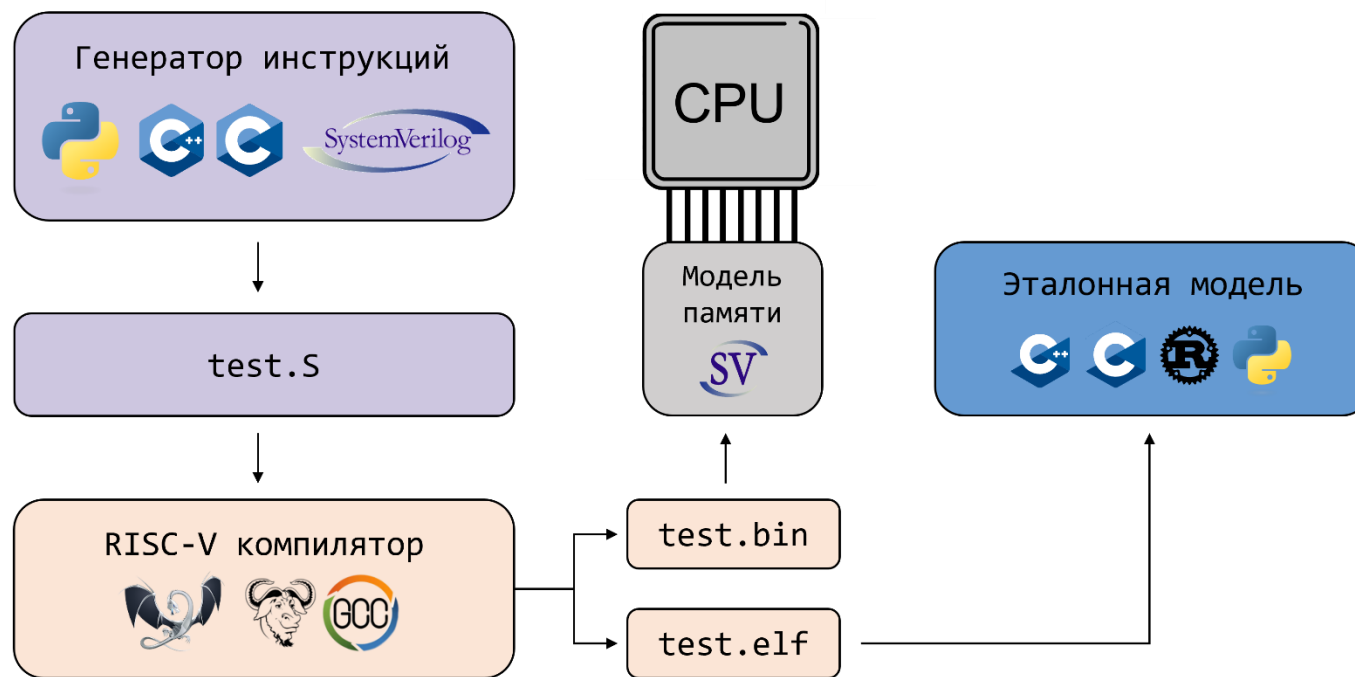
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



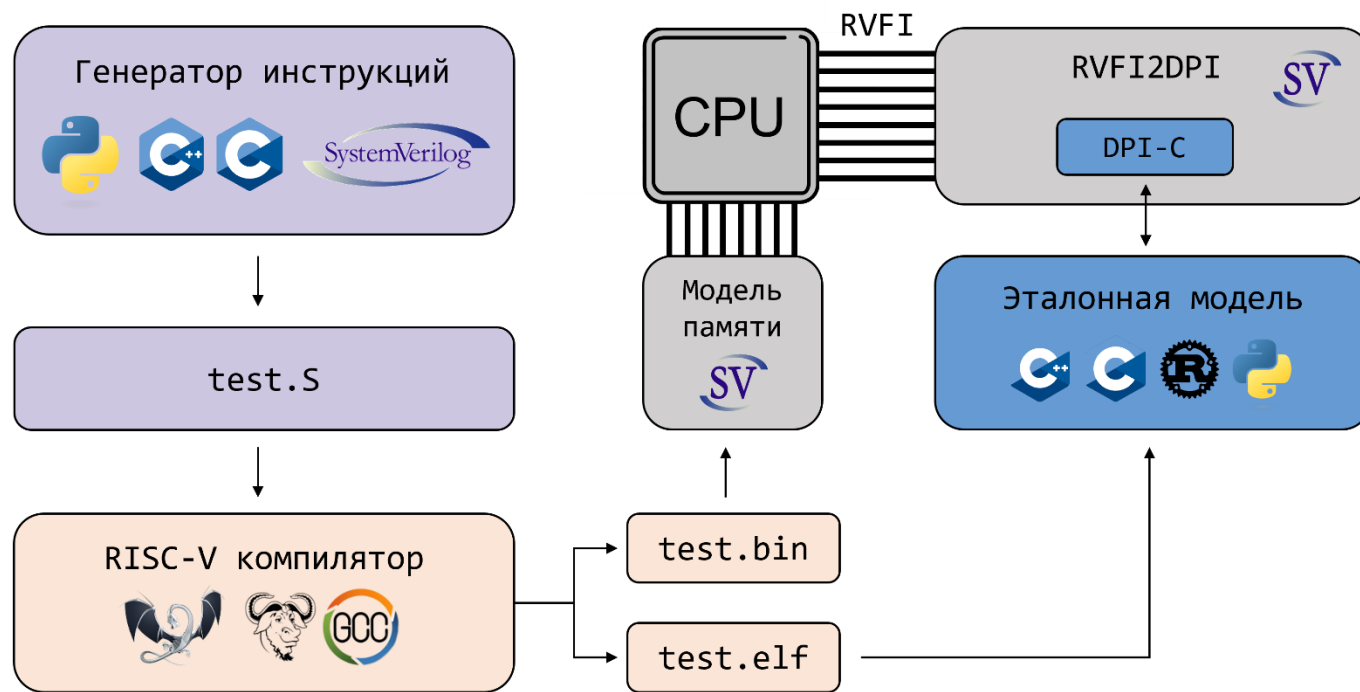
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



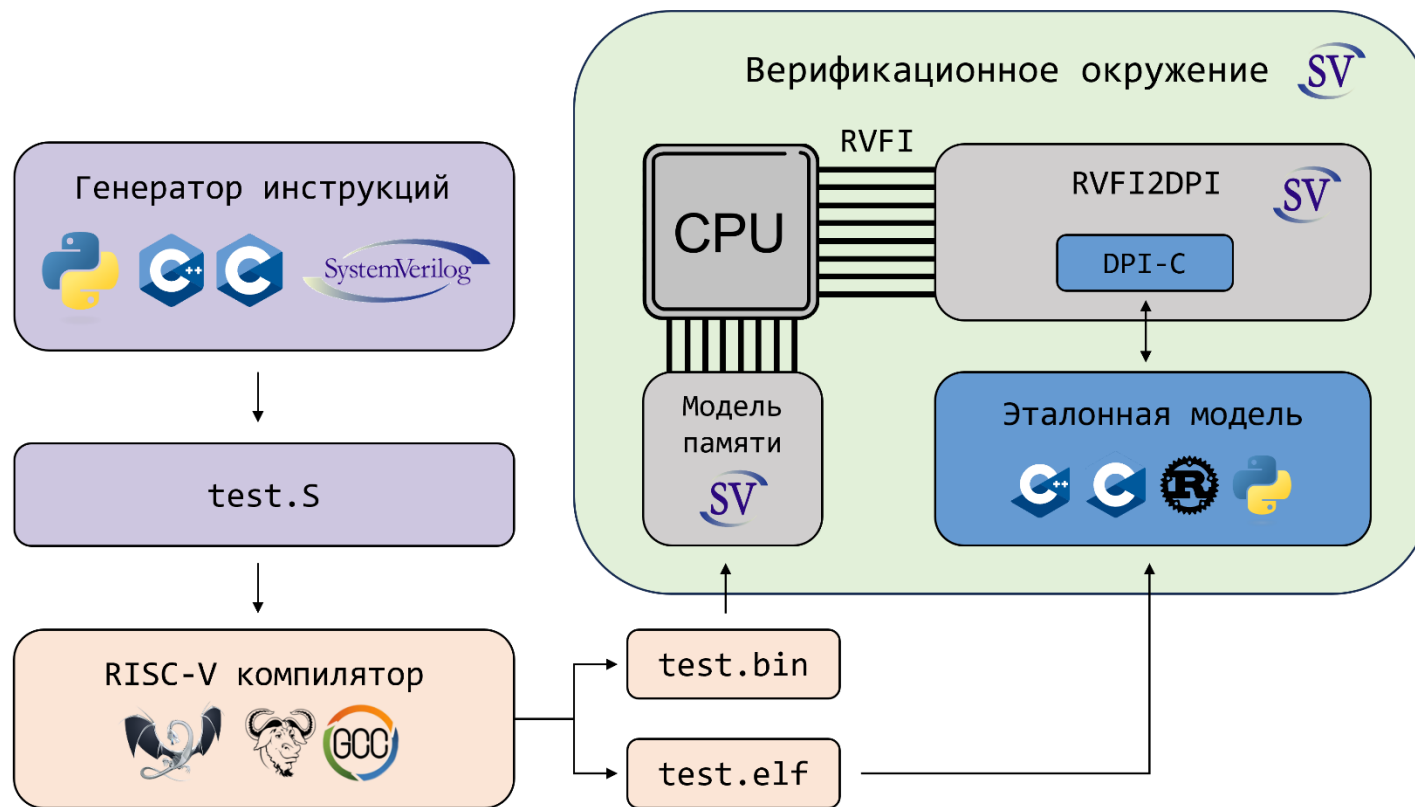
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



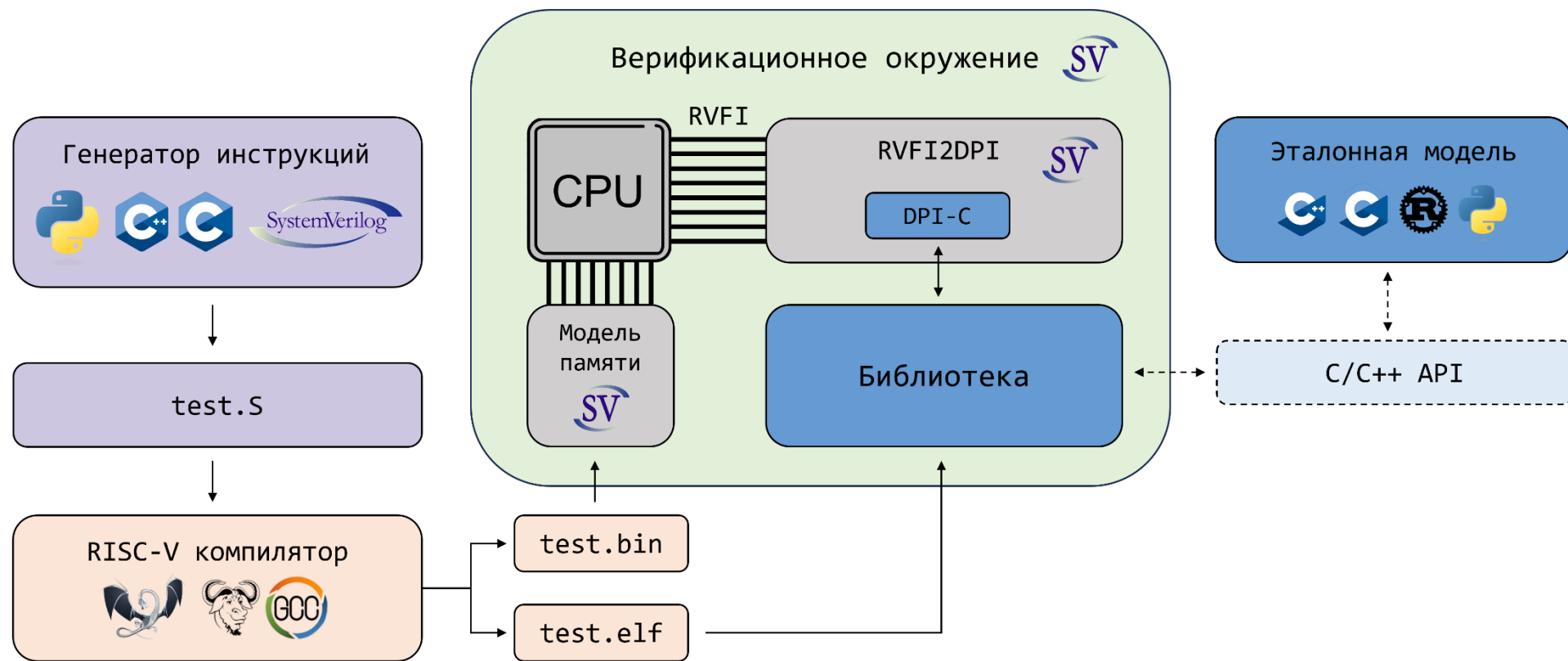
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



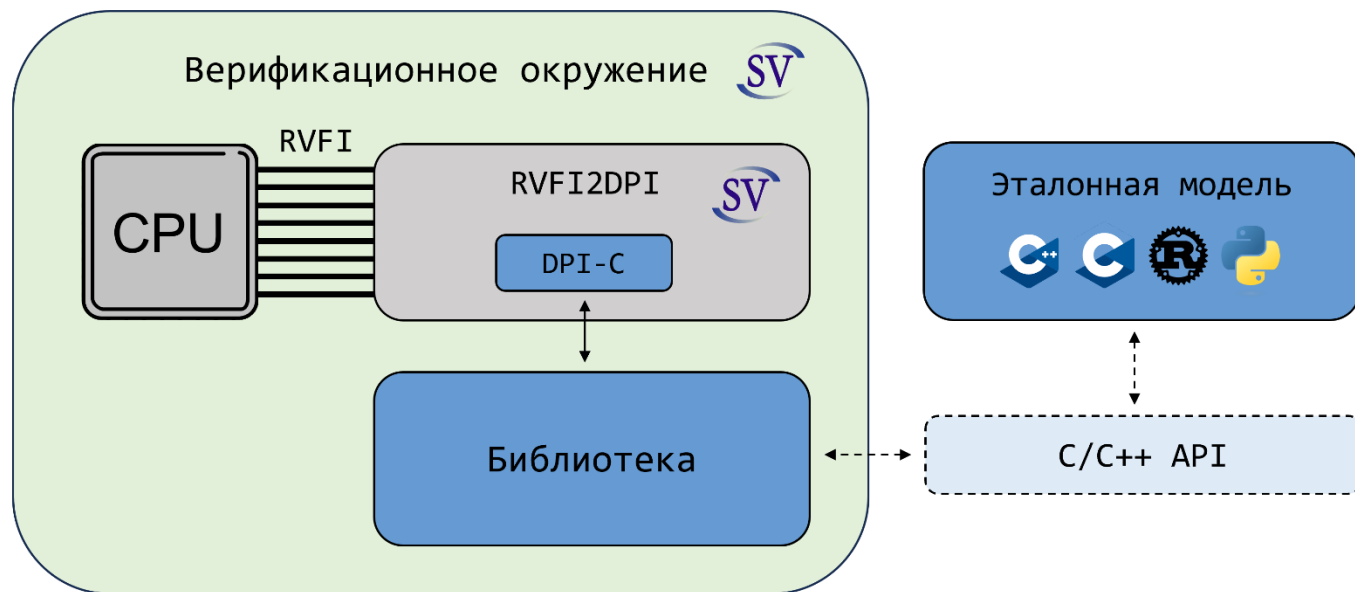
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



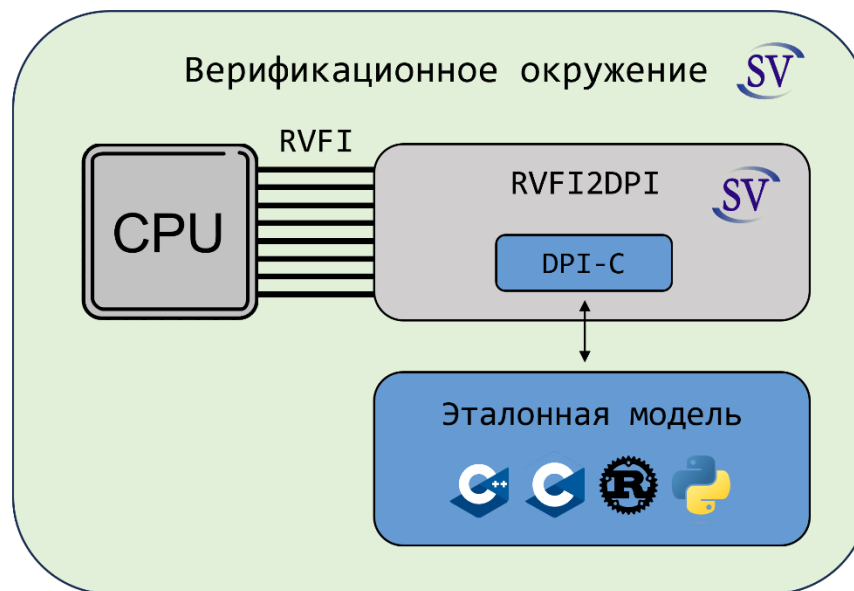
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



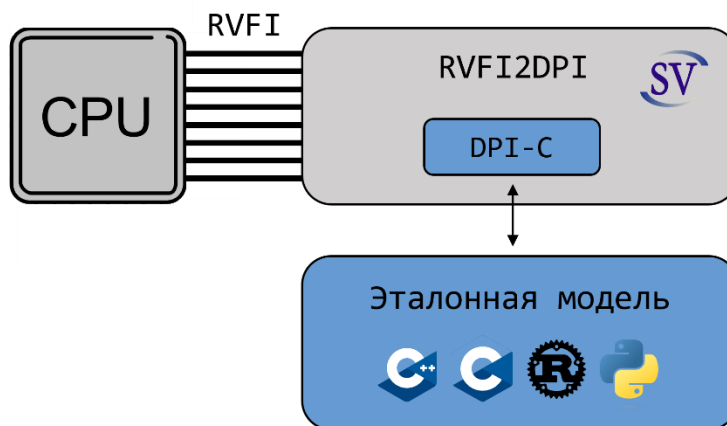
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



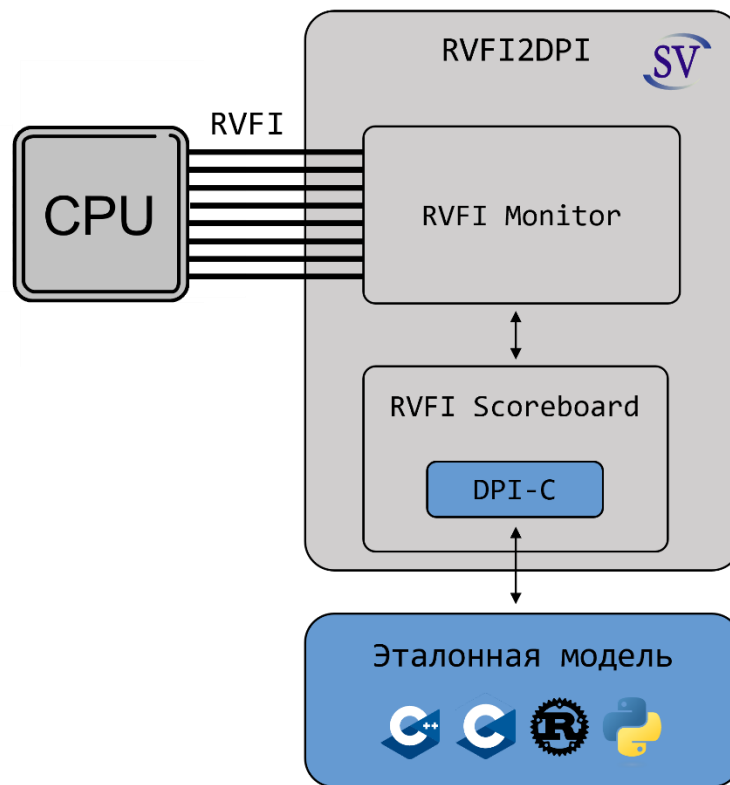
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



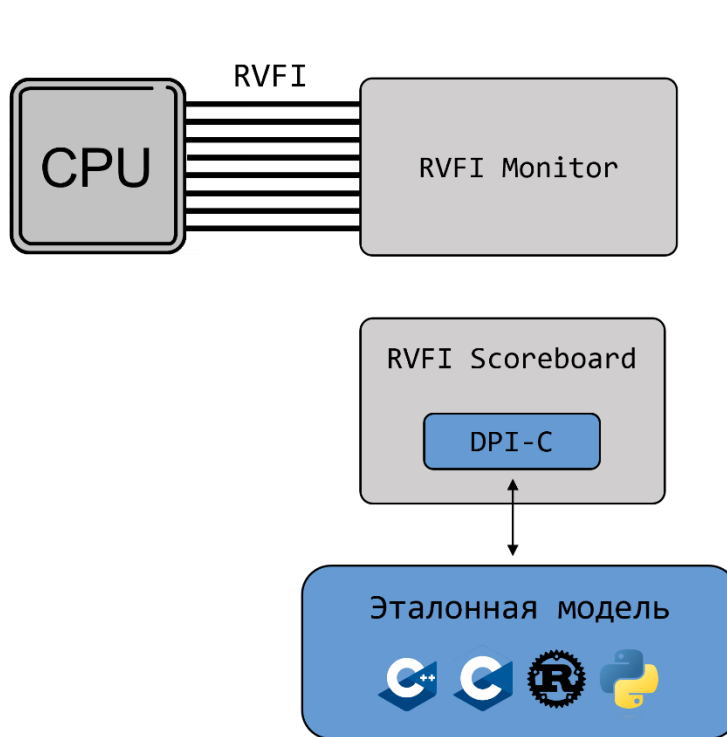
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



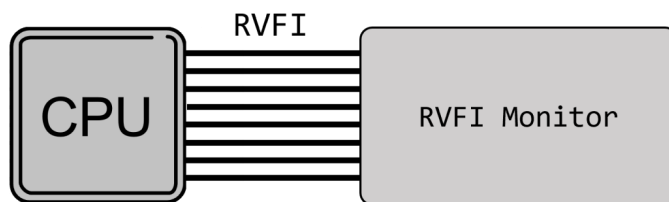
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



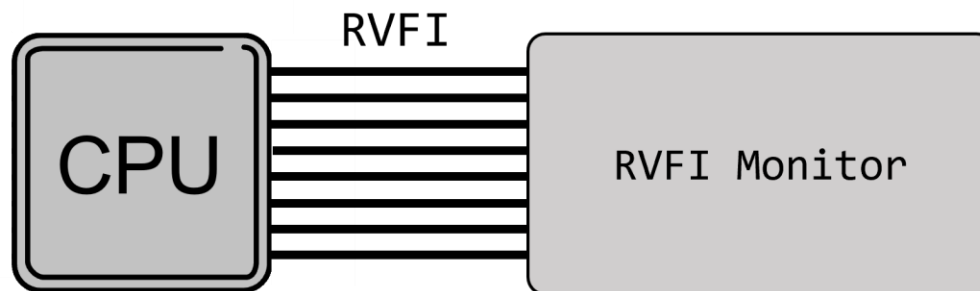
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



Step-and-Compare подход к верификации RISC-V ядер

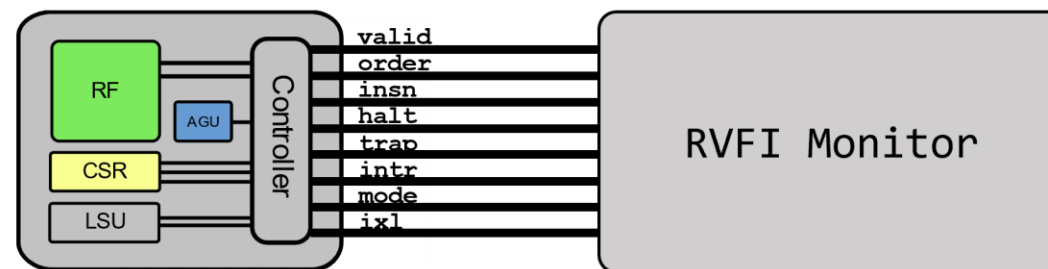
Подробное описание подхода Step-and-Compare



Step-and-Compare подход к верификации RISC-V ядер

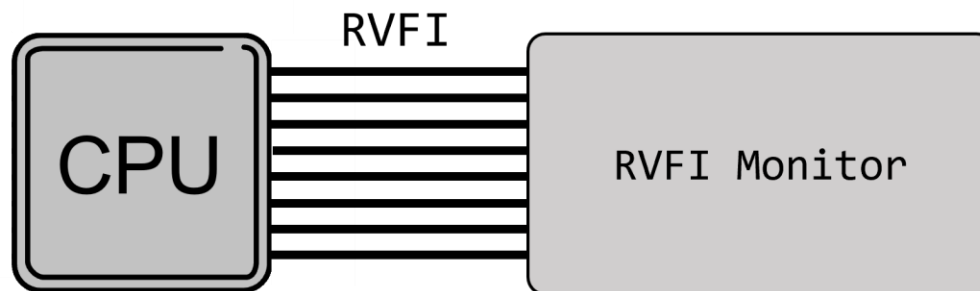
Подробное описание подхода Step-and-Compare

- Интерфейс передачи информации о внутреннем состоянии ядра;
- Изначально разработан  Symbiotic EDA для формальной верификации.



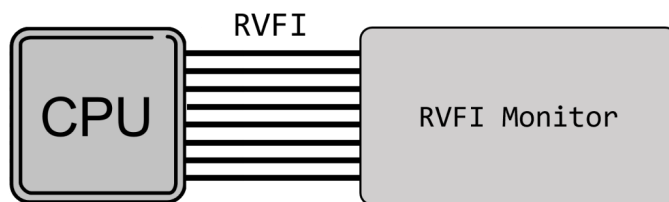
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



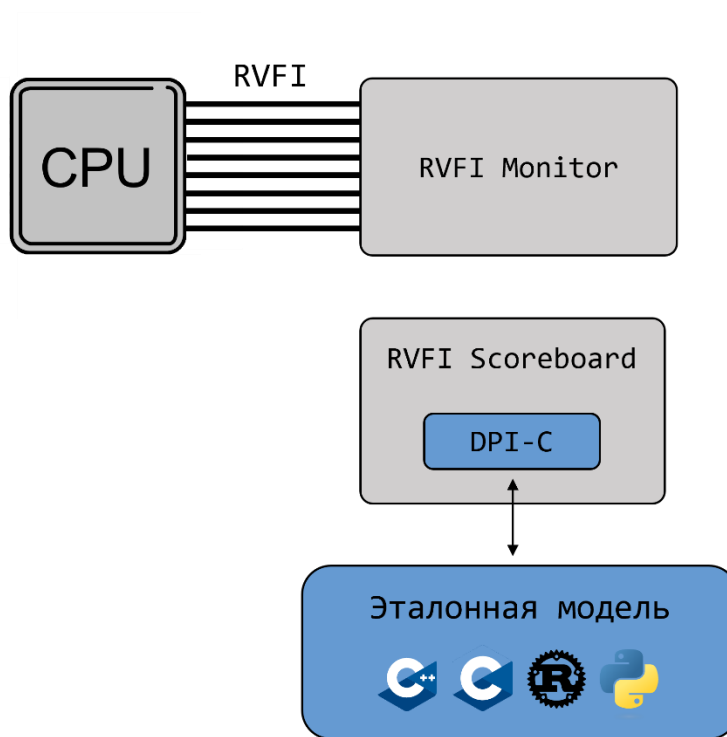
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



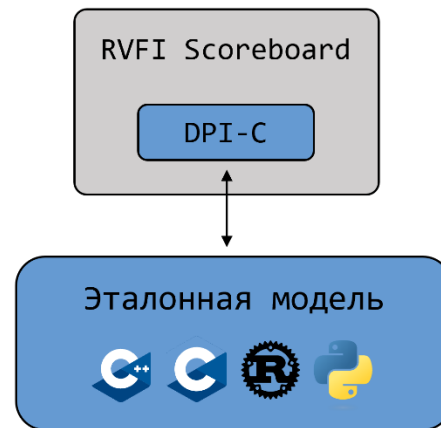
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



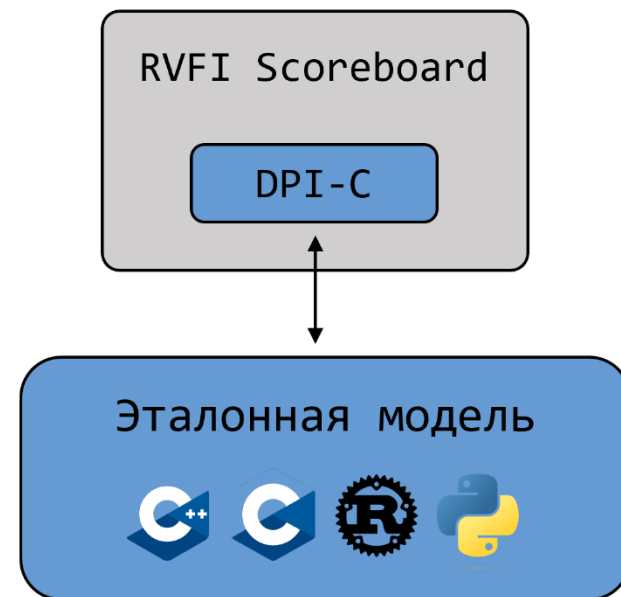
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare



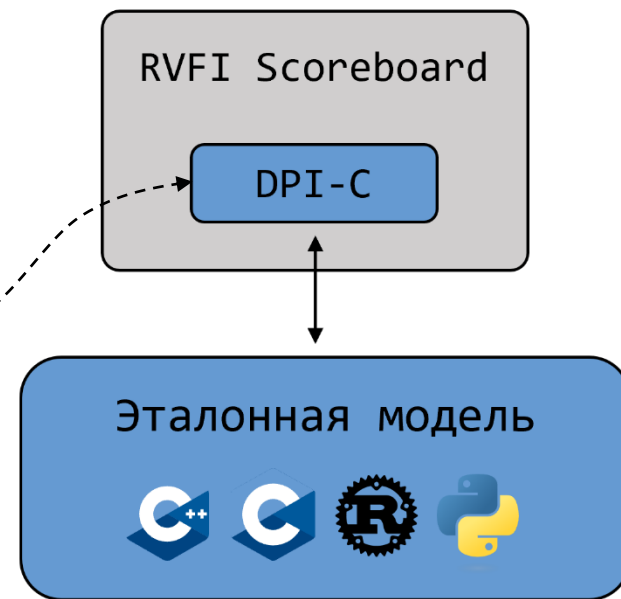
Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare

- **DPI-C/C++** – механизм, позволяющий вызывать C/C++ функции напрямую из SystemVerilog в ходе симуляции.

```
import "DPI-C" function bit [31:0] hammer_get_gpr (  
    chandle    hammer,  
    bit [4:0]  gpr_id  
);
```

```
extern svBitVecVal hammer_get_gpr (  
    void*      hammer,  
    const svBitVecVal* gpr_id  
);
```



Step-and-Compare подход к верификации RISC-V ядер

Подробное описание подхода Step-and-Compare

Step-and-Compare с использованием открытого ПО

Мотивация

Step-and-Compare с использованием открытого ПО

МОТИВАЦИЯ

- Открытый ознакомительный курс по верификации RISC-V ядер:
 - Использование исключительно открытого ПО;
 - Предоставление виртуальной машины;
 - Теоретическая и практическая части;
 - Использование разнообразных методик;
 - Наличие эталонных реализаций.



Step-and-Compare с использованием открытого ПО

МОТИВАЦИЯ

- **Идея курса** – обучение концепциям функциональной верификации RISC-V ядер, используемым в индустрии в настоящее время;
- Необходимо создать простейший пример для Step-and-Compare;
- К существующим примерам в открытом доступе много вопросов;
- В том числе к примерам в англоязычном пространстве.

Step-and-Compare с использованием открытого ПО

МОТИВАЦИЯ

- Существующие примеры:

- github.com/lowRISC/ibex/dv/uvm/core_ibex
- github.com/openhwgroup/core-v-verif



OPENHW[®]
— PROVEN PROCESSOR IP —

- Оба излишне сложны для восприятия.
- В обоих используются коммерческие симуляторы.
- Один использует коммерческую эталонную модель от **imperas**.

Step-and-Compare с использованием открытого ПО

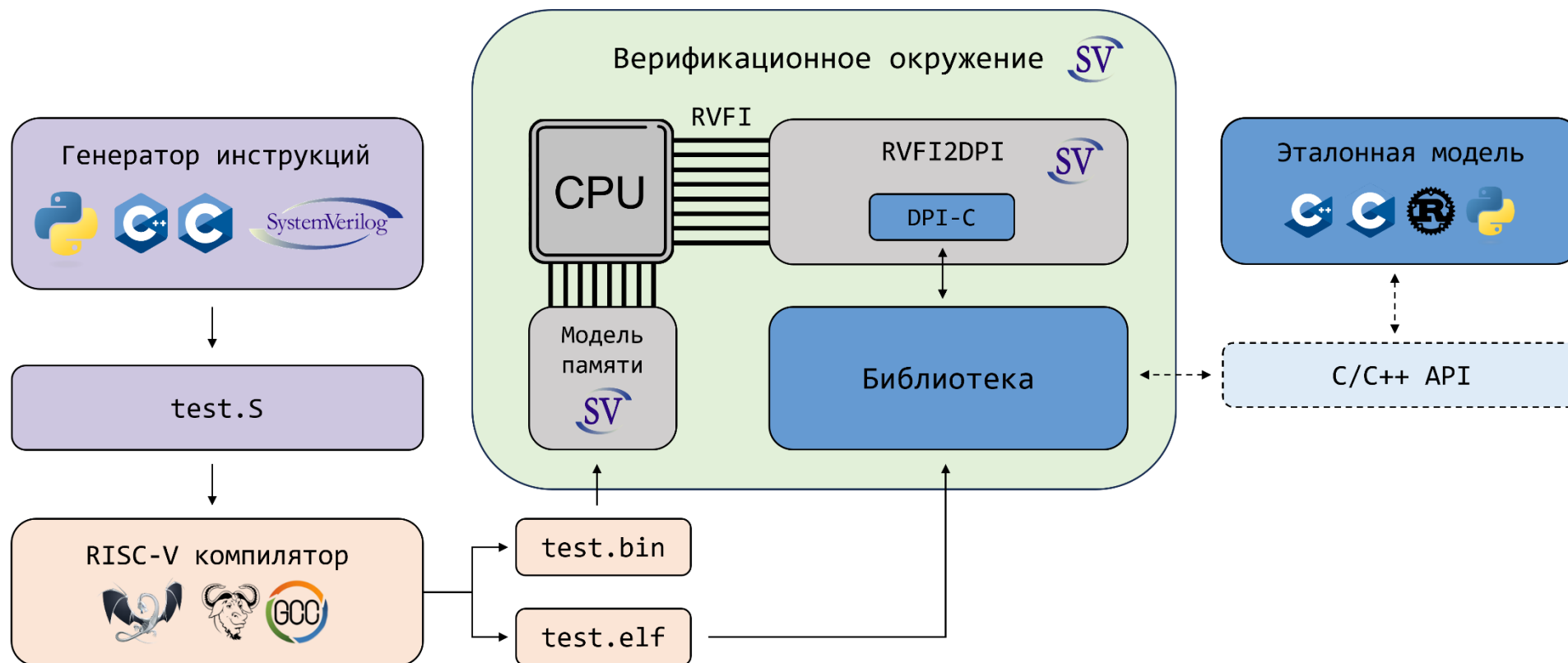
Мотивация

Step-and-Compare с использованием открытого ПО

Обзор компонентов


Step-and-Compare с использованием открытого ПО

Обзор компонентов



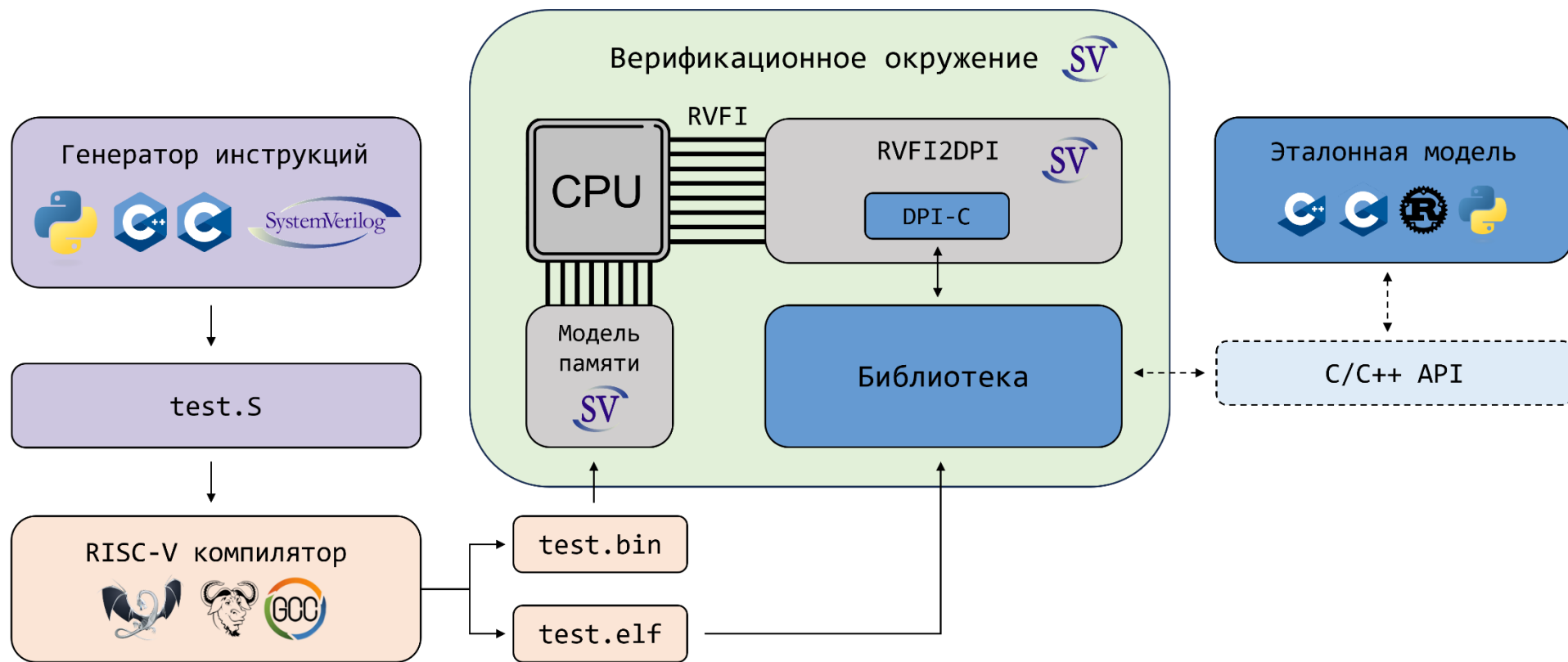
Step-and-Compare с использованием открытого ПО

Обзор компонентов

- Симулятор  :
- Активно разрабатывается;
- Используется в индустрии;
- Поддерживает SystemVerilog (но есть нюансы).

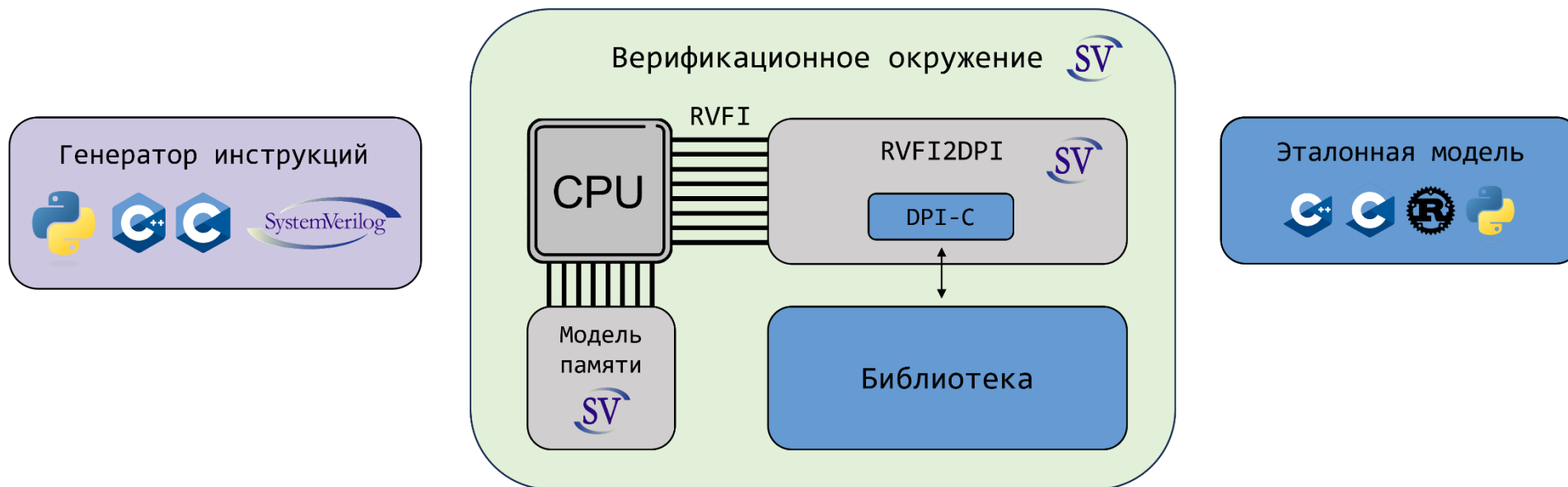
Step-and-Compare с использованием открытого ПО

Обзор компонентов



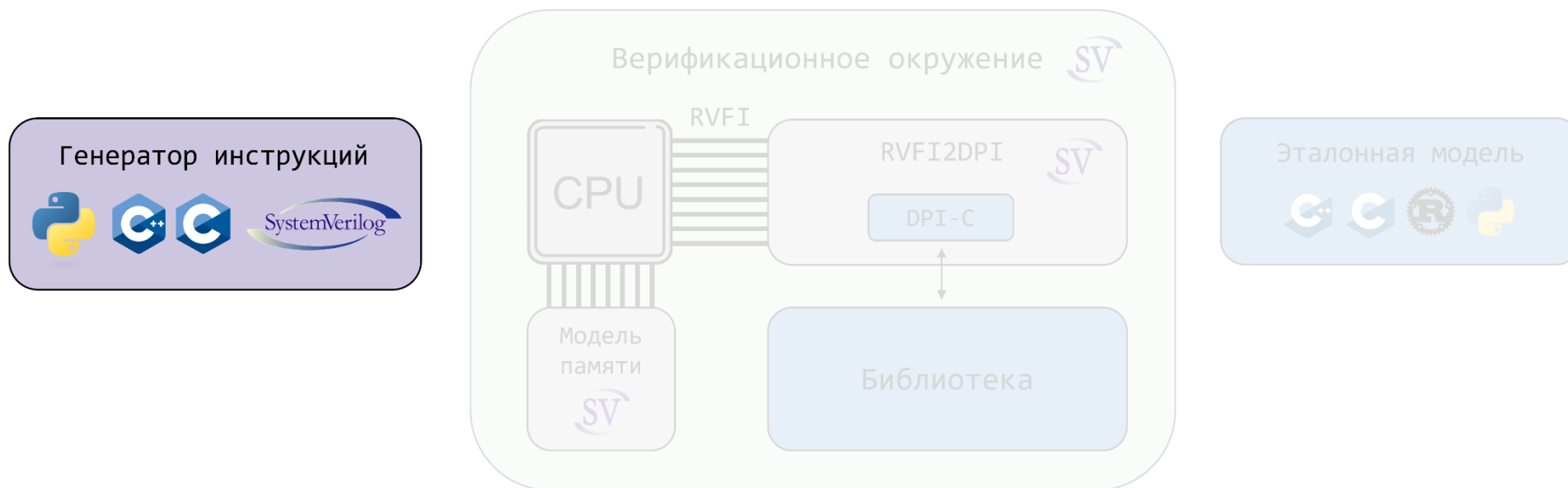
Step-and-Compare с использованием открытого ПО

Обзор компонентов



Step-and-Compare с использованием открытого ПО

Обзор компонентов



Step-and-Compare с использованием открытого ПО

Обзор компонентов

- Генератор случайных инструкций:
 - github.com/chipsalliance/riscv-dv
 - github.com/openhwgroup/force-riscv
 - forge.ispras.ru/projects/microtesk-riscv
 - gitlab.com/shaktiproject/tools/aapg
 - github.com/syntacore/snippy

Step-and-Compare с использованием открытого ПО

Обзор компонентов

- Генератор случайных инструкций:
 - github.com/chipsalliance/riscv-dv
 - github.com/openhwgroup/force-riscv
 - forge.ispras.ru/projects/microtesk-riscv
 - gitlab.com/shaktiproject/tools/aapg
 - github.com/syntacore/snippy

Step-and-Compare с использованием открытого ПО

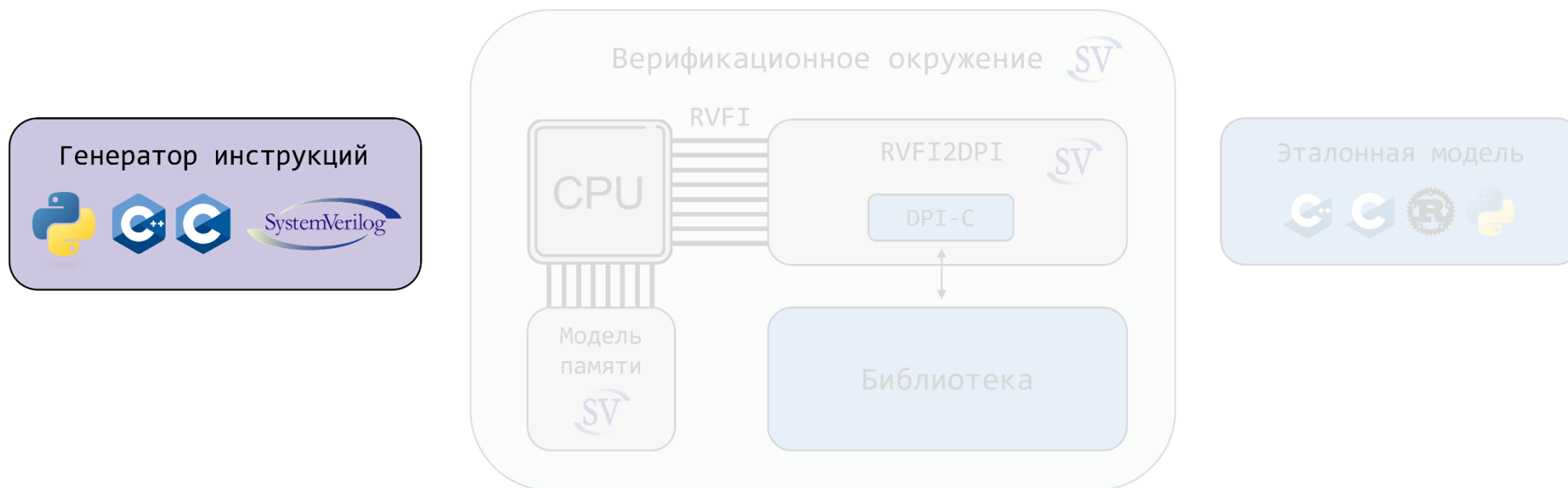
Обзор компонентов

- Генератор случайных инструкций **AAPG**:
 - gitlab.com/shaktiproject/tools/aapg
- Однозначно стоит обратить внимание на **LLVM Snippy**:
 - github.com/syntacore/snippy



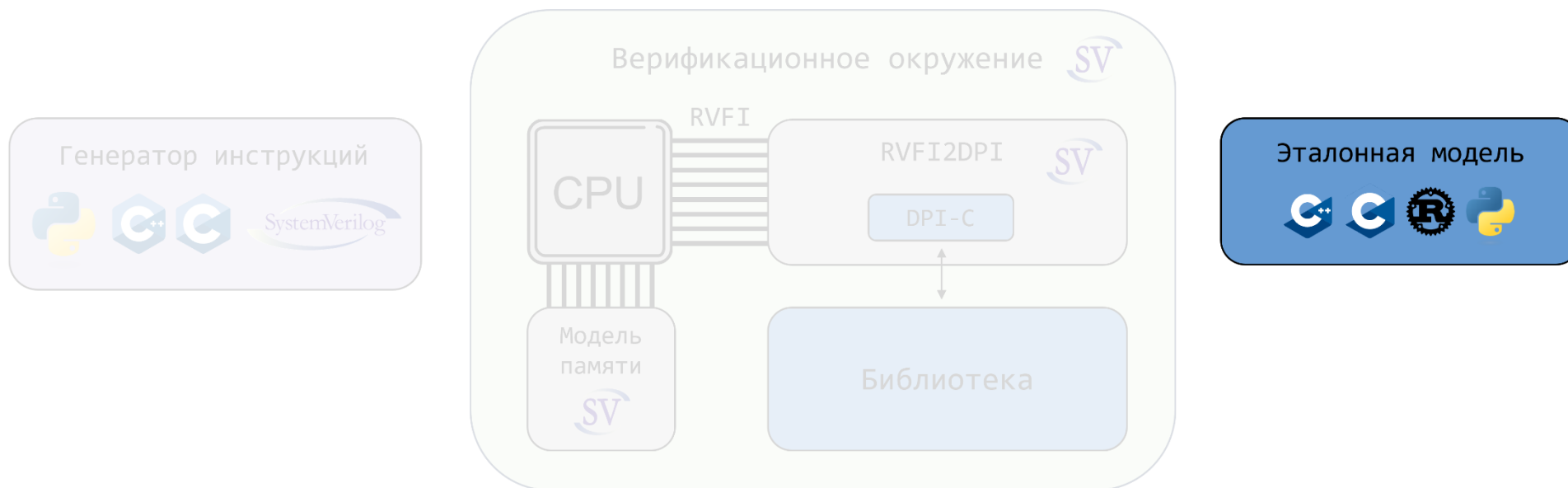
Step-and-Compare с использованием открытого ПО

Обзор компонентов



Step-and-Compare с использованием открытого ПО

Обзор компонентов



Step-and-Compare с использованием открытого ПО

Обзор компонентов

- Эталонная модель:
 - github.com/riscv-software-src/riscv-isa-sim
 - github.com/chipsalliance/VeeR-ISS
 - github.com/GregAC/rrs
 - github.com/cornell-brg/pydgin

Step-and-Compare с использованием открытого ПО

Обзор компонентов

- Эталонная модель **Spike**:
 - `github.com/riscv-software-src/riscv-isa-sim`
- Не поддерживает Step-and-Compare.

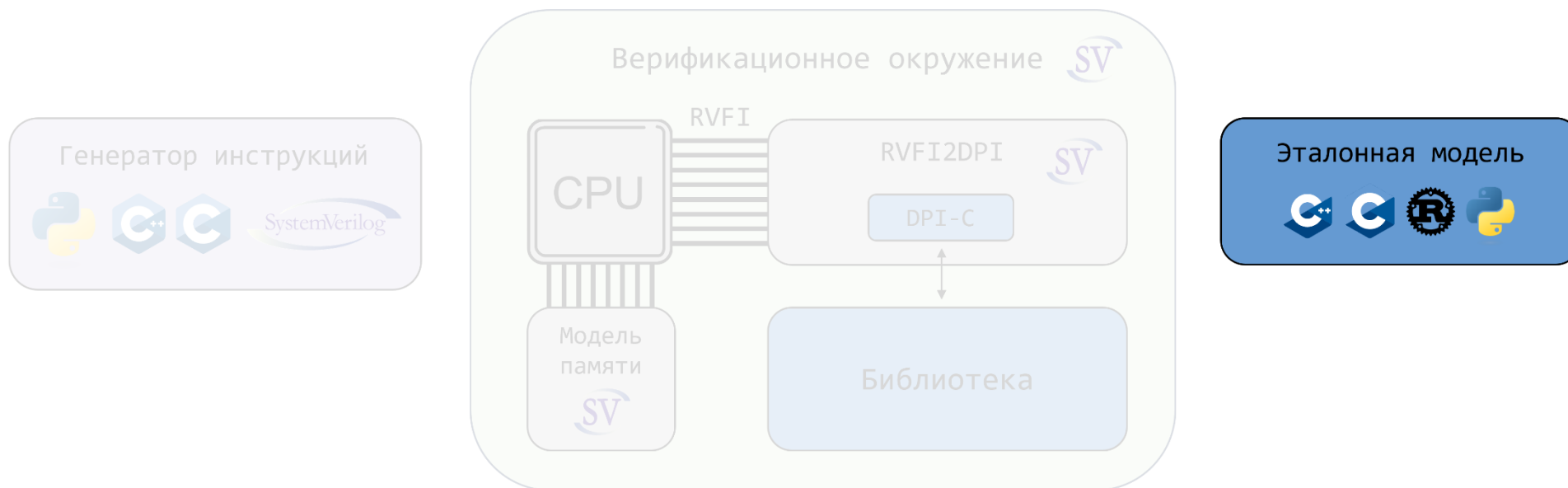
Step-and-Compare с использованием открытого ПО

Обзор компонентов

- Эталонная модель **Spike**:
 - github.com/riscv-software-src/riscv-isa-sim
- Не поддерживает Step-and-Compare.
- ПО для Step-and-Compare **Hammer**:
 - <https://github.com/rivosinc/hammer>

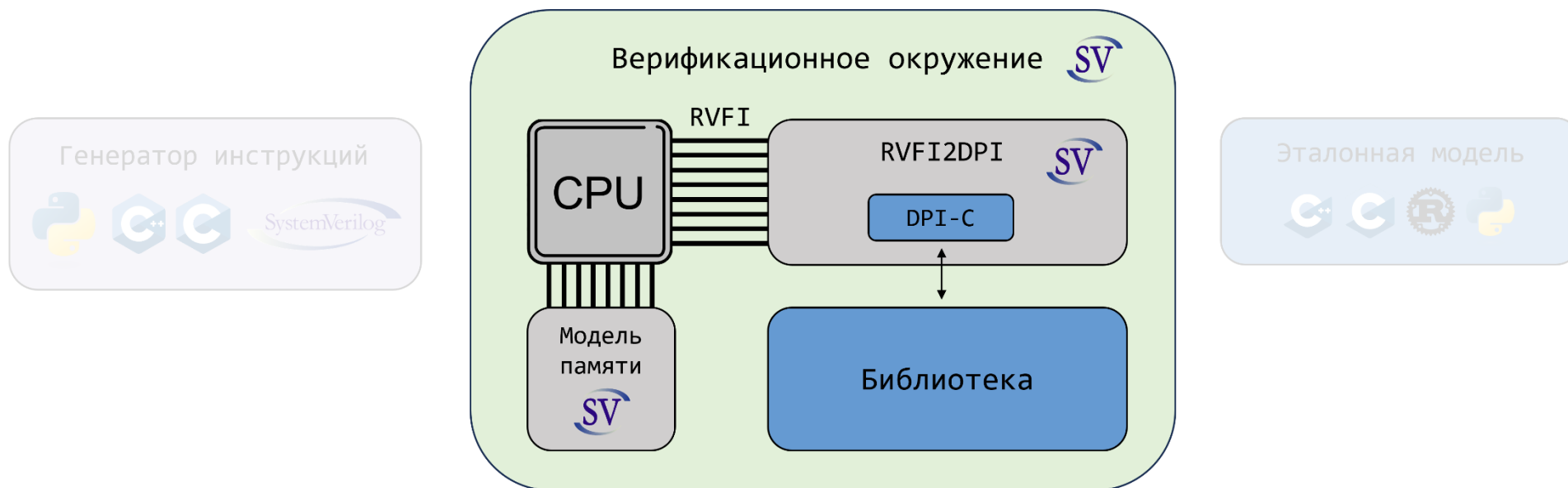
Step-and-Compare с использованием открытого ПО

Обзор компонентов



Step-and-Compare с использованием открытого ПО

Обзор компонентов



Step-and-Compare с использованием открытого ПО

Обзор компонентов

- Верификационное окружение:



- DPI-C
- ООП

- Подробный разбор концепций;
- Простота реализации.

Step-and-Compare с использованием открытого ПО

Обзор компонентов

Step-and-Compare с использованием открытого ПО

Пример использования

Step-and-Compare с использованием открытого ПО

Пример использования

- Открытый ознакомительный курс по верификации RISC-V ядер:
 - Использование исключительно открытого ПО;
 - Предоставление виртуальной машины;
 - Теоретическая и практическая части;
 - Использование разнообразных методик;
 - Наличие эталонных реализаций.



Step-and-Compare с использованием открытого ПО

Пример использования

- Открытый ознакомительный курс по верификации RISC-V ядер:
 - Использование исключительно открытого ПО;
 - Предоставление виртуальной машины;
 - Теоретическая и практическая части;
 - Использование разнообразных методик;
 - Наличие эталонных реализаций.
- Практика по Step-and-Compare в разработке;
- Эталонная реализация уже доступна.



Материалы доклада, Q&A и не только



Курс по верификации
RISC-V



Telegram канал
`$$VFA$$`;



Материалы доклада

Step-and-Compare с использованием открытого ПО

Обзор компонентов

