**Міністерство освіти і науки України**

**Національний університет “Запорізька політехніка”**

*кафедра програмних засобів*

**ЗВІТ**

З лабораторної роботи № 6

з дисципліни “**ВЕРИФІКАЦІЯ ЦИФРОВИХ СИСТЕМ**”

на тему: “ РОБОТА З ПЛАТОЮ ШВИДКОГО ПРОТОТИПУВАННЯ”

Варіант № 13

Виконав:

Студент групи КНТ-217 С. І. Майборода

Прийняв:

к.т.н, доцент Т. І. Каплієнко

м. Запоріжжя

2019

**1 Мета роботи**

Ознайомитися з повним процесом використаня, створення програми для DigitalBoard за допомогою віддаленої лабораторії GOLDi та програми Quartus 2.

**2 Хід роботи**

**Завдання 1:**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test1 відповідно до завдання: змінити номер функціонального перемикача і кількість світлодіодів, що світяться, відповідно до номеру варіанту.

**Тест-кейс test1:**

Унікальний ідентифікатор варіанти тестування – test1.

Короткий опис варіанта тестування – самий правий перемикач sw[0] буде вмикати / вимикати самий правий світлодіод ld[0].

Порядок виконання - ввімкнути плату, ввімкнути правий перемикач.

Вимоги - тест завантажений на плату, плата підключена до комп'ютера.

Критерій завершеності - при включеному правом перемикачі світиться правий світлодіод, при вимкненому - не світиться.

Категорія тесту - тестування системних компонент плати.

Автор – Майборода С. І.

Автоматизований - так.

**Код завдання:**

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

entity ent is

port( pSW: in std\_logic\_vector(7 downto 0);

pLED: out std\_logic\_vector(7 downto 0);

pLED1: out std\_logic\_vector(7 downto 0);

pLCD1: out std\_logic\_vector(7 downto 0);

pLCD2: out std\_logic\_vector(7 downto 0);

pLCD3: out std\_logic\_vector(7 downto 0);

pLCD4: out std\_logic\_vector(7 downto 0);

clk: in std\_logic

);

end ent;

architecture firstTask of ent is

begin

pLED(0) <= pSW(0);

pLED(1) <= pSW(0);

end architecture;

**Результати виконання:**

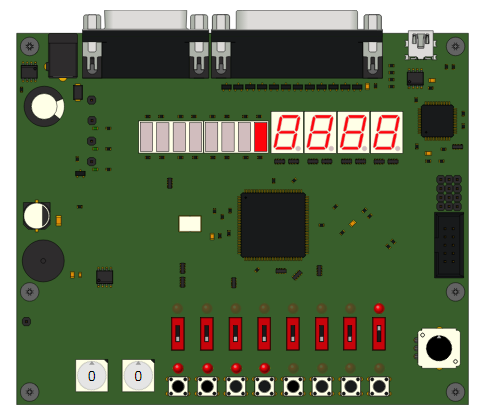


Рисунок 1.1 – Результат виконання завдання 1

**Завдання 2:**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test2 відповідно до завдання: змінити вхідні і вихідні параметри відповідно до таблиці.

Таблиця вхідних і вихідних параметрів:



**Тест-кейс test2:**

Унікальний ідентифікатор варіанти тестування – test2.

Короткий опис варіанта тестування - значення важелів sw[0] и sw[1] в якості значень вхідних параметрів модуля basic\_boolean a і b, а світлодіоди ld [0] ... ld [4] будуть показувати значення результатів роботи модуля basic\_boolean not\_a, not\_b, a\_and\_b, a\_or\_b, a\_nand\_b (0 = FALSE = викл або 1 = TRUE = вкл).

Порядок виконання - включити плату, поперемінно включати і вимикати в різних комбінаціях два правих перемикача.

Вимоги - тест завантажений на плату, плата підключена до комп'ютера.

Критерій завершеності - при включеному перемикачі sw [0] і вимкненому sw [1] світиться перший, третій і четвертий світлодіод; при вимкненому перемикачі sw [0] і включеному sw [1] світиться нульовий, третій і четвертий світлодіод; при вимкненому перемикачі sw [0] і вимкненому sw [1] світиться нульовий, перший і четвертий світлодіод; при включеному перемикачі sw [0] і включеному sw [1] світиться другий і третій світлодіод.

Категорія тесту - тестування системних компонент плати.

Автор – Майборода С. І.

Автоматизований - так.

**Код завдання:**

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

entity ent is

port(

pSW: in std\_logic\_vector(7 downto 0);

pLED: out std\_logic\_vector(7 downto 0);

pLED1: out std\_logic\_vector(7 downto 0);

pLCD1: out std\_logic\_vector(7 downto 0);

pLCD2: out std\_logic\_vector(7 downto 0);

pLCD3: out std\_logic\_vector(7 downto 0);

pLCD4: out std\_logic\_vector(7 downto 0);

clk: in std\_logic

);

end ent;

architecture firstTask of ent is

begin

process(pSW)

begin

case pSW is

when "00000001" =>

pLED1 <= "11001100";

pLED <= "00000011";

when "00000010" =>

pLED1 <= "11000011";

pLED <= "00000011";

when "00000000" =>

pLED1 <= "11000011";

pLED <= "00000011";

when "00000011" =>

pLED1 <= "11110000";

pLED <= "00000000";

when "10101010" =>

pLED1 <= "00110011";

pLED <= "00110011";

when others =>

pLED1 <= "00000000";

pLED <= "00000000";

end case;

end process;

end architecture;

**Результати виконання:**

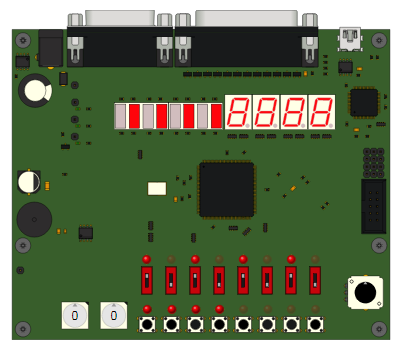


Рисунок 1.2 – Результат виконання завдання 2

**Завдання 3:**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test3 відповідно до завдання: змінити першу виведену цифру на номер варіанту, другу - на число, що дорівнює номеру варіанту плюс 1.

**Тест-кейс test3:**

Унікальний ідентифікатор варіанти тестування – test3.

Короткий опис варіанта тестування - при включеному стані самого правого перемикача sw [0] буде світитися другий і четвертий цифровий дисплей з цифрою «7», при вимкненому - буде світитися перший і третій цифровий дисплей з цифрою «5».

Порядок виконання - включити плату, включити правий перемикач.

Вимоги - тест завантажений на плату, плата підключена до комп'ютера.

Критерій завершеності - при включеному стані самого правого перемикача sw [0] світиться другий і четвертий цифровий дисплей з цифрою «7», при вимкненому - перший і третій цифровий дисплей з цифрою «5».

Категорія тесту - тестування системних компонент плати.

Автор – Майборода С. І.

Автоматизований - так.

**Код завдання:**

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

entity ent is

port(

pSW: in std\_logic\_vector(7 downto 0);

pLED: out std\_logic\_vector(7 downto 0);

pLED1: out std\_logic\_vector(7 downto 0);

pLCD1: out std\_logic\_vector(7 downto 0);

pLCD2: out std\_logic\_vector(7 downto 0);

pLCD3: out std\_logic\_vector(7 downto 0);

pLCD4: out std\_logic\_vector(7 downto 0);

clk: in std\_logic

);

end ent;

architecture firstTask of ent is

begin

process(pSW)

begin

case pSW is

when "00000001" =>

pLCD1<="00100100";

pLCD2<="11111111";

pLCD3<="11111111";

pLCD4<="00100100";

when "00000000" =>

pLCD1<="00110000";

pLCD2<="11111111";

pLCD3<="11111111";

pLCD4<="00110000";

when others =>

pLCD1<="00000000";

pLCD2<="00000000";

pLCD3<="00000000";

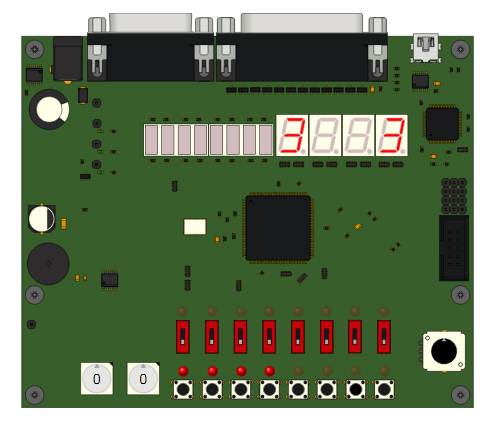
pLCD4<="00000000";

end case;

end process;

end architecture;

**Результати виконання:**



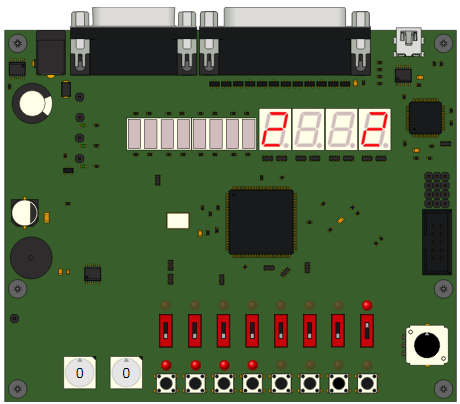


Рисунок 1.3 – Результат виконання завдання 3

**Завдання 4:**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test4 відповідно до завдання: змінити номер миготливого світлодіода відповідно до варіанта, і частоту миготіння на 1 / варіант сек.

**Тест-кейс test4:**

Унікальний ідентифікатор варіанти тестування – test4.

Короткий опис варіанта тестування - необхідно вмикати / вимикати самий правий світлодіод ld [0] з частотою раз в секунду.

Порядок виконання - включити плату.

Вимоги - тест завантажений на плату, плата підключена до комп'ютера.

Критерій завершеності - при включенні плати самий правий світлодіод ld [0] загоряється з частотою раз в секунду.

Категорія тесту - тестування системних компонент плати.

Автор – Майборода С. І.

Автоматизований - так.

**Код завдання:**

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

entity ent is

port(

pSW: in std\_logic\_vector(7 downto 0);

pLED: out std\_logic\_vector(7 downto 0);

pLED1: out std\_logic\_vector(7 downto 0);

pLCD1: out std\_logic\_vector(7 downto 0);

pLCD2: out std\_logic\_vector(7 downto 0);

pLCD3: out std\_logic\_vector(7 downto 0);

pLCD4: out std\_logic\_vector(7 downto 0);

clk: in std\_logic;

led : out std\_logic

);

end ent;

architecture firstTask of ent is

constant max\_count : natural := 7000000;

signal Rst : std\_logic;

begin

Rst <= '0';

compteur : process(clk, Rst)

variable count : natural range 0 to max\_count;

begin

if Rst = '1' then

count := 0;

led <= '1';

elsif rising\_edge(clk) then

if count < max\_count/2 then

count := count + 1;

pLED1 <= "00000011";

elsif count < max\_count then

pLED1 <= "00000000";

count := count + 1;

else

pLED1 <= "00000011";

count := 0;

end if;

end if;

end process compteur;

end firstTask;

**Результати виконання:**

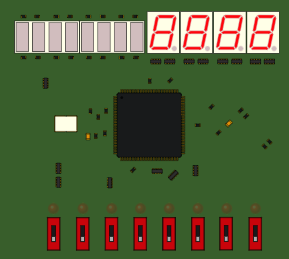
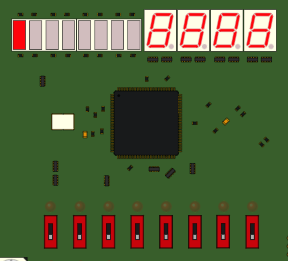
 

Рисунок 1.4 – Результат виконання завдання 4

**Завдання 5:**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, (на ваш розсуд).

**Тест-кейс test5:**

Унікальний ідентифікатор варіанти тестування – test5.

Короткий опис варіанта тестування – перший перемикач запускає зміну числа на 1, вторий перемикач запускає зміну числа на 2, третій перемикач запускає зміну числа на 3, четвертий перемикач запускає зміну числа на 4.

Порядок виконання - включити плату, включити перший перемикач.

Вимоги - тест завантажений на плату, плата підключена до комп'ютера.

Категорія тесту - тестування системних компонент плати.

Автор – Майборода С. І.

Автоматизований - так.

**Код завдання:**

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

entity ent is

port(

pSW: in std\_logic\_vector(7 downto 0);

pLED: out std\_logic\_vector(7 downto 0);

pLED1: out std\_logic\_vector(7 downto 0);

pLCD1: out std\_logic\_vector(7 downto 0);

pLCD2: out std\_logic\_vector(7 downto 0);

pLCD3: out std\_logic\_vector(7 downto 0);

pLCD4: out std\_logic\_vector(7 downto 0);

clk: in std\_logic

);

end ent;

architecture firstTask of ent is

begin

process(pSW)

begin

case pSW is

when "00000001" =>

pLCD1<="01011000";

pLCD2<="11111111";

pLCD3<="11111111";

pLCD4<="11111111";

when "00000010" =>

pLCD1<="11111111";

pLCD2<="00100100";

pLCD3<="11111111";

pLCD4<="11111111";

when "00000100" =>

pLCD1<="11111111";

pLCD2<="11111111";

pLCD3<="00110000";

pLCD4<="11111111";

when "00001000" =>

pLCD1<="11111111";

pLCD2<="11111111";

pLCD3<="11111111";

pLCD4<="00011001";

when others =>

pLCD1<="00000000";

pLCD2<="00000000";

pLCD3<="00000000";

pLCD4<="00000000";

end case;

end process;

end architecture;

**Результати виконання:**

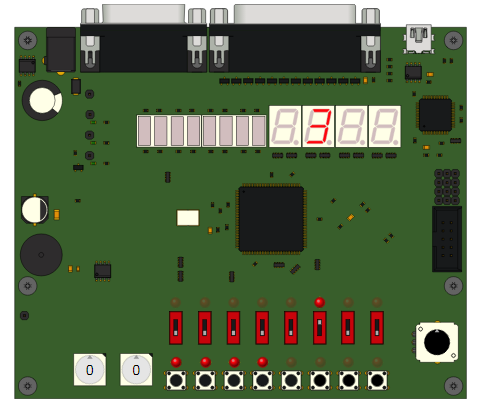
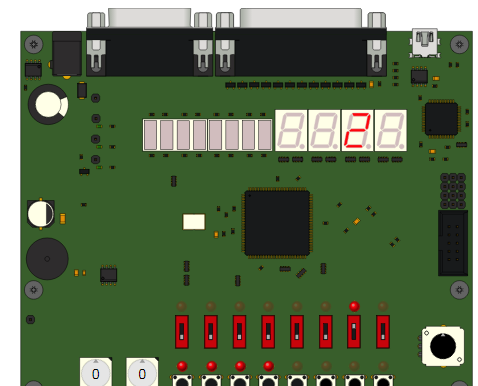


Рисунок 1.5 – Результат виконання завдання 5

**Висновки**

Таким чином ми ознайомилися з програмним забезпеченням Quartus 2 та процесом створення, завантаження й перевірки програми для плати швидкого проектування.