

Міністерство освіти і науки України

НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»

Кафедра ЕОМ



Звіт

З лабораторної роботи № 1

З дисципліни «Моделювання комп'ютерних систем»

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.
Ознайомлення зі стендом Elbert V2 - Spartan 3A FPGA»

Виконав: ст. гр. КІ-201

Олеш С.Б.

Прийняв:

Козак Н.Б.

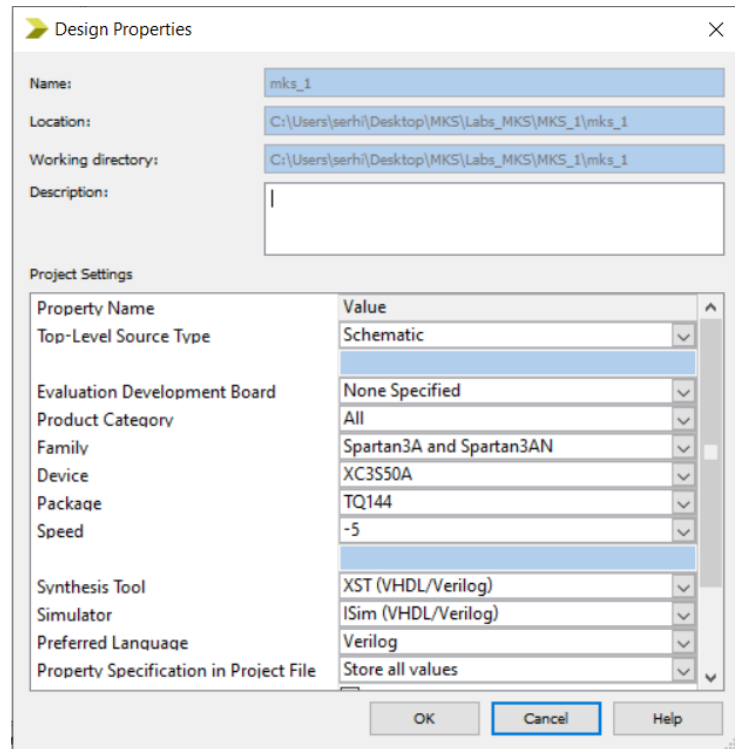
Львів – 2023

Мета: встановити та ознайомитися з середовищем розробки Xilinx ISE і стендом Elbert V2 - Spartan 3A FPGA.

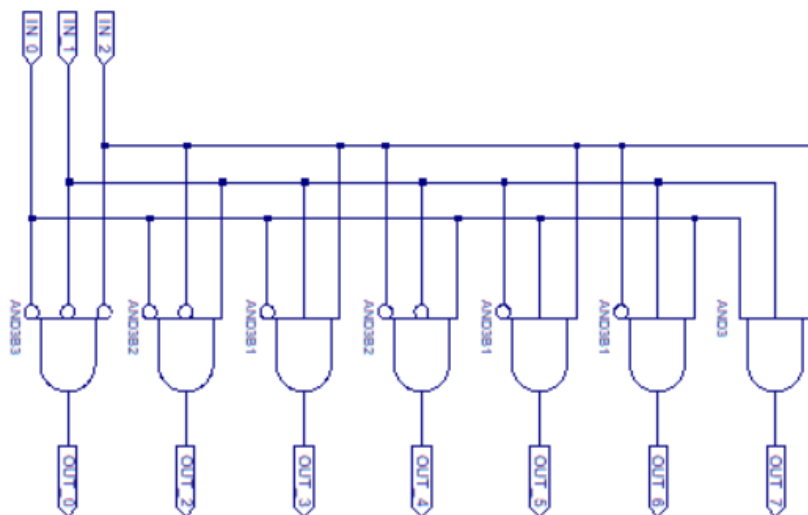
Завдання: побудувати дешифратор 3 на 7 у середовищі Xilinx ISE та провести моделювання його роботи за допомогою симулятора Isim, згенерувати Bit файл.

Хід роботи:

1. У середовищі Xilinx ISE створив новий проект. Налаштував цільову FPGA, обрав інструменти для синтезу і симуляції.



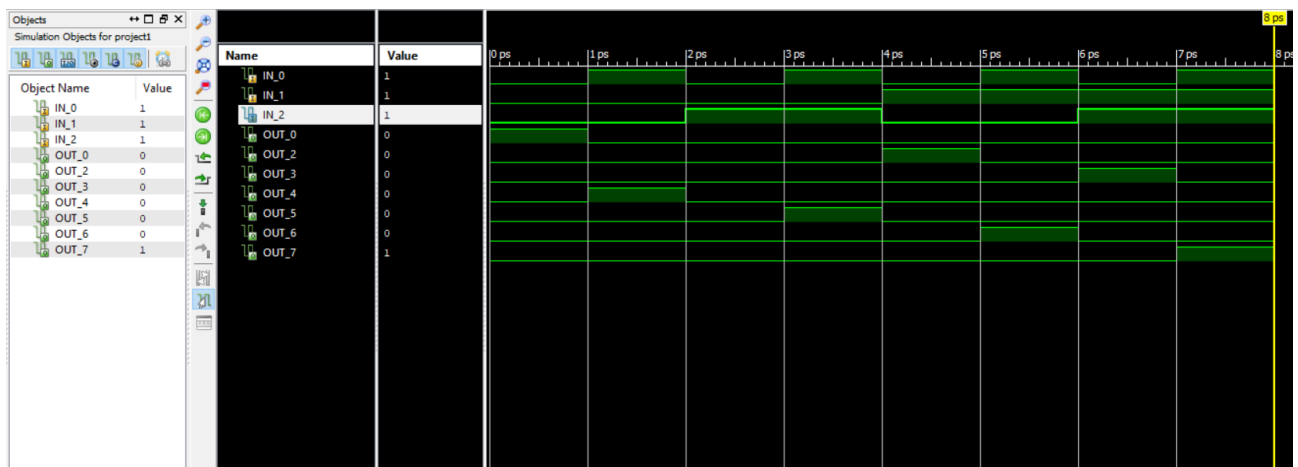
2. Додав Schematic файл до проекту та реалізував схему дешифратора 3 на 7, використовуючи компоненти з бібліотеки.



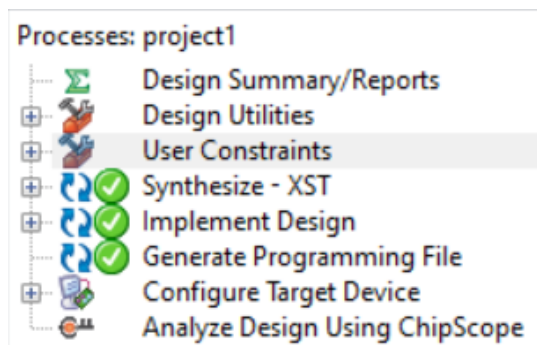
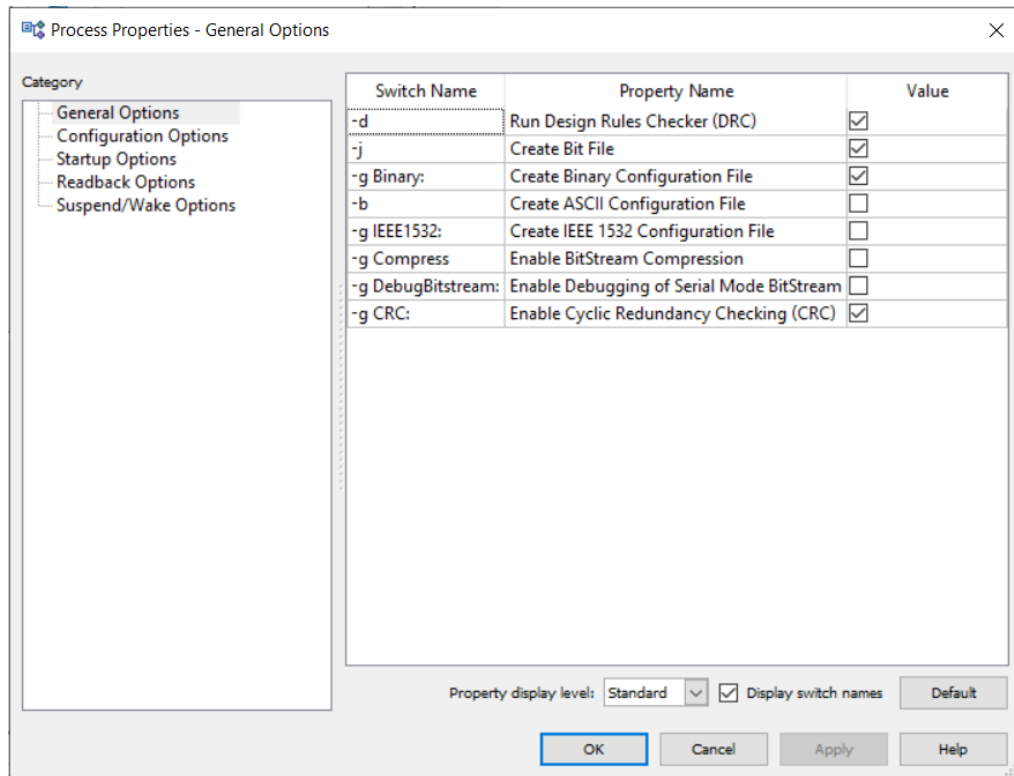
3. Додав до проекту User Constraint файл та призначив виводам схеми виводи цільової FPGA.

```
10 CONFIG VCCAUX = "3.3" ;
11
12 # Clock 12 MHz
13 # NET "Clk" LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
14 #####
15 # LED
16 #####
17 NET "OUT_0" LOC = P46 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
18 #NET "OUT_1" LOC = P47 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
19 NET "OUT_2" LOC = P48 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
20 NET "OUT_3" LOC = P49 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
21 NET "OUT_4" LOC = P50 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
22 NET "OUT_5" LOC = P51 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
23 NET "OUT_6" LOC = P54 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
24 NET "OUT_7" LOC = P55 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
25
26 #####
27 # DP Switches
28 #####
29 NET "IN_0" LOC = P70 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
30 NET "IN_1" LOC = P69 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
31 NET "IN_2" LOC = P68 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
32 #NET "DPSwitch[3]" LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
33 #NET "DPSwitch[4]" LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
34 #NET "DPSwitch[5]" LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
35 #NET "DPSwitch[6]" LOC = P59 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
36 #NET "DPSwitch[7]" LOC = P58 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
```

4. За допомогою симулятора Isim провів моделювання роботи схеми при всіх можливих комбінаціях сигналів на входах.



5. У параметрах процесу Generate Programming File активував опцію Create Binary Configuration File, послідовно запустив процеси Synthesize-XST, Implement Design, Generate Programming File та переконався, що вони виконалися успішно.

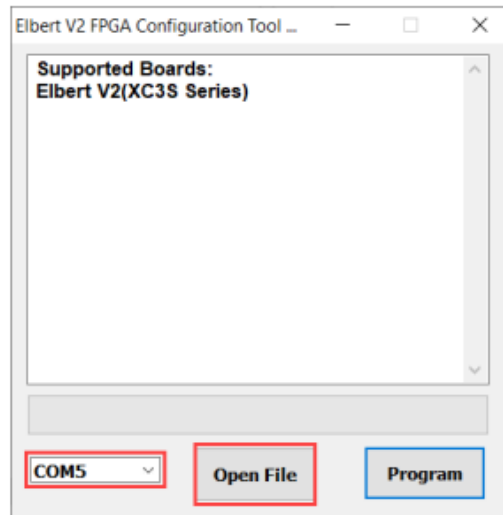


6. Відкрив директорію проекту у файловому менеджері та переконався, що файли прошиття успішно згенерувалися.

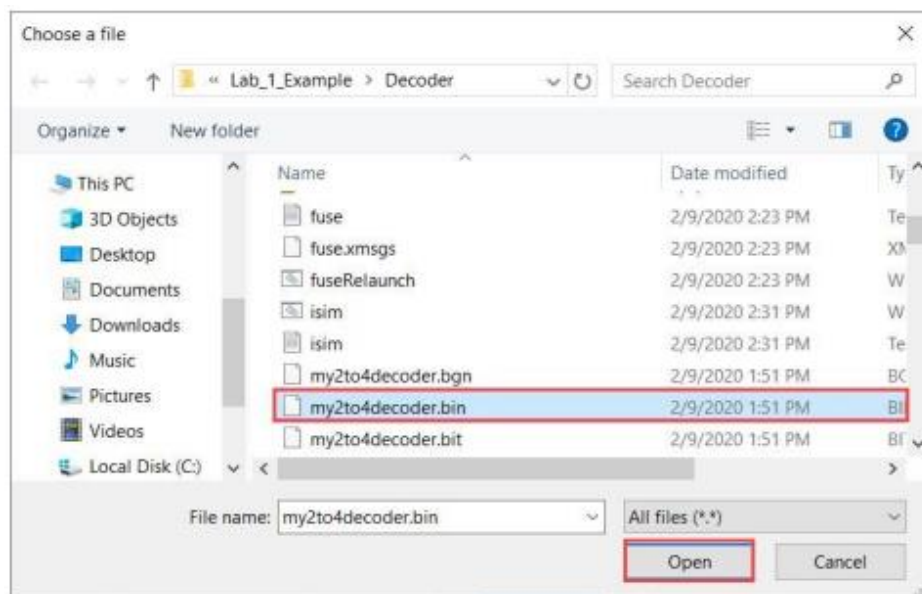
project1.bin	25.03.2023 13:01	Файл BIN	54 КБ
project1.bit	25.03.2023 13:01	Файл BIT	54 КБ
project1.blb	25.03.2023 12:59	Файл BLD	2 КБ

7. Запрограмував лабораторний стенд отриманим файлом:

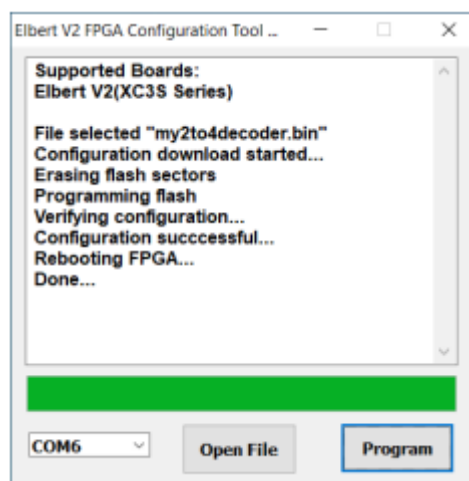
- Запустив утиліту ElbertV2Config.exe;
- Встановив номер COM порта який використовується для підключення лабораторного стенда;
- Натиснув кнопку Open File;



- Перейшов в папку проекту вибрати згенерований .BIN файл і натиснув Open;



- Натиснув Program. Дочекавшись закінчення процесу переконався що програмування відбулось успішно.



Висновок: в результаті виконання даної лабораторної роботи я ознайомився з середовищем розробки Xilinx ISE і стендом Elbert V2 - Spartan 3A FPGA, реалізував схему дешифратора 3 на 7 та провів моделювання його роботи в симуляторі Isim та згенерував файли прошивки.