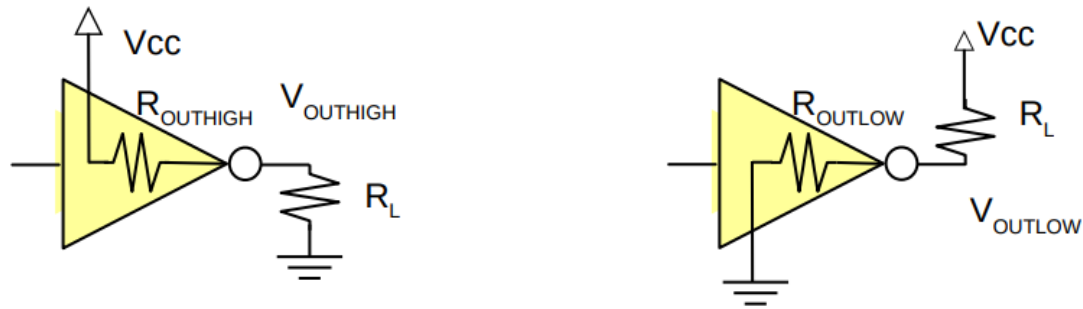


Ejercicio 03

Se quiere conectar una carga R_L a la salida de un inversor de manera que cuando esté en nivel ALTO la tensión V_{OUT} sea como mínimo 3V y cuando esté en un nivel BAJO sea como mínimo 0,4V.

De la hoja de datos del dispositivo se tiene que cuando la salida se establece en BAJO, $V_{OUT}=0,2V$ para una corriente de 4 mA y cuando la salida se establece en ALTO, $V_{OUT}=4,2V$ también para una corriente de 4 mA. Estos datos fueron medidos para una tensión de alimentación de $V_{CC}=5V$.



Usted debe calcular el valor mínimo de R_L que puede conectarse, para eso utilice los modelos simplificados de la Figura 3.0. Tenga en cuenta que deben usarse los dos modelos, uno para la salida en ALTO y otro para la salida en BAJO.

- **Dato:** para el caso de la derecha (cuando la salida del inversor está en BAJO).

$$V_{CC} = V_{OUTLOW} + V_{RL} \Leftrightarrow V_{RL} = V_{CC} - V_{OUTLOW} = 5V - 0.2V = 4.8V$$

$$V_{OUTLOW} = I_{LOW} * R_{OUTLOW} \Leftrightarrow R_{OUTLOW} = \frac{V_{OUTLOW}}{I_{LOW}} = \frac{0.2V}{4mA} = 50\Omega$$

$$V_{RL} = I_{LOW} * R_L \Leftrightarrow R_L = \frac{V_{RL}}{I_{LOW}} = \frac{4.8V}{4mA} = 1200\Omega$$

$$I_{LOW} = \frac{V_{OUTLOW}}{R_{OUTLOW}} = \frac{0.4V}{50\Omega} = 8mA \Leftrightarrow R_L \leq \frac{V_{CC} - V_{OUTLOW}}{I_{LOW}} = \frac{5 - 0.4V}{8mA} = 575\Omega$$

- **Dato:** para el caso de la izquierda (cuando la salida del inversor está en ALTO).

$$V_{CC} = V_{OUTHIGH} + V_{RL} \Leftrightarrow V_{OUTHIGH} = V_{CC} - V_{RL} = 5V - 4.2V = 0.8V$$

$$V_{OUTHIGH} = I_{HIGH} * R_{OUTHIGH} \Leftrightarrow R_{OUTHIGH} = \frac{V_{OUTHIGH}}{I_{HIGH}} = \frac{0.8V}{4mA} = 200\Omega$$

$$V_{RL} = I_{HIGH} * R_L \Leftrightarrow R_L = \frac{V_{RL}}{I_{HIGH}} = \frac{4.2V}{4mA} = 1050\Omega$$

$$I_{HIGH} = \frac{V_{CC} - V_{RL}}{R_{OUTHIGH}} = \frac{5 - 3V}{200\Omega} = 10mA \Leftrightarrow R_L \geq \frac{V_{RL}}{I_{HIGH}} = \frac{3V}{10mA} = 300\Omega$$

- Analizando ambos casos se concluye que: $300\Omega \leq R \leq 575\Omega$

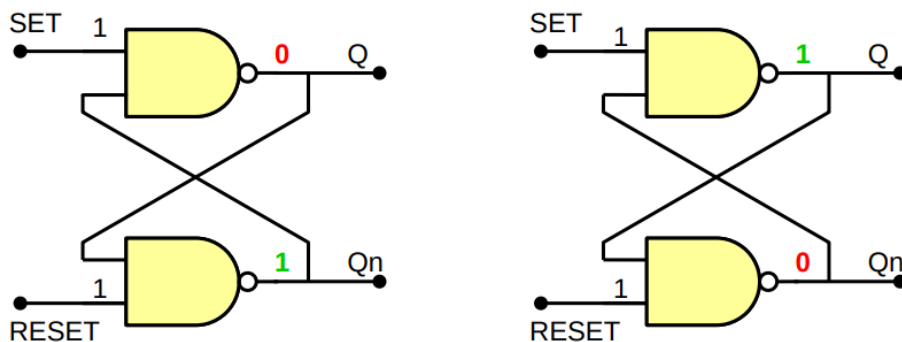
Verifiquemos las condiciones con $R = 450 \Omega$

$$I_{LOW} = \frac{V_{CC}}{R_{OUTLOW} + R_L} = \frac{5V}{50 + 450 \Omega} = 10 \text{ mA} \Leftrightarrow V_{OUT} = I_{LOW} * R_{OUTLOW} = 0.5 \text{ V}$$

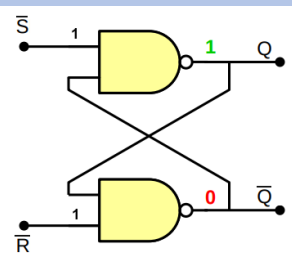
$$I_{HIGH} = \frac{V_{CC}}{R_{OUTHIGH} + R_L} = \frac{5 \text{ V}}{200 + 450 \Omega} \cong 7.7 \text{ mA} \Leftrightarrow V_{OUT} = I_{HIGH} * R_L \cong 3.46 \text{ V}$$

Ejercicio 04 – Clase 10

Se suele llamar LATCH al Flip Flop que no utiliza una entrada de reloj.



Vemos que tiene dos estados estables cuando SET y RESET valen 1



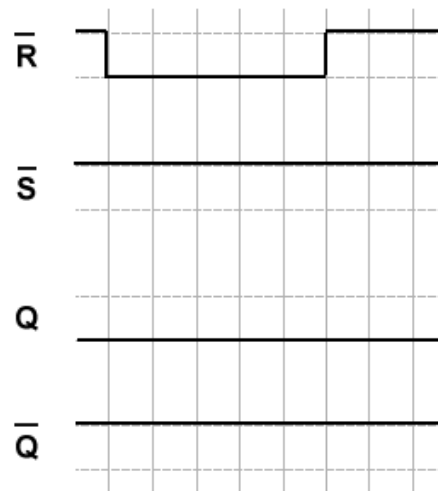
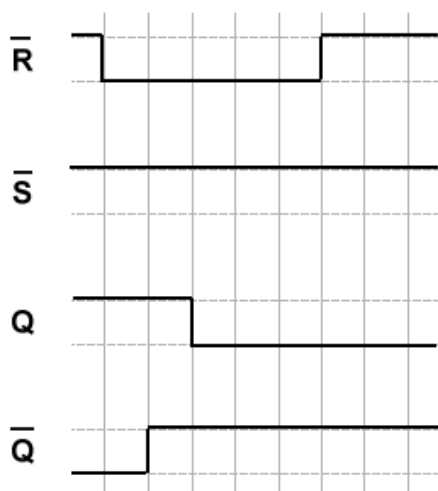
¿Es posible la situación de la izquierda?

1 NAND 0 = 1

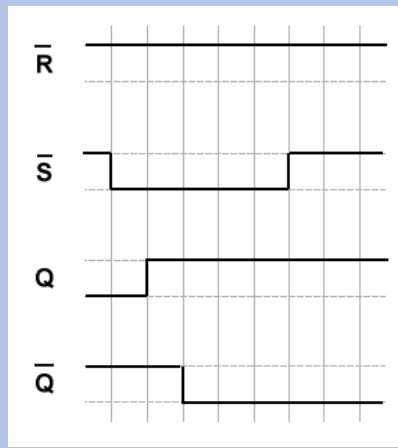
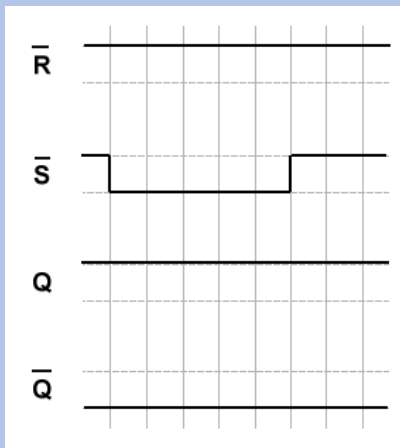
1 NAND 1 = 0

Sí

Suponiendo que cada compuerta NAND tarda 10ns en propagar un cambio en sus entradas al valor de su salida, graficar al evolución temporal de \bar{R} , \bar{S} , Q y \bar{Q} si cambia $\bar{R} \rightarrow 0$ durante 50 ns.

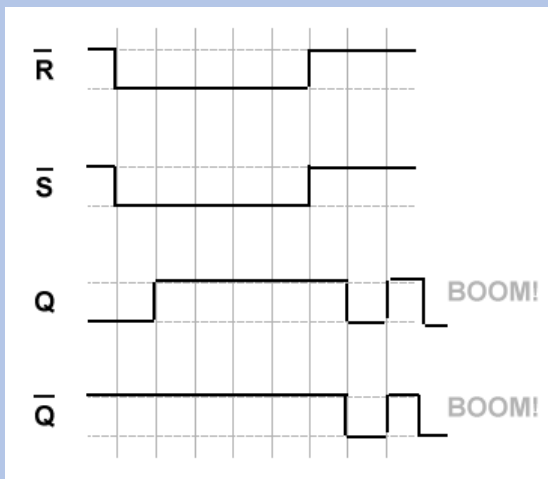


- iii. Estando $\bar{R}=1$, $\bar{S}=1$, $Q=1$, entonces \bar{S} pasa a valer 0 durante 50ns antes de volver a su estado original.
- iv. Estando $\bar{R}=1$, $\bar{S}=1$, $Q=0$, entonces \bar{S} pasa a valer 0 durante 50ns antes de volver a su estado original.



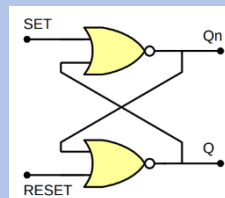
Notar que bajar el valor de SET sólo tiene sentido si la salida Q vale 0 (no seteado).

Algo similar ocurre en la página anterior, que bajar el valor de RESET sólo tiene sentido si la salida Q vale 1 (set).



En este gráfico podemos observar que bajar tanto SET como RESET al mismo tiempo no es nada recomendable, ya que cuando vuelven a sus estados iniciales, las salidas cambian su valor repetidamente, no es predecible.

Ejercicio 05



Mostraremos una resolución similar al ejercicio anterior, pero con compuertas NOR. Ver [carpeta de GitHub](#).

Ejercicio 06

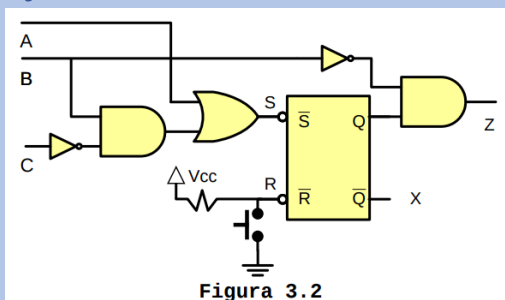


Figura 3.2

Explore la respuesta temporal del circuito de la figura 3.2. Considere distintas transiciones de las entradas y que todas las compuertas y el latch, poseen un retardo de propagación $\tau_p = 10 \text{ ns}$

Considere al menos las transiciones donde las variables A, B y C pasan simultáneamente a su valor opuesto, por ejemplo del valor 0 al valor 1.

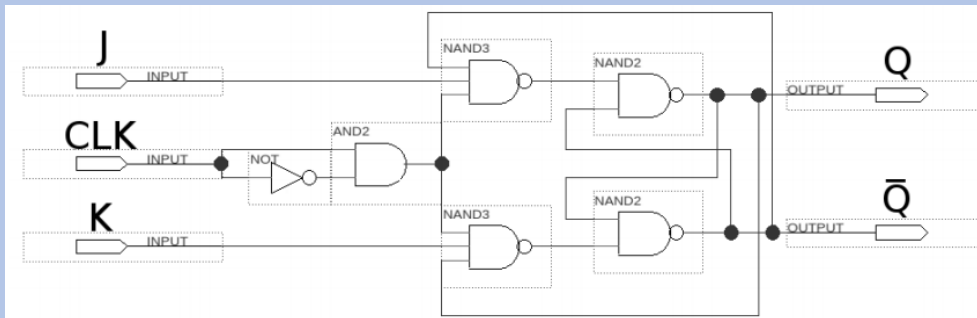
En la página siguiente muestro un gráfico temporal de cómo van variando las señales, teniendo en cuenta obviamente el retardo de propagación. Además, supongo que R siempre está en 1.

$Z = \bar{B} * Q$ El valor B negado tiene un retardo de 10 ns en hacerse efectivo.

El valor C negado tiene un retardo de 10 ns. El valor de $B * \bar{C}$ tiene un retardo entre 10 y 20 ns. El valor S tiene un retardo entre 10 ns (si solo cambia A) y el máximo es 30 ns (si cambia C). Luego el valor Q tiene un retardo máximo de 40 ns, entonces Z tiene un retardo max de 50 ns.

Ejercicio 07

Este es un Flip-Flop con reloj, que actúa similar al SR pero no permite ambigüedad (conmuta). El tiempo de propagación de las compuertas NAND es de 10ns y el de la compuerta NOT es 5ns



Estando inicialmente J=0, K=0, CLK=0, Q=0, en el instante cero se hace J=1, y 50ns después se aplica un pulso positivo de 60ns de duración en CLK.

t [ns]	J	K	AND2	N3↑	N2↑= Q	N3↓	N2↓= Qn
0	1	0	0	1	0	1	1
10	1	0	0	1	0	1	1
20	1	0	0	1	0	1	1
30	1	0	0	1	0	1	1
40	1	0	0	1	0	1	1
50	1	0	0	1	0	1	1
60	1	0	1	1	0	1	1
65	1	0	0	1	0	1	1
70	1	0	0	0	0	1	1
75	1	0	0	1	0	1	1
80	1	0	0	1	1	1	1
85	1	0	0	1	0	1	1
90	1	0	0	1	0	1	0
95	1	0	0	1	0	1	1
100	1	0	0	1	1	1	1
105	1	0	0	1	0	1	1
110	1	0	0	1	0	1	0
115	1	0	0	1	0	1	1
120	1	0	1	1	1	1	1
125	1	0	0	1	0	1	1
130	1	0	0	0	0	1	0
135	1	0	0	1	0	1	1
140	1	0	0	1	1	1	1
145	1	0	0	1	0	1	1
150	1	0	0	1	0	1	0

REVISAR!! Las salidas Q y Qn cambian infinitamente.

Estando inicialmente J=0, K=0, CLK=0, Q=1, en el instante cero se hace K=1, y 50ns después se aplica un pulso positivo de 60ns de duración en CLK.

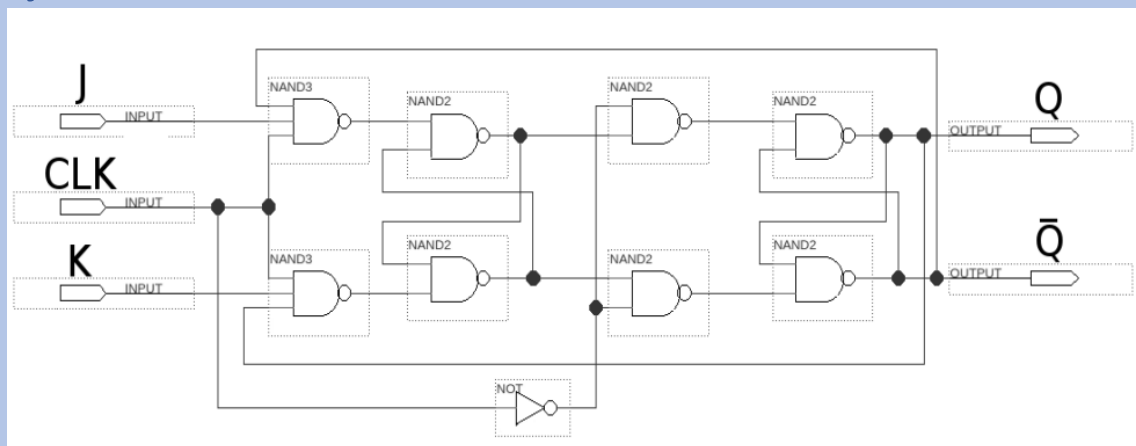
t [ns]	J	K	AND2	N3↑	N2↑= Q	N3↓	N2↓= Qn
0	0	1	0	1	1	1	0
10	0	1	0	1	1	1	0
20	0	1	0	1	1	1	0
30	0	1	0	1	1	1	0
40	0	1	0	1	1	1	0
50	0	1	0	1	1	1	0
60	0	1	1	1	1	1	0
65	0	1	0	1	1	1	0
70	0	1	0	1	1	0	0
75	0	1	0	1	1	1	0
80	0	1	0	1	1	1	1
85	0	1	0	1	1	1	0
90	0	1	0	1	0	1	0
95	0	1	0	1	1	1	0
100	0	1	0	1	1	1	1
105	0	1	0	1	1	1	0
110	0	1	0	1	0	1	0
115	0	1	0	1	1	1	0
120	0	1	1	1	1	1	1
125	0	1	0	1	1	1	0
130	0	1	0	1	0	0	0
135	0	1	0	1	1	1	0
140	0	1	0	1	1	1	1
145	0	1	0	1	1	1	0
150	0	1	0	1	0	1	0

Estando J=1, K=1, CLK=0, Q=0, se simula la evolución durante dos ciclos completos del reloj CLK. Considere que la señal de CLK es periódica y permanece 60ns en alto y 50ns en bajo.

t [ns]	J	K	AND2	N3↑	N2↑= Q	N3↓	N2↓= Qn
0	1	1	0	1	0	1	1
10	1	1	0	1	0	1	1
20	1	1	0	1	0	1	1
30	1	1	0	1	0	1	1
40	1	1	0	1	0	1	1
50	1	1	0	1	0	1	1
60	1	1	1	1	0	1	1
65	1	1	0	1	0	1	1
70	1	1	0	0	0	1	1
75	1	1	0	1	0	1	1
80	1	1	0	1	1	1	1
85	1	1	0	1	0	1	1

90	1	1	0	1	0	1	0
95	1	1	0	1	0	1	1
100	1	1	0	1	1	1	1
105	1	1	0	1	0	1	1
110	1	1	0	1	0	1	0
115	1	1	0	1	0	1	1
120	1	1	1	1	1	1	1
125	1	1	0	1	0	1	1
130	1	1	0	0	0	0	0
135	1	1	0	1	0	1	1
140	1	1	0	1	1	1	1
145	1	1	0	1	0	1	1
150	1	1	0	1	0	1	0
155	1	1	0	1	0	1	1
160	1	1	0	1	1	1	1
165	1	1	0	1	0	1	1
170	1	1	1	1	0	1	0
175	1	1	0	1	0	1	1
180	1	1	0	1	1	1	1
185	1	1	0	1	0	1	1
190	1	1	0	1	0	1	0
195	1	1	0	1	0	1	1
200	1	1	0	1	1	1	1

Ejercicio 08

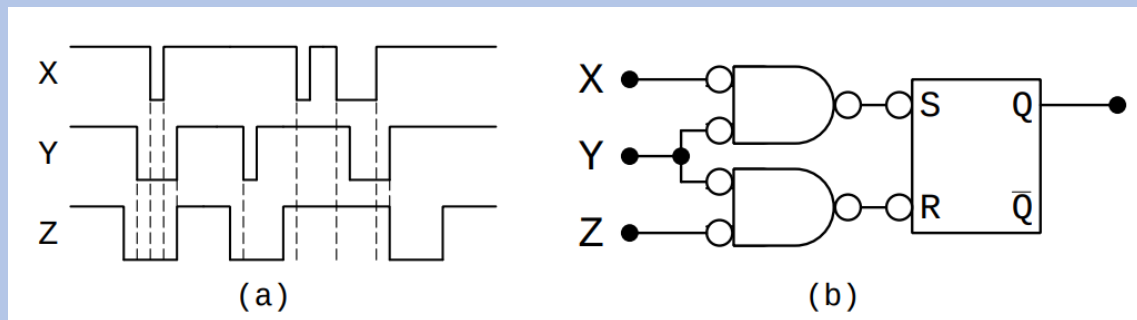


Considere el circuito de un FF J-K Master/Slave de la Figura 3.3(b). Suponiendo que el tiempo de propagación de las compuertas NAND es de 10ns y el de la compuerta NOT 5ns: grafique la evolución en el tiempo de J, K, Q, y \bar{Q} al ocurrir los siguientes eventos:

- Estando inicialmente $J=0$, $K=0$, $CLK=0$, $Q=0$, en el instante cero se hace $J=1$, y 50ns después se aplica un pulso positivo de 60ns de duración en CLK.
- Estando inicialmente $J=0$, $K=0$, $CLK=0$, $Q=1$, en el instante cero se hace $K=1$, y 50ns después se aplica un pulso positivo de 60ns de duración en CLK.

Ejercicio 09

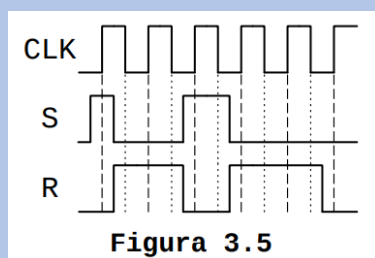
Aplique las señales X, Y y Z de la Fig. 3.4(a) a las entradas del circuito de la Fig. 3.4(b). Dibuje la señal de salida, considerando que inicialmente $Q=0$. **No habla de tiempo de propagación**



Recordar que el latch deja $Q = 1$ si $S=1$ momentáneamente y $Q=0$ en el instante anterior. A su vez, sucede que $Q=0$ si $R=1$ momentáneamente y $Q=1$ en el instante anterior a dicho cambio.

- Resuelto en Excel, ver hoja ej9c

Ejercicio 10

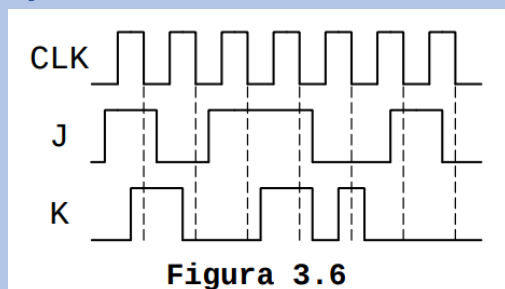


Aplique las señales de la Fig. 3.5 a las entradas de un flip-flop (FF) S-R formado por compuertas de tipo NOR. Dibuje la señal de salida Q, considerando que es un FF disparado por flanco ascendente de reloj e inicialmente $Q=0$.

b) Dibuje la señal Q, considerando que es un FF disparado por flanco descendente de reloj e inicialmente $Q=0$.

- Resuelto en Excel, ver hojas ej10a y ej10b

Ejercicio 11












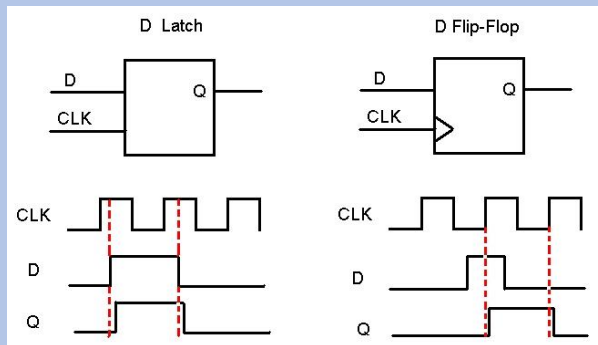
Aplique las señales de la Fig. 3.6 a las entradas de un FF J-K disparado por flanco descendente de reloj. Dibuje la señal de salida Q, considerando que inicialmente se encuentra en un nivel BAJO.

- Resuelto en Excel (hoja ej11)

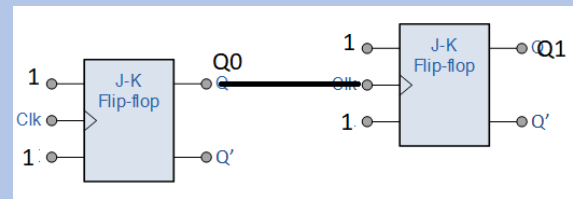
Ejercicio 12

Conecte dos FF J-K disparados por flanco ascendente funcionando en modo conmutación, de manera que la salida Q_0 del primero sea la señal de reloj del segundo. Dibuje las señales de salida de ambos FF, Q_0 y Q_1 , considerando que la señal de reloj CLK del primer FF posee una frecuencia de 1MHz y que ambas salidas se encuentran inicialmente en nivel BAJO. ¿Cuál es la frecuencia de Q_0 ? ¿Y la de Q_1 ?

Trigger	Inputs		Output				Inference
			Present State		Next State		
CLK	J	K	Q	Q'	Q	Q'	
	x	x	-		-		Latched
	0	0	0	1	0	1	No Change
			1	0	1	0	
	0	1	0	1	0	1	Reset
			1	0	0	1	
	1	0	0	1	1	0	Set
			1	0	1	0	
	1	1	0	1	1	0	Toggles
			1	0	0	1	

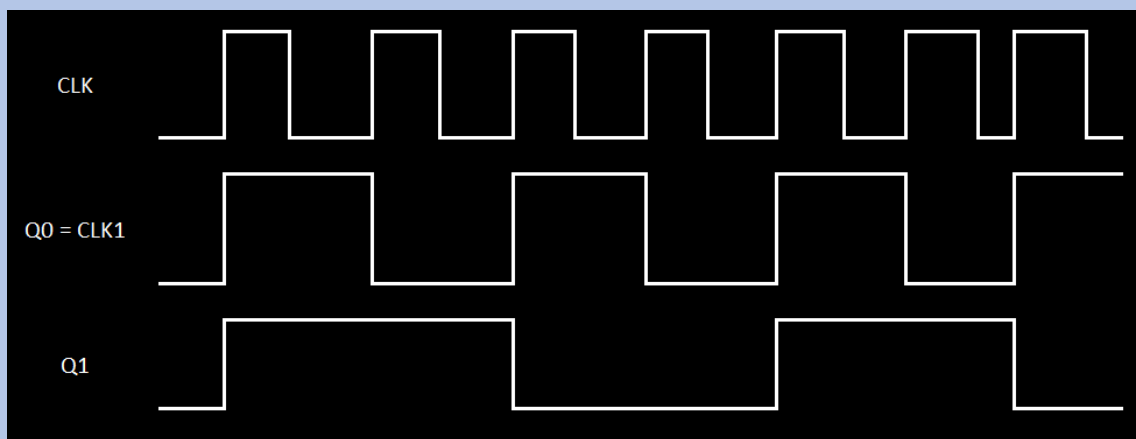


Esta imagen de la izquierda solamente es un recordatorio para notar como se representa un FF de flanco ascendente.



Las entradas J-K de ambos FF deben estar en 1 para una perpetua conmutación de Q.

- **Respuesta:** la frecuencia de Q0 es la mitad (0.5 MHz) y de Q1 un cuarto (0.25 MHz)



Ejercicio 13

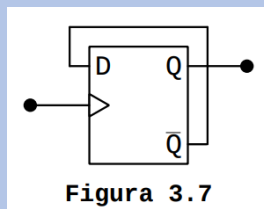
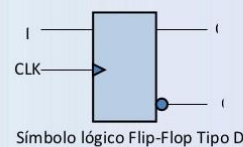


Figura 3.7

Dibuje la señal de salida Q del circuito de la Fig. 3.7, considerando que la señal de reloj CLK posee una frecuencia de 1MHz. ¿Cuál es la frecuencia de la señal de salida? ¿Qué sucedería si en lugar de conectar D con Qn, se conectase con Q?

- **Respuesta:** suponiendo que $Q_n = 1$ al iniciar la medición, entonces la primera operación será un Set, ya que $D = 1$, resultando $Q_n = 0$, que provocará un Reset con $D = 0$, y así sucesivamente. La frecuencia de salida es la mitad (0.5 MHz).
- Si $D = Q$, entonces no habría conmutación porque valdría el mismo valor en cada pulso.

Un Flip-Flop tipo D resulta muy útil cuando se necesita almacenar un único bit de datos (1 o 0). Si se añade un inversor a un Flip-Flop S-R obtenemos un Flip-Flop tipo D básico.



Símbolo lógico Flip-Flop Tipo D

Inputs		Outputs		Comments
D	CLK	Q	\bar{Q}	
1	↑	1	0	SET
0	↑	0	1	RESET

a) Con flanco de subida

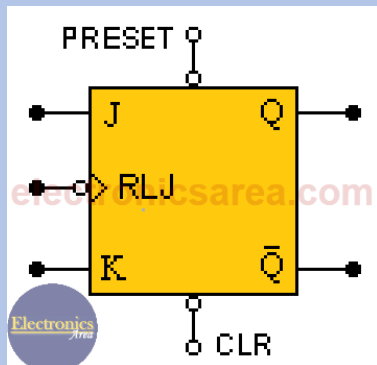
Inputs		Outputs		Comments
D	CLK	Q	\bar{Q}	
1	↓	1	0	SET
0	↓	0	1	RESET

b) Con flanco de bajada

Como siempre, las gráficas de las señales en función del tiempo en Excel (hoja ej13).

Ejercicio 14

- La entrada PRESET se usa para poner un "1" directamente en la salida Q del FF JK
- La entrada CLEAR se usa para poner un "0" directamente en la salida Q del FF JK



Las entradas PRESET y CLEAR del FF JK son asíncronas, lo que significa que tienen un efecto inmediato en las salidas Q y Qn sin importar el estado del reloj y/o las entradas J y K.

Es importante no activar simultáneamente CLEAR y PRESET.

Aplice las señales de la Fig. 3.6 a las entradas del circuito de la Fig. 3.8. Dibuje la señal de salida Q, considerando que inicialmente se encuentra en un nivel BAJO. ¿Este circuito es síncrono o asíncrono? Fundamente su respuesta.

Podemos deducir que la entrada CLR está siempre en 0, ya que los 5V representa un "1" pero la entrada está negada.

- Dibujo en Excel, hoja ej14.
- Es un circuito asíncrono debido al PRESET.

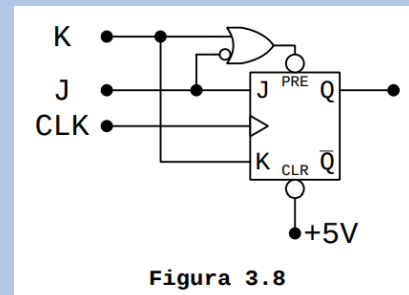


Figura 3.8

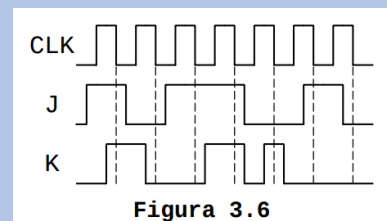
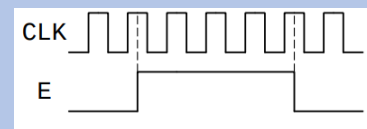
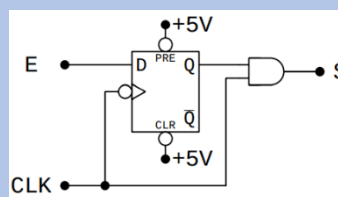
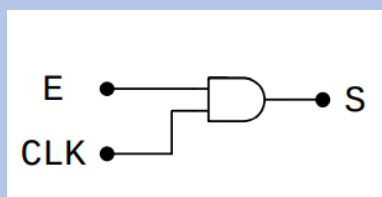


Figura 3.6

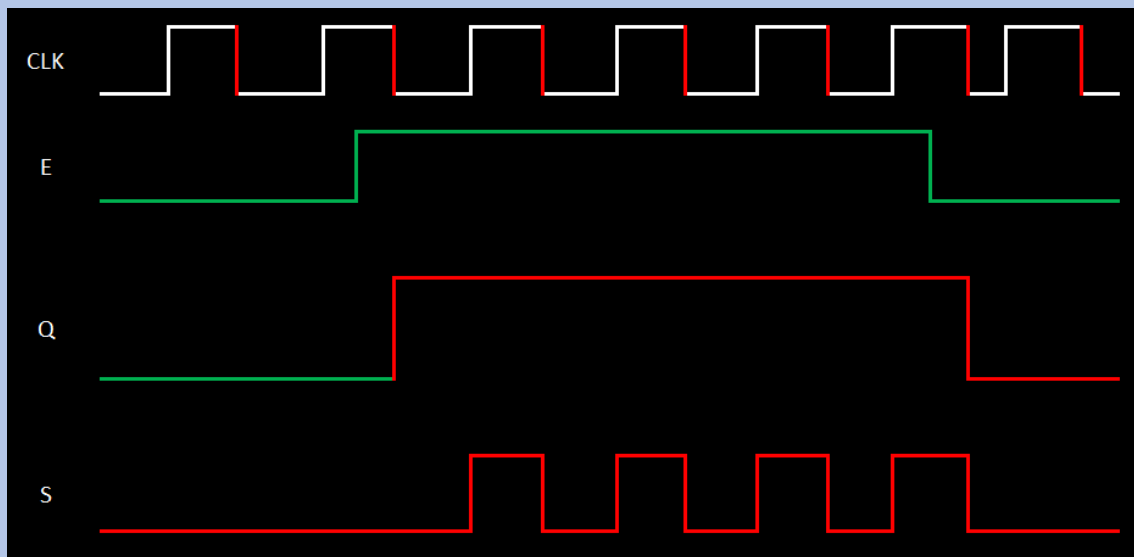
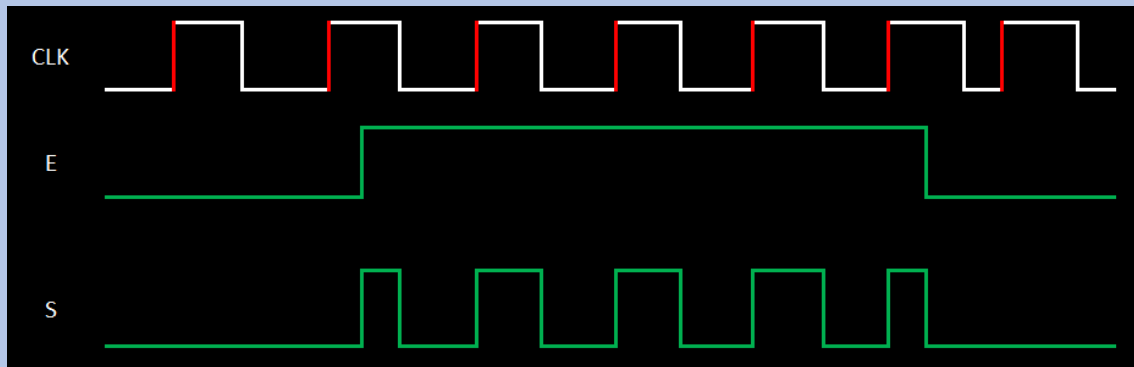
Ejercicio 15

Las señales de clock de los circuitos digitales son fundamentales para el correcto funcionamiento de los mismos. Siempre que sean habilitadas o deshabilitadas, como en el caso de los circuitos que verá en este ejercicio, es fundamental no introducir glitches (pulsos espurios que no respetan el intervalo mínimo entre flancos de señal) porque pueden afectar a la lógica digital que trabaja utilizando el reloj. Analice y dibuje las señales de salida de los circuitos que se muestran en las Fig. 3.9 (b) y (c) cuando se aplican las señales de entrada de la Fig. 3.9(a).



- **Observación:** las entradas PRESET y CLEAR del segundo circuito siempre están en 0
- **Atención:** el FF del segundo circuito opera con flanco de BAJADA (notar el not de CLK)
- **Resolución:** en Excel como siempre, hojas ej15a1 y ej15a2.

Si se desea controlar el paso de la señal de reloj CLK hacia la salida S mientras que la señal de entrada E se encuentra en nivel ALTO, ¿qué circuito le parece más adecuado para evitar la posibilidad de introducir glitches en la señal durante los cambios de E? Compare.



espurio

[espurio] 🔊

ADJETIVO

formal

Que es falso, ilegítimo o no auténtico.

"no es extraño que la libertad de los lituanos esté muy vinculada a la ruptura de una ligazón espuria."

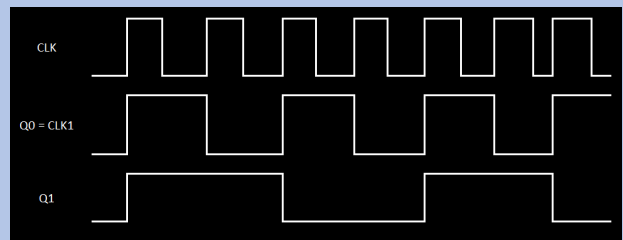
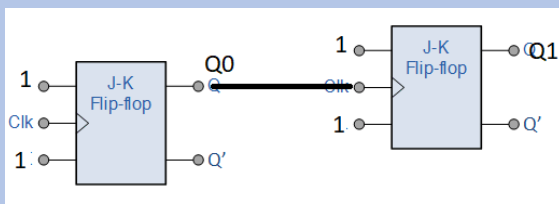
Bueno, se deduce que en el primer caso no se respeta el intervalo mínimo de clock para S, entonces creería que el segundo caso, usando un FF, es más adecuado para evitar glitches.

Ejercicio 16

Es frecuente la utilización de circuitos basados en FF tipo T para construir divisores de frecuencia en circuitos generadores de reloj para sistemas digitales simples. Por ejemplo, los prescalers de los circuitos de temporización en microcontroladores funcionan de esta forma. Conecte dos FF J-K disparados por flanco ascendente funcionando en modo conmutación, de manera que la salida Q0 del primero sea la señal de reloj del segundo. Dibuje las señales de salida de ambos FF, Q0 y Q1, considerando que la señal de reloj CLK del primer FF posee una frecuencia de 1 MHz y que ambas salidas se encuentran inicialmente en nivel BAJO. ¿Cuál es la frecuencia de la señal a la salida de Q0? ¿Y a la salida de Q1? **Ok, lo de conectar FF conmutados es el Ej 12!**

Las entradas J-K de ambos FF deben estar en 1 para una perpetua conmutación de Q.

- **Respuesta:** la frecuencia de Q0 es la mitad (0.5 MHz) y de Q1 un cuarto (0.25 MHz)



Inciso b

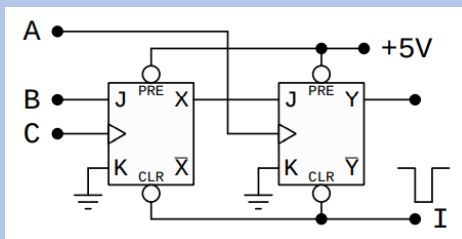
Escriba una expresión que relacione la frecuencia del clock de entrada con la frecuencia de salida en el n-ésimo FF. **Respuesta:** $f_n = \frac{f_{CLK}}{2^n}$ $n \geq 1$

Inciso c

A partir de lo anterior, ¿qué valores de divisor puedo generar de esta forma? ¿cualquier valor?

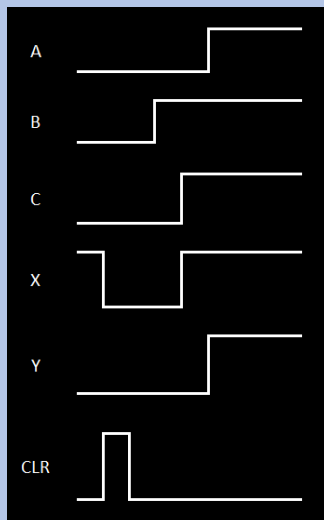
- **Respuesta:** no, solamente bases de 2 mayores a 1, por ejemplo: 2, 4, 8, 16, 32...

Ejercicio 17



En el circuito de la Fig. 3.10, las entradas A, B y C se encuentran inicialmente en nivel BAJO. La salida Y, que también se encuentra originalmente en nivel BAJO, debe pasar a un nivel ALTO sólo cuando A, B y C pasan a tener un nivel ALTO en cierto orden. Determine la secuencia de pasaje a nivel ALTO de A, B y C para lograr la respuesta de la señal de salida Y deseada.

- **Nota:** ver que PRE y K siempre están en 0, pero CLR pasa de 0 -> 1 -> 0 debido a I
- **Observación:** las señales A y C disparan a los FF J-K en flancos de subida.



Respuesta: la secuencia debe ser B=1, C=1, A=1. Vea el gráfico.

Inciso c

Explique por qué es necesario el pulso de inicio en I.

- **Respuesta:** por si la señal X estaba en ALTO inicialmente.

Inciso d

Modifique el circuito para que utilice sólo FF de tipo D.

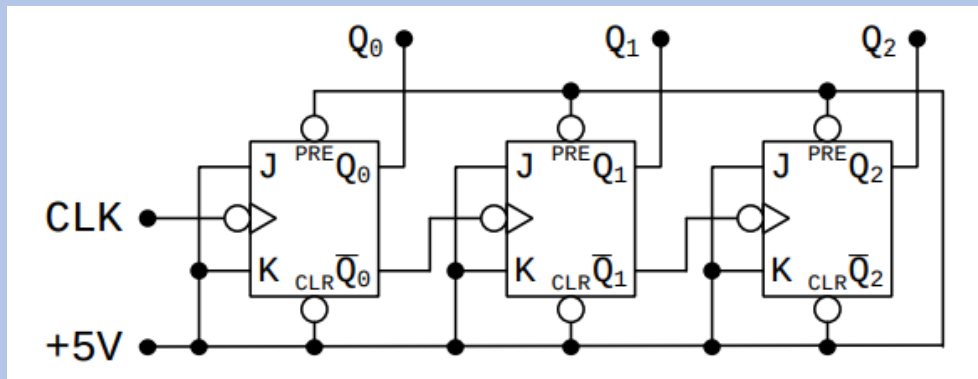
- **Observación:** bueno, las entradas K están medio al dope, si las quitamos entonces los FF se convierten en tipo D, pero CREO que la entrada CLR no está permitida, entonces debemos usar una compuerta NAND con entradas B e I para el primer FF, y una compuerta NAND con entradas A e I para el segundo FF.

Ejercicio 18

Dibuje las señales de salida de los tres FF del circuito de la Fig. 3.11 durante 10 pulsos de reloj, considerando que el estado inicial del circuito es Q2 Q1 Q0 = 010, que la señal de reloj CLK tiene período de 40nS y que los FF tienen tiempos de propagación de 5nS.

¿Es un circuito sincrónico o asincrónico?

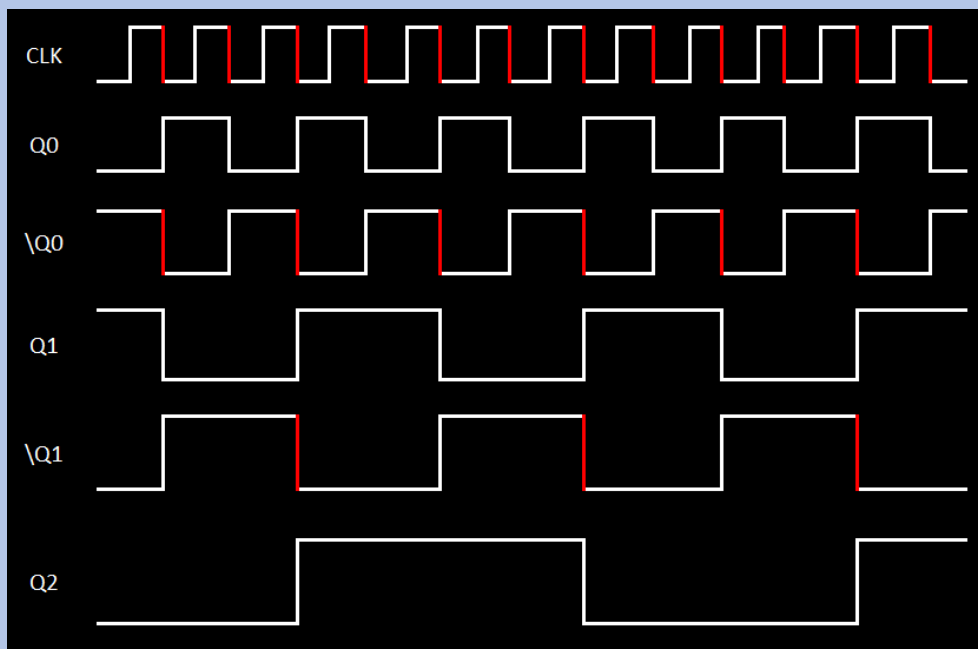
Ver Excel hoja ej18, es sincrónico.



- **Observación:** J y K siempre en 1, eso permite la conmutación perpetua.
- CLR siempre en 0. PRE también siempre en 0. FF disparado por flanco de bajada.

Inciso b

¿Qué tarea realiza? Dibuje un diagrama temporal que incluya la señal CLK, Q2, Q1 y Q0.



Valores Q2 Q1 Q0: 010, 001, 000, 111, 110, 101, 100, 011, 010...

- **Respuesta:** es un contador síncronico que va restando 1 al valor Q2 Q1 Q0

Inciso c

¿Cuál es el tiempo de propagación del circuito desde que ocurre un flanco activo de reloj a la entrada hasta que el valor de las salidas Q2, Q1 y Q0 se estabiliza?

- **Respuesta:** viendo el gráfico, el retardo es de unos 2 pulsos completos de reloj.

Inciso d

¿Qué ocurre con los valores de Q2, Q1 y Q0 durante ese retardo de propagación?

- **Respuesta:** el valor de Q0 cambió 2 veces y el valor de Q1 una vez.