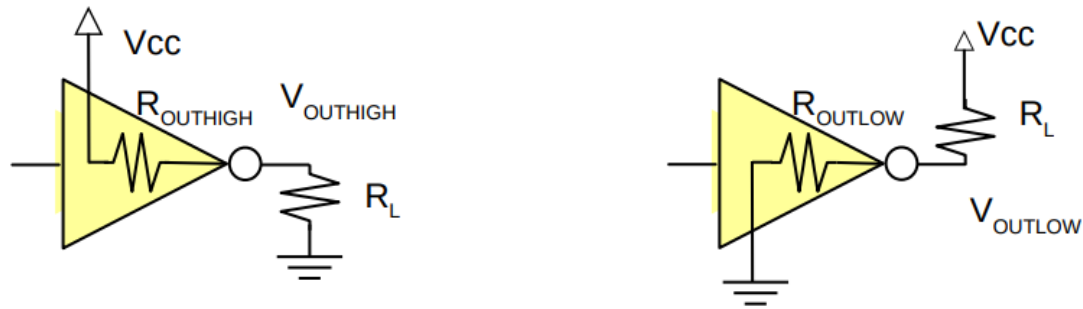


Ejercicio 03

Se quiere conectar una carga R_L a la salida de un inversor de manera que cuando esté en nivel ALTO la tensión V_{OUT} sea como mínimo 3V y cuando esté en un nivel BAJO sea como mínimo 0,4V.

De la hoja de datos del dispositivo se tiene que cuando la salida se establece en BAJO, $V_{OUT}=0,2V$ para una corriente de 4 mA y cuando la salida se establece en ALTO, $V_{OUT}=4,2V$ también para una corriente de 4 mA. Estos datos fueron medidos para una tensión de alimentación de $V_{CC}=5V$.



Usted debe calcular el valor mínimo de R_L que puede conectarse, para eso utilice los modelos simplificados de la Figura 3.0. Tenga en cuenta que deben usarse los dos modelos, uno para la salida en ALTO y otro para la salida en BAJO.

- **Dato:** para el caso de la derecha (cuando la salida del inversor está en BAJO).

$$V_{CC} = V_{OUTLOW} + V_{RL} \Leftrightarrow V_{RL} = V_{CC} - V_{OUTLOW} = 5V - 0.2V = 4.8V$$

$$V_{OUTLOW} = I_{LOW} * R_{OUTLOW} \Leftrightarrow R_{OUTLOW} = \frac{V_{OUTLOW}}{I_{LOW}} = \frac{0.2V}{4mA} = 50\Omega$$

$$V_{RL} = I_{LOW} * R_L \Leftrightarrow R_L = \frac{V_{RL}}{I_{LOW}} = \frac{4.8V}{4mA} = 1200\Omega$$

$$I_{LOW} = \frac{V_{OUTLOW}}{R_{OUTLOW}} = \frac{0.4V}{50\Omega} = 8mA \Leftrightarrow R_L \leq \frac{V_{CC} - V_{OUTLOW}}{I_{LOW}} = \frac{5 - 0.4V}{8mA} = 575\Omega$$

- **Dato:** para el caso de la izquierda (cuando la salida del inversor está en ALTO).

$$V_{CC} = V_{OUTHIGH} + V_{RL} \Leftrightarrow V_{OUTHIGH} = V_{CC} - V_{RL} = 5V - 4.2V = 0.8V$$

$$V_{OUTHIGH} = I_{HIGH} * R_{OUTHIGH} \Leftrightarrow R_{OUTHIGH} = \frac{V_{OUTHIGH}}{I_{HIGH}} = \frac{0.8V}{4mA} = 200\Omega$$

$$V_{RL} = I_{HIGH} * R_L \Leftrightarrow R_L = \frac{V_{RL}}{I_{HIGH}} = \frac{4.2V}{4mA} = 1050\Omega$$

$$I_{HIGH} = \frac{V_{CC} - V_{RL}}{R_{OUTHIGH}} = \frac{5 - 3V}{200\Omega} = 10mA \Leftrightarrow R_L \geq \frac{V_{RL}}{I_{HIGH}} = \frac{3V}{10mA} = 300\Omega$$

- Analizando ambos casos se concluye que: $300\Omega \leq R \leq 575\Omega$

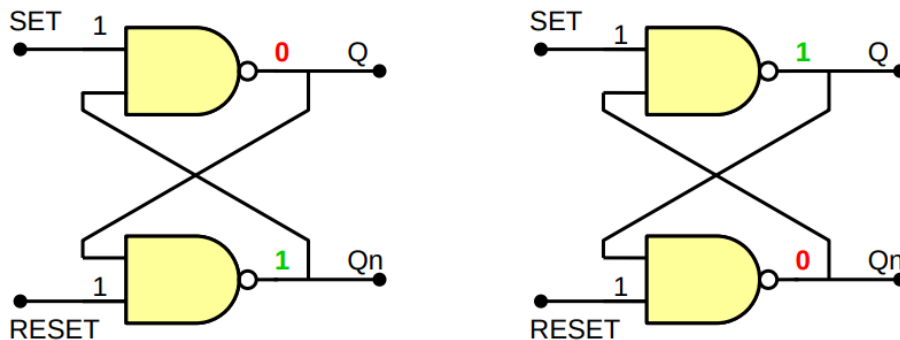
Verifiquemos las condiciones con $R = 450 \Omega$

$$I_{LOW} = \frac{V_{CC}}{R_{OUTLOW} + R_L} = \frac{5V}{50 + 450 \Omega} = 10 \text{ mA} \Leftrightarrow V_{OUT} = I_{LOW} * R_{OUTLOW} = 0.5 \text{ V}$$

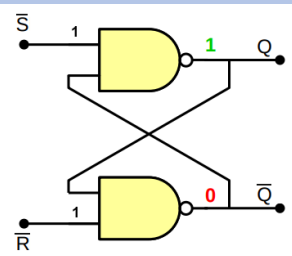
$$I_{HIGH} = \frac{V_{CC}}{R_{OUTHIGH} + R_L} = \frac{5 \text{ V}}{200 + 450 \Omega} \cong 7.7 \text{ mA} \Leftrightarrow V_{OUT} = I_{HIGH} * R_L \cong 3.46 \text{ V}$$

Ejercicio 04 – Clase 10

Se suele llamar LATCH al Flip Flop que no utiliza una entrada de reloj.



Vemos que tiene dos estados estables cuando SET y RESET valen 1



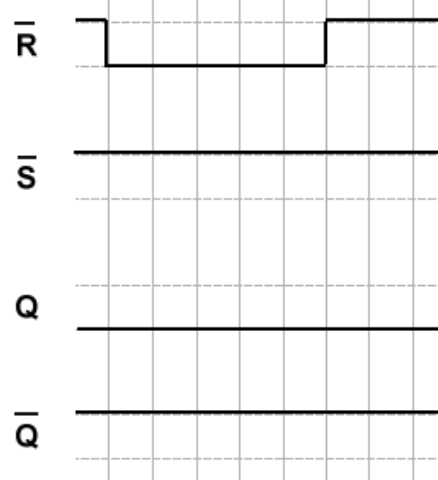
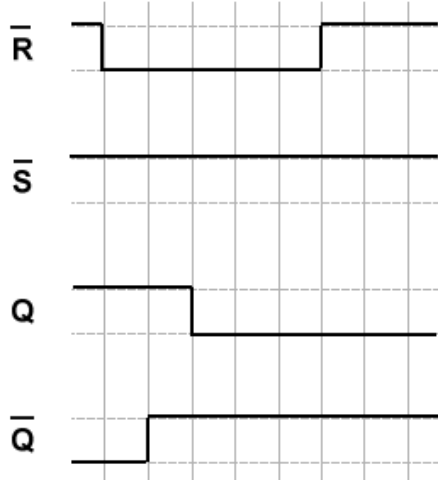
¿Es posible la situación de la izquierda?

1 NAND 0 = 1

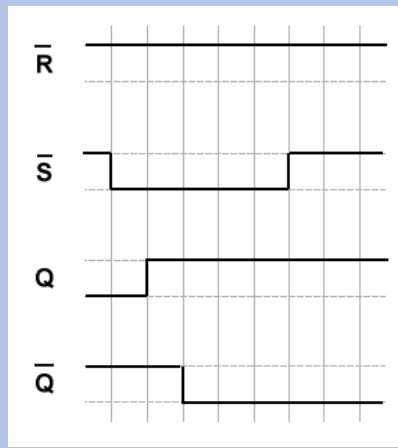
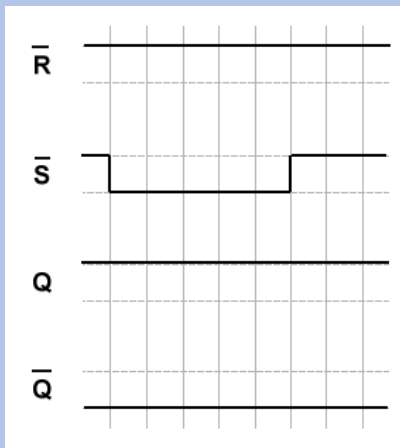
1 NAND 1 = 0

Sí

Suponiendo que cada compuerta NAND tarda 10ns en propagar un cambio en sus entradas al valor de su salida, graficar al evolución temporal de \bar{R} , \bar{S} , Q y \bar{Q} si cambia $\bar{R} \rightarrow 0$ durante 50 ns.

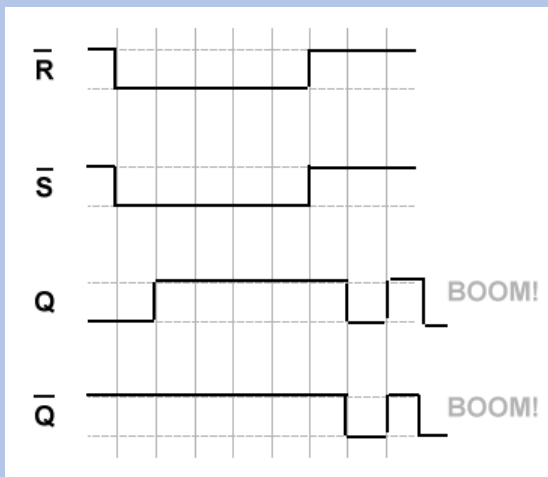


- iii. Estando $\bar{R}=1$, $\bar{S}=1$, $Q=1$, entonces \bar{S} pasa a valer 0 durante 50ns antes de volver a su estado original.
- iv. Estando $\bar{R}=1$, $\bar{S}=1$, $Q=0$, entonces \bar{S} pasa a valer 0 durante 50ns antes de volver a su estado original.



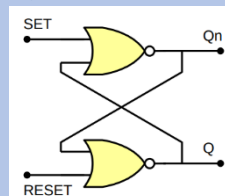
Notar que bajar el valor de SET sólo tiene sentido si la salida Q vale 0 (no seteado).

Algo similar ocurre en la página anterior, que bajar el valor de RESET sólo tiene sentido si la salida Q vale 1 (set).



En este gráfico podemos observar que bajar tanto SET como RESET al mismo tiempo no es nada recomendable, ya que cuando vuelven a sus estados iniciales, las salidas cambian su valor repetidamente, no es predecible.

Ejercicio 05



Mostraremos una resolución similar al ejercicio anterior, pero con compuertas NOR. Ver [carpeta de GitHub](#).

Ejercicio 06

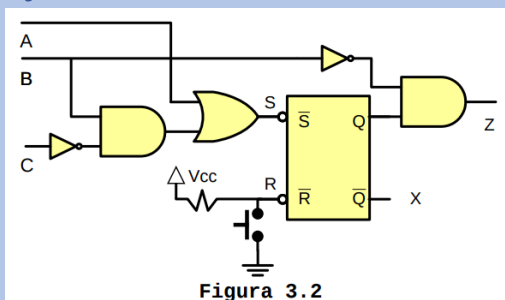


Figura 3.2

Explore la respuesta temporal del circuito de la figura 3.2. Considere distintas transiciones de las entradas y que todas las compuertas y el latch, poseen un retardo de propagación $\tau_p = 10\text{ ns}$

Considere al menos las transiciones donde las variables A, B y C pasan simultáneamente a su valor opuesto, por ejemplo del valor 0 al valor 1.

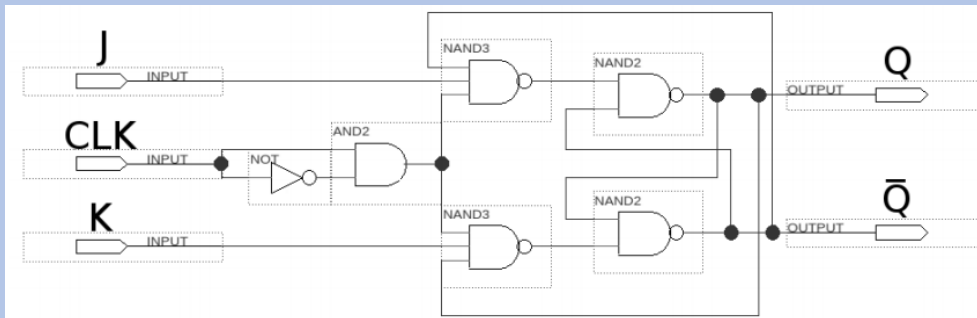
En la página siguiente muestro un gráfico temporal de cómo van variando las señales, teniendo en cuenta obviamente el retardo de propagación. Además, supongo que R siempre está en 1.

$Z = \bar{B} * Q$ El valor B negado tiene un retardo de 10 ns en hacerse efectivo.

El valor C negado tiene un retardo de 10 ns. El valor de $B * \bar{C}$ tiene un retardo entre 10 y 20 ns. El valor S tiene un retardo entre 10 ns (si solo cambia A) y el máximo es 30 ns (si cambia C). Luego el valor Q tiene un retardo máximo de 40 ns, entonces Z tiene un retardo max de 50 ns.

Ejercicio 07

Este es un Flip-Flop con reloj, que actúa similar al SR pero no permite ambigüedad (conmuta). El tiempo de propagación de las compuertas NAND es de 10ns y el de la compuerta NOT es 5ns



Estando inicialmente J=0, K=0, CLK=0, Q=0, en el instante cero se hace J=1, y 50ns después se aplica un pulso positivo de 60ns de duración en CLK.

t [ns]	J	K	AND2	N3↑	N2↑= Q	N3↓	N2↓= Qn
0	1	0	0	1	0	1	1
10	1	0	0	1	0	1	1
20	1	0	0	1	0	1	1
30	1	0	0	1	0	1	1
40	1	0	0	1	0	1	1
50	1	0	0	1	0	1	1
60	1	0	1	1	0	1	1
65	1	0	0	1	0	1	1
70	1	0	0	0	0	1	1
75	1	0	0	1	0	1	1
80	1	0	0	1	1	1	1
85	1	0	0	1	0	1	1
90	1	0	0	1	0	1	0
95	1	0	0	1	0	1	1
100	1	0	0	1	1	1	1
105	1	0	0	1	0	1	1
110	1	0	0	1	0	1	0
115	1	0	0	1	0	1	1
120	1	0	1	1	1	1	1
125	1	0	0	1	0	1	1
130	1	0	0	0	0	1	0
135	1	0	0	1	0	1	1
140	1	0	0	1	1	1	1
145	1	0	0	1	0	1	1
150	1	0	0	1	0	1	0

REVISAR!! Las salidas Q y Qn cambian infinitamente.

Estando inicialmente J=0, K=0, CLK=0, Q=1, en el instante cero se hace K=1, y 50ns después se aplica un pulso positivo de 60ns de duración en CLK.

t [ns]	J	K	AND2	N3↑	N2↑= Q	N3↓	N2↓= Qn
0	0	1	0	1	1	1	0
10	0	1	0	1	1	1	0
20	0	1	0	1	1	1	0
30	0	1	0	1	1	1	0
40	0	1	0	1	1	1	0
50	0	1	0	1	1	1	0
60	0	1	1	1	1	1	0
65	0	1	0	1	1	1	0
70	0	1	0	1	1	0	0
75	0	1	0	1	1	1	0
80	0	1	0	1	1	1	1
85	0	1	0	1	1	1	0
90	0	1	0	1	0	1	0
95	0	1	0	1	1	1	0
100	0	1	0	1	1	1	1
105	0	1	0	1	1	1	0
110	0	1	0	1	0	1	0
115	0	1	0	1	1	1	0
120	0	1	1	1	1	1	1
125	0	1	0	1	1	1	0
130	0	1	0	1	0	0	0
135	0	1	0	1	1	1	0
140	0	1	0	1	1	1	1
145	0	1	0	1	1	1	0
150	0	1	0	1	0	1	0

Estando J=1, K=1, CLK=0, Q=0, se simula la evolución durante dos ciclos completos del reloj CLK. Considere que la señal de CLK es periódica y permanece 60ns en alto y 50ns en bajo.

t [ns]	J	K	AND2	N3↑	N2↑= Q	N3↓	N2↓= Qn
0	1	1	0	1	0	1	1
10	1	1	0	1	0	1	1
20	1	1	0	1	0	1	1
30	1	1	0	1	0	1	1
40	1	1	0	1	0	1	1
50	1	1	0	1	0	1	1
60	1	1	1	1	0	1	1
65	1	1	0	1	0	1	1
70	1	1	0	0	0	1	1
75	1	1	0	1	0	1	1
80	1	1	0	1	1	1	1
85	1	1	0	1	0	1	1

90	1	1	0	1	0	1	0
95	1	1	0	1	0	1	1
100	1	1	0	1	1	1	1
105	1	1	0	1	0	1	1
110	1	1	0	1	0	1	0
115	1	1	0	1	0	1	1
120	1	1	1	1	1	1	1
125	1	1	0	1	0	1	1
130	1	1	0	0	0	0	0
135	1	1	0	1	0	1	1
140	1	1	0	1	1	1	1
145	1	1	0	1	0	1	1
150	1	1	0	1	0	1	0
155	1	1	0	1	0	1	1
160	1	1	0	1	1	1	1
165	1	1	0	1	0	1	1
170	1	1	1	1	0	1	0
175	1	1	0	1	0	1	1
180	1	1	0	1	1	1	1
185	1	1	0	1	0	1	1
190	1	1	0	1	0	1	0
195	1	1	0	1	0	1	1
200	1	1	0	1	1	1	1