

Problema 1

Un sistema de memoria consta de 8 módulos conectados a un bus de memoria semi-síncrono que trabaja a 100 MHz con líneas de datos/direcciones multiplexadas. Cuando se solicita una escritura en memoria en el primer ciclo se envía la dirección por el bus, y a continuación los datos. Se envían 32 bits por ciclo y se puede trabajar en modo ráfaga. En este caso se pueden enviar, en ciclos consecutivos, tantas palabras de 32 bits como se quiera.

Si el controlador de memoria detecta que el módulo de memoria en el que hay que escribir está ocupado activará la señal de wait para que el dato a escribir se mantenga en el bus hasta que el módulo esté disponible. En caso contrario leerá el dato y dará la orden de que se escriba. Cada vez que el controlador de memoria da orden de escribir un dato en un módulo, el módulo en cuestión permanece ocupado durante 100ns. Durante este tiempo no se puede hacer ninguna otra escritura en ese módulo, pero sí en los demás si están disponibles.

A la hora de repartir los datos entre los módulos de memoria nos dan dos opciones:

- . Memoria no entrelazada: palabras consecutivas se almacenan en el mismo módulo
- . Memoria entrelazada: palabras consecutivas se almacenan en módulos consecutivos.

¿Qué ancho de banda se alcanza en cada caso en las escrituras suponiendo un modo ráfaga con tamaños de bloque muy grandes?

Supongamos que cada módulo es de 512 MBytes. ¿Qué bits de dirección le debe llegar a cada módulo si la memoria no está entrelazada? ¿y si está entrelazada?

Problema 2

Nos piden que diseñemos los controladores de un master y un esclavo que se comunican a través de un bus asíncrono. Estas son las señales con las que debe trabajar cada uno:

Master:

- Entradas:
 - New_transfer: la activa el master cuando quiere que el controlador realice una nueva transferencia
 - Grant: la activa el árbitro para dar permiso al master para que realice la transferencia.
 - S_Sync: señal del slave para el protocolo asíncrono (se comporta como hemos estudiado en clase).
 - L/E: indica el tipo de operación (0 en las lecturas y 1 en las escrituras)
- Salidas:
 - M_sync; señal del master para el protocolo asíncrono.
 - Req: señal para solicitar al árbitro el uso del bus. Se pone a 0 al recibir la señal grant.
 - Send_addr: se activa para enviar a través del bus la dirección de una transferencia y el tipo de transferencia.
 - M_Send_data: se activa para enviar el dato en las operaciones de escritura.
 - Read_data: se activa para que el dato que hay en el bus se cargue en un registro desde donde el master podrá usarlo (es decir es la señal de load de ese registro).

Slave:

- Entradas:
 - CS: indica que la dirección en el bus pertenece al rango asignado al esclavo.
 - M_sync
 - Data_ready: indica que el periférico controlado por el slave ya tiene el dato que le pide el master preparado para su envío.
 - L/E
- Salidas:
 - S_sync
 - Read_bus: da la orden de cargar en un registro interno el dato, la dirección y el tipo de operación que hay en el bus.
 - S_Send_data: en las operaciones de lectura se usa para enviar el dato que le ha pedido el master
 - Write_data: da la orden de escribir el dato que se ha leído del bus. Basta con que se mantenga un ciclo.

Nota: recordad que al ser un protocolo asíncrono el reloj del controlador del master y el del slave son distintos. Hay que tener cuidado de garantizar que todo se lea correctamente.

