



Escuela de
Ingeniería y Arquitectura
Universidad Zaragoza



Departamento de
Informática e Ingeniería
de Sistemas
Universidad Zaragoza



Tema 7 – Tamaño de bloque y Reemplazo

P. Ibáñez, J.L. Briz, V. Viñals, J. Alastruey, J. Resano
Arquitectura y Tecnología de Computadores
Departamento de Informática e Ingeniería de Sistemas

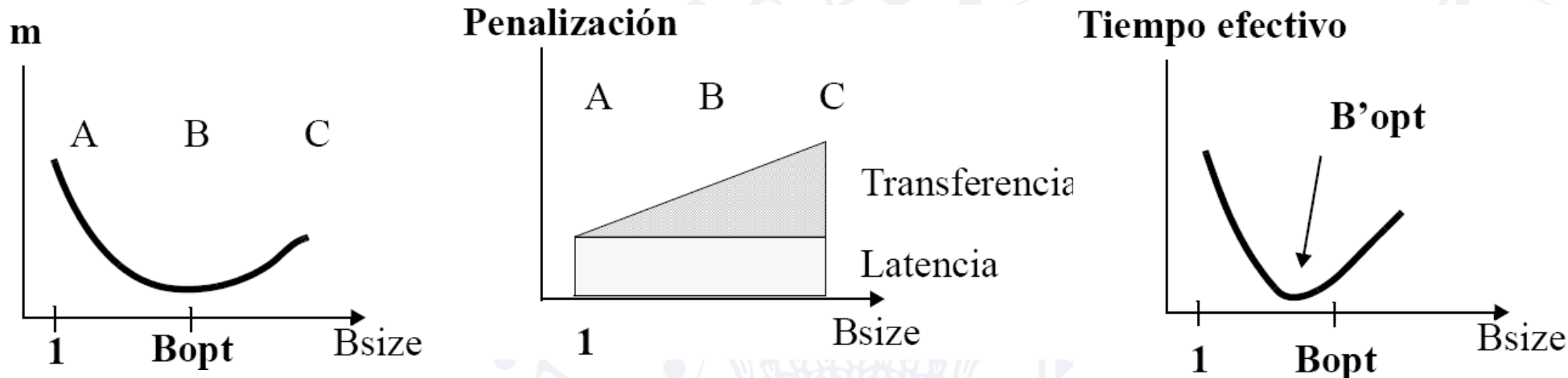
Guión del tema

- Influencia del tamaño de bloque
- Modelos de acceso a memoria principal
- Algoritmo de reemplazo

Influencia del tamaño de bloque

- Aumenta el tamaño de bloque
 - disminuye la tasa de fallos
 - aumenta la penalización de fallo

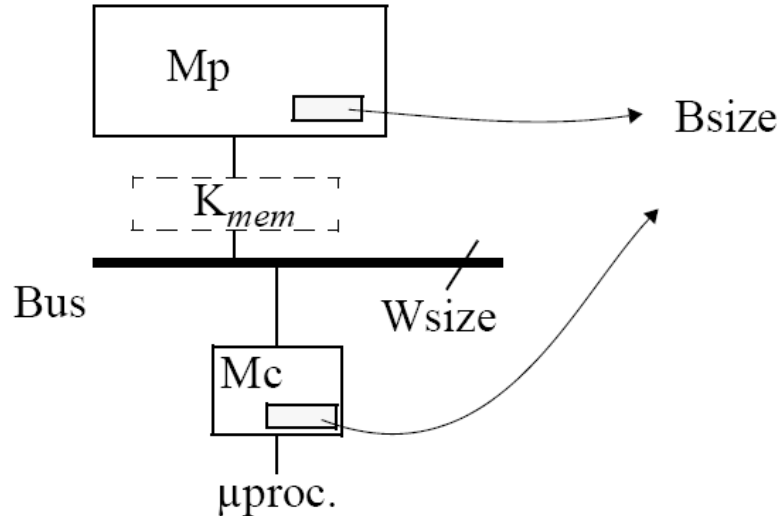
$$T_{ef} = T_a + m \cdot \text{penaliz}$$



- A: no explota localidad espacial
 - poca penalización, muchos fallos
- B: punto polución
 - Lo que se tira es más útil que lo que se trae
- C: explota bien la localidad espacial
 - pero no la temporal, muchos fallos

Aparece un nuevo
óptimo (B'_{opt}) **menor**
que el anterior (B_{opt})

Acceso a memoria principal DRAM



$$CrB = L + R \times \left(\frac{Bsize}{Wsize} - 1 \right) =$$
$$= L + R \times (n - 1)$$

- **L**: latencia de la primera palabra
 - Arbitraje y concesión de bus + acceso al primer trozo
 - Depende del bus, del controlador (K_{mem}) y de la tecnología DRAM
 - Variable: el chip puede estar en fase de refresco, la “página puede estar abierta o cerrada”, el chip concreto puede estar “cerca” o “lejos”, ...
- **R**: suministro del resto de palabras del bloque
 - Depende de la organización del chip DRAM
- Acceso aleatorio: $R \approx L$
- Modo secuencial: $R < L$

Reemplazo: selección del bloque víctima

- El bloque que queremos: **x**; el que expulsamos (víctima): **u**
- **u** en Correspondencia Directa está en el conjunto asignado a **x** ... no hay elección...
- **u** en el resto de correspondencias: bloque con menor utilidad en el futuro: LRU, pLRU, aleatorio, FIFO
- LRU (Least Recently Used)
 - Expulsa el bloque no referenciado desde hace más tiempo
 - En general, es un buen predictor del futuro explota bien la localidad temporal
 - Desventajas
 - ◆ Elevado coste para asociatividades altas
 - ◆ $\approx As^2/2$ bits por conjunto en una buena implementación
 - ◆ Comportamiento pésimo en bucles (códigos vectoriales científicos)

Reemplazo: tasas de fallos

■ FIFO

■ Sencillo.

Anomalía: puede ser que con mas capacidad mas fallos

■ Aleatorio

○ Expulsa uno cualquiera

○ Ventaja: muy barato, 1 contador de As bits que se incrementa en cada ciclo de CPU

		Asociatividad							
		2-way			4-way			8-way	
Tamaño	LRU	Random	FIFO	LRU	Random	FIFO	LRU	Random	FIFO
16KB	114.1	117.3	115.5	111.7	115.1	113.3	109.0	111.8	110.4
64KB	103.4	104.3	103.9	102.4	102.3	103.1	99.7	100.5	100.3
256KB	92.2	92.1	92.5	92.1	92.1	92.5	92.1	92.1	92.5

HePa2003: Figura 5-6.-Fallos por cada 1000 referencias a memoria. Simulación para un tamaño de bloque de 64 bytes, sobre una arquitectura Alpha, usando cinco aplicaciones de SPECint2000 (gap, gcc, gzip, mcf y perl) y cinco de SPECfp2000 (applu, art, quake, lucas, y swim)

Ejercicio

- Un procesador realiza la petición a memoria cache de las siguientes direcciones de memoria
 - 0xA0, 0xE4, 0x01, 0x21, 0xA2, 0x43, 0xA3, 0x01, 0x60, 0x02

Suponiendo que la cache está inicialmente vacía (todos los bloques son inválidos), obtener la tasa de fallos para:

- $M_p = 256$ bytes
- Cache = 64 bytes
- Bloques de 16 bytes
- Asociatividad = 4
- Reemplazo = {LRU, FIFO}

Ejercicio

- Un procesador ejecuta un bucle 2 veces. Dentro del bucle el patrón de accesos es:
 - 0x40, 0x60, 0x80, 0xA0, 0xB0

Suponiendo que la cache está inicialmente vacía (todos los bloques son inválidos), obtener la tasa de fallos para unos procesadores con las siguientes características

- $M_p = 256$ bytes
- Cache = 64 bytes
- Bloques de 16 bytes
- Asociatividad = 4
- Reemplazo = {LRU, Random}
- Imaginad que random reemplaza siempre un bloque inválido si lo hay y si no hay elige la siguiente secuencia de bloques: 2, 3, 0, 1