



Estructura de Computadores

(Grado MI)

Procesador

Enunciados de problemas

febrero 2019

1 En la figura 2 se muestra el esquema de un computador de 64 bits con Unidad de control cableada y direccionamiento de memoria a nivel de byte. Los accesos a memoria tienen una duración de 2 ciclos de reloj. Los incrementos o decrementos de los registros, se realizan a través de la ALU.

a) Exprese a nivel RT (transferencia entre registros) las operaciones elementales que se producen, en cada ciclo de reloj, durante la ejecución de la instrucción de una palabra: `SUB .R1, #desp[.R2--]`, que realiza la resta de dos operandos.

b) De acuerdo con el apartado anterior y considerando que el procesador trabaja con una frecuencia de reloj de 1 GHz, determine el tiempo que tarda en ejecutarse la instrucción.

2 La Figura 3 muestra el diagrama de la estructura del procesador de un computador de 32 bits cuya unidad de control es cableada. Los accesos a memoria tienen una duración de 1 ciclo de reloj y el direccionamiento es a nivel de palabra. La pila crece hacia direcciones de memoria decrecientes. Como puntero de pila se utiliza el registro R30 del banco de registros que apunta a la primera posición libre en la cima de la pila. Los incrementos o decrementos de cualquier registro del computador, se realizan a través de la ALU.

a) Explique la función que realiza la instrucción de una palabra `POP [.R2]` e indique los accesos a memoria, tanto de lectura como de escritura, que se producen durante su ejecución.

b) Represente un cronograma con todas las señales de control que se activan en cada uno de los ciclos de reloj correspondientes a la ejecución de la instrucción anterior.

3 Un procesador de 32 bits con unidad de control cableada, un solo bus interno de datos y direcciones y dos registros transparentes, presenta los siguientes retardos:

Lectura o escritura del Banco de registros: 5 unidades de tiempo (ut)

Lectura o escritura de registros transparentes o específicos: 2 ut

Multiplexores de la ALU: 3 ut

Operación de mayor duración en la ALU: 8 ut

Puertas triestado: 1 ut

Así mismo, la Memoria principal se direcciona a nivel de byte y su tiempo de acceso es de 30 ut.

a) Especifique a nivel RT (transferencia entre registros) las operaciones elementales que se realizan durante las fases de fetch y de ejecución de las siguientes instrucciones de una palabra:

`BR [.R3 ++]`

`ST .R5, [-- .R4]`

b) Determine razonadamente el periodo de reloj y el tiempo total que tardarían en ejecutarse cada una de las instrucciones anteriores.

4 En la figura 4 se muestra el esquema de un computador con palabras y direcciones de 32 bits y direccionamiento a nivel de palabra, que incluye dos buses internos al procesador (datos y direcciones), cuatro registros transparentes (T1, T2, T3 y T4) y un registro acumulador (AC). El Banco de registros tiene un puerto de entrada y dos de salida. La memoria es síncrona y tiene un tiempo de acceso de 300 ut. El incremento o decremento de cualquier registro, se realiza a través de la ALU, cuyas operaciones se muestran en el recuadro superior.

Nota: Por simplificación en la figura, no se han detallado en ella las señales de control.

a) Detalle a nivel RT (transferencia entre registros) las operaciones elementales a realizar en cada ciclo de reloj durante la fase de fetch, intentando solaparlas.

b) Detalle a nivel RT las operaciones elementales a realizar de forma eficiente en cada ciclo de reloj durante la fase de ejecución de la instrucción de una palabra: `EXCH .R5, #desp[.R3++]`
Esta instrucción intercambia el contenido del registro R5 con el contenido de la posición de memoria del segundo operando.

5 En la figura 3 se muestra la estructura del procesador de un computador de 32 bits con unidad de control cableada. Los accesos a memoria tienen una duración de 2 ciclos de reloj y el direccionamiento es a nivel de palabra. En el recuadro inferior de esta figura se relacionan las operaciones que es capaz de realizar la ALU. Los incrementos o decrementos de cualquier registro del computador se realizan a través de la ALU.

a) Exprese las operaciones elementales, a nivel RT (transferencia entre registros), que se producen en cada ciclo de reloj durante la ejecución de la instrucción de una palabra $ST \ .R3, [+ \ .R2]$, incluyendo la fase de fetch.

b) Represente en un cronograma todas las señales de control que se activan, en este computador, en cada uno de los ciclos de reloj correspondientes a la ejecución de la instrucción anterior.

6 La instrucción de dos palabras $MOVE \ #desp[.R2], /dir$, en la que la segunda palabra contiene la dirección dir , pertenece al juego de instrucciones del computador con palabras y direcciones de 64 bits y unidad de control cableada, cuya estructura se muestra en la figura 2. Dispone de tres registros transparentes (T1, T2 y T3), un registro acumulador (AC) y un banco de registros (BR) con dos puertos de salida y uno de entrada. Los incrementos y decrementos de registros se realizan a través de la ALU. La memoria principal tiene un tiempo de acceso de 2 ciclos de reloj y el direccionamiento es a nivel de byte.

Nota: Por simplificación en la figura, no se han detallado en ella las señales de control.

a) Especifique y represente mediante notación RT (transferencia entre registros) las operaciones elementales que se realizan en cada ciclo de reloj durante la ejecución de la instrucción anterior, incluyendo la fase de fetch.

b) Considerando los siguientes retardos en los elementos del computador:

Lectura o escritura de registro: 1,5 ns

Lectura o escritura en el banco de registros: 3 ns

Puerta triestado: 0,5 ns

ALU: 10 ns

Determine el camino crítico y calcule el periodo mínimo de reloj. Indique razonadamente el tiempo que tarda en ejecutarse la instrucción del apartado anterior.

7 Dada la estructura del computador de 32 bits que aparece en la figura 3, con Unidad de control cableada y direccionamiento a nivel de palabra, en el que los accesos a memoria tardan 30 ut (unidades de tiempo) y el ciclo de reloj tiene una duración de 20 ut:

a) Exprese a nivel RT (transferencia entre registros) las operaciones elementales que se realizan en la fase de fetch durante cada ciclo de reloj y determine la duración del fetch.

b) Considerando las siguientes instrucciones:

$SUB \ [.R3], \ [.R2++] ;$ (una palabra)

$ST \ .R3, \ /dir ;$ (dos palabras, con la dirección dir contenida en la 2ª palabra)

especifique a nivel RT las operaciones elementales que se realizan en la fase de ejecución de cada una de ellas.

8 Sea un procesador de 64 bits con unidad de control cableada, un solo bus interno de datos y direcciones y tres registros transparentes (TMP1, TMP2 y TMP3). La duración del ciclo de reloj es de 30 ut. La Memoria principal se direcciona a nivel de byte y su tiempo de acceso es de 100 ut. La pila crece en direcciones decrecientes y el puntero de pila apunta al primer hueco de la cima de la pila.

a) Especifique a nivel RT (transferencia entre registros) las operaciones elementales que se realizan durante las fases de fetch y de ejecución de la siguiente instrucción de dos palabras:

$CALL \ [/dir]$

b) Determine razonadamente el tiempo total que tardaría en ejecutarse la instrucción anterior.

9 La estructura del computador de la figura 2 (en la que, por simplificación, no aparecen las señales de control) con palabras y direcciones de 32 bits, dispone de tres registros transparentes (T1, T2 y T3), un registro acumulador (AC), un único bus interno y unidad de control cableada. La pila crece hacia direcciones de memoria crecientes y el puntero de pila apunta a la primera posición llena de la cima de la pila. Los accesos a memoria tienen una duración de 2 ciclos de reloj y el direccionamiento es a nivel de byte. Los incrementos o decrementos de los registros, se realizan a través de la ALU.

a) Indique los elementos de este computador que requieren señales de control activas por nivel y los que las requieren activas por flanco.

b) Exprese a nivel RT (transferencia entre registros) las operaciones elementales que se producen, en cada ciclo de reloj, durante la ejecución de la instrucción de dos palabras `CALL /2000`, incluyendo la fase de fetch:

c) Considerando que los elementos del computador presentan los siguientes retardos, determine el mínimo periodo de reloj en este computador y calcule el tiempo que tardaría en ejecutarse la instrucción anterior.

Lectura o escritura del Banco de registros: 4 unidades de tiempo (ut)

Lectura o escritura de registros transparentes o específicos: 2 ut

Operación de mayor duración de la ALU: 10 ut

Puertas triestado: 1 ut

10 Sea un procesador de 32 bits con unidad de control cableada, un solo bus interno de datos y direcciones y tres registros transparentes (TMP1, TMP2 y TMP3). La duración del ciclo de reloj es de 40 ut. La Memoria principal se direcciona a nivel de byte y su tiempo de acceso es de 100 ut.

a) Especifique a nivel RT (transferencia entre registros) las operaciones elementales que se realizan durante las fases de fetch y de ejecución de la siguiente instrucción de dos palabras:

```
EXCHG .R5, /dir
```

Esta instrucción intercambia el contenido del registro R5 por el contenido de la palabra de memoria situada en dir.

b) Determine razonadamente el tiempo total que tardaría en ejecutarse la instrucción anterior.

11 La estructura del computador de 32 bits que aparece en la figura 3, con Unidad de control cableada y 10 registros de propósito general, utiliza el registro R9 como puntero de pila que apunta a la última posición ocupada de la cima de la pila. Los accesos a memoria tienen una duración de dos ciclos de reloj y el direccionamiento es a nivel de palabra. La pila crece hacia direcciones de memoria crecientes y en ella se almacena la dirección de retorno de subrutina. Todos los incrementos o decrementos de registros se realizan a través de la ALU.

a) Para cada una de las siguientes instrucciones, exprese a nivel RT (transferencia entre registros) las operaciones elementales que se realizan durante su ejecución (incluyendo la fase de fetch) en cada ciclo de reloj, indicando como comentario los nombres de las señales de control que se activan. ¿Qué ocurre en la segunda instrucción si la condición no se cumple?

```
RET
```

```
BNZ $6
```

b) Considerando los siguientes retardos en los dispositivos del computador:

- | | |
|--|------------------------------|
| ■ Multiplexor: 1 ut (unidad de tiempo) | ■ Puerta triestado: 0,5 ut |
| ■ Lectura o escritura de registro: 2 ut | |
| ■ Lectura o escritura del banco de registros: 3 ut | ■ Operación de la ALU: 20 ut |

Determine el periodo mínimo de reloj en este computador y calcule el tiempo que tardaría en ejecutarse cada una de las dos instrucciones del apartado anterior.

12 La estructura del computador de la figura 3, con palabras y direcciones de 64 bits, dispone de tres registros transparentes (T1, T2 y T3), un único bus interno y unidad de control cableada. Los accesos a memoria tienen una duración de 3 ciclos de reloj y el direccionamiento es a nivel de palabra. Los incrementos o decrementos de los registros, se realizan a través de la ALU.

a) Exprese a nivel RT (transferencia entre registros) las operaciones elementales que se producen, en cada ciclo de reloj, durante la ejecución de la instrucción de una palabra `ADD [--.R3], #16[.R2 ++]` incluyendo la fase de fetch.

b) Considerando que los elementos del computador presentan los siguientes retardos, determine el periodo de reloj de este computador y calcule el tiempo que tardaría en ejecutarse la instrucción anterior.

Lectura o escritura del Banco de registros: 3 unidades de tiempo (ut)

Lectura o escritura de registros transparentes o específicos: 1 ut

Operación de mayor duración de la ALU: 10 ut

Multiplexores: 0,5 ut

Puertas triestado: 0,1 ut

13 En la figura 5 se muestra el esquema del procesador de un computador de 32 bits. Los elementos a destacar en este esquema son los siguientes:

- Unidad de control cableada.
- Dos buses internos de 32 bits.
- Banco de registros con dos puertos de salida y 12 registros generales.
- Registro de direcciones de memoria (D), registro de datos de memoria (RM), registro acumulador (RA) y registro de instrucción (I).
- Los incrementos o decrementos de cualquiera de los registros del computador se realizan a través de la ALU.
- Los accesos a memoria tienen una duración de 2 ciclos de reloj y el direccionamiento es a nivel de byte.

La instrucción `SUB_BZ .R1, #desp[++.R2], /dir`, cuyo formato se muestra en la siguiente figura, resta los dos primeros operandos y, cuando el resultado es cero, produce una bifurcación a la dirección indicada en el tercer direccionamiento.



Figura 1. Formato de la instrucción

a) Explique cuántos accesos a memoria se realizan durante la ejecución de la instrucción, si la condición se cumple o si no se cumple.

b) Exprese a nivel RT las operaciones elementales en cada ciclo de reloj realizadas en la CPU durante su ejecución, incluyendo los ciclos debidos al fetch.

c) Calcule el tiempo medio de ejecución de la instrucción anterior. Considere que el tiempo de ciclo de reloj es de 10 ns y que la probabilidad de que se realice el salto es del 60 %.

14 En la figura 6 se muestra el esquema de la estructura de un computador de 32 bits donde no aparecen dibujadas las señales de control. El procesador dispone de Unidad de control cableada (UC), registro acumulador (AC), tres registros transparentes (T1, T2 y T3) y Banco de registros (BR) con 12 registros generales y un único puerto de entrada y de salida (A). Los accesos a memoria tienen una duración de dos ciclos de reloj y el direccionamiento es a nivel de byte. La pila crece hacia direcciones de memoria **crecientes** y el puntero de

pila apunta a la última dirección ocupada de la cima de la pila. Los incrementos o decrementos de registros se realizan en la ALU; en la parte superior de la figura, se indican sus operaciones aritméticas y lógicas.

a) Especifique las señales de control necesarias en cada elemento del computador asignándoles un nombre simplificado e indicando si son activas por flanco o por nivel.

b) Dadas las siguientes instrucciones de una palabra:

PUSH [.R5++]

BR #4[++.R3]

exprese a nivel RT (transferencia entre registros) las operaciones elementales que se realizan durante la ejecución de cada una de ellas, incluyendo la fase de fetch. Indique como comentario, en cada ciclo de reloj, los nombres de las señales de control que se activan.

15 En la figura 5 aparece la estructura de un procesador elemental, con palabras y direcciones de 64 bits, que dispone de dos buses internos, de un registro acumulador (RA) y en el que los registros de direcciones y de datos se denominan D y RM, respectivamente. La unidad de control es cableada. Los accesos a memoria tienen una duración de 2 ciclos de reloj y el direccionamiento es a nivel de byte. Los incrementos o decrementos de los registros, se realizan a través de la ALU.

a) Exprese a nivel RT (transferencia entre registros) las operaciones elementales que se producen, en cada ciclo de reloj, durante la ejecución de las siguientes instrucciones de una palabra, incluyendo la fase de fetch:

ST # 100, # 16[R3]

BR #8[++.R4]

b) Considerando los siguientes retardos en los elementos del procesador, calcule el periodo de reloj de este computador y el tiempo que tardarían en ejecutarse cada una de las instrucciones anteriores.

Lectura o escritura del Banco de registros: 4 unidades de tiempo (ut)

Lectura o escritura de registros transparentes o específicos: 1 ut

Operación de mayor duración de la ALU: 14 ut

Multiplexores: 0,5 ut

Puertas triestado: 0,1 ut

16 Se muestra en la figura 7 el esquema del procesador de un computador, con palabras y direcciones de 32 bits y unidad de control cableada, que dispone de tres buses internos y tres registros transparentes. El direccionamiento de la memoria es a nivel de byte y su tiempo de acceso es de 10,5 ns. Por simplificación de la figura, no aparecen dibujadas las señales de control.

Considerando un ciclo de reloj de 4 ns y dada la instrucción de dos palabras ST .R1, /5000, en la que la dirección se encuentra en la segunda palabra:

a) Explique cuántos accesos a memoria se realizan durante su ejecución, indicando si son de lectura o de escritura. Incluya la fase de fetch.

b) Exprese a nivel RT (transferencia entre registros) las operaciones elementales que se producen en cada ciclo de reloj, incluyendo los ciclos debidos al fetch.

c) Calcule el tiempo que tarda en ejecutarse la instrucción anterior. Justifique su respuesta.

17 Se presenta en la figura 2 un esquema simplificado de la estructura de un procesador de 64 bits, en donde no aparecen ninguna de las señales de control. La Unidad de control es cableada y se dispone de registro acumulador (AC), tres registros transparentes (T1, T2 y T3) y banco de registros (BR) con dos puertos de salida y uno de entrada. Los accesos a memoria tienen una duración de dos ciclos de reloj y el direccionamiento

es a nivel de byte. La pila crece hacia direcciones de memoria decrecientes y el puntero de pila (SP) apunta a la última dirección libre de la cima de la pila.

a) Enumere y explique cuáles son las señales de control necesarias en los siguientes elementos del computador y, para cada una de ellas, indique si deben ser activas por flanco o por nivel:

Banco de registros.

Registros específicos y transparentes.

ALU

Puertas triestado

Memoria.

b) Dada la instrucción de una palabra:

CALL [.R2++]

expresé a nivel RT (transferencia entre registros) las operaciones elementales que se realizan en cada ciclo de reloj durante su ejecución, incluyendo la fase de fetch.

c) ¿Cuántos accesos a memoria se realizan al ejecutar esta instrucción y de qué tipo son estos?

18 Se muestra en la figura 3 la estructura de un procesador con palabras y direcciones de 32 bits, un único bus interno, unidad de control cableada y tres registros transparentes: T1, T2 y T3. La memoria tiene un tiempo de acceso de 2 ciclos de reloj y el direccionamiento es a nivel de byte. Los incrementos o decrementos de los registros, se realizan a través de la ALU.

a) Expresé a nivel RT (transferencia entre registros) las operaciones elementales que se producen, en cada ciclo de reloj, durante la ejecución de cada una de las siguientes instrucciones de una palabra. Incluya la fase de fetch.

LD .R1, #8[.R2]

ST #8, [.R4]

b) Considerando que la operación elemental de mayor duración tarda un tiempo de 5 ns en realizarse, determine justificadamente el tiempo que tardarían en ejecutarse cada una de las instrucciones anteriores. Debe considerar todas las fases de cada instrucción.

19 La estructura del computador de 64 bits que aparece en la figura 3, con Unidad de control cableada y 15 registros de propósito general, utiliza el registro de propósito general R10 como puntero de pila, apuntando a la última posición ocupada de la cima de la pila. La pila crece hacia direcciones de memoria decrecientes y en ella se almacena la dirección de retorno de subrutina. Los accesos a memoria tienen una duración de dos ciclos de reloj y el direccionamiento es a nivel de palabra. Todos los incrementos o decrementos de registros se realizan a través de la ALU.

a) Expresé a nivel RT (transferencia entre registros) las operaciones elementales que se realizan durante la fase de fetch.

b) Para cada una de las siguientes instrucciones, exprese a nivel RT las operaciones elementales que se realizan, en cada ciclo de reloj, durante sus respectivas fases de ejecución.

CALL [.R3]

RET

BR \$16

c) Considerando los siguientes retardos en los dispositivos del computador:

- Multiplexor: 0,2 ut (unidad de tiempo)
- Puerta triestado: 0,1 ut
- Lectura o escritura de registro: 1 ut
- Lectura o escritura del banco de registros: 2 ut
- Operación de la ALU: 10 ut

Determine el periodo mínimo de reloj en este computador y calcule el tiempo que tardaría en ejecutarse cada una de las instrucciones del apartado anterior.

20 Sea la CPU cuyo esquema simplificado aparece en la figura 8. La ALU, todos los registros, rutas de datos y de direcciones son de 32 bits.

PC: Reg. contador de programa

AR: Reg. de direcciones

IR: Reg. de instrucción

Z: registro *transparente*

BRegs: banco de registros de *propósito general*, R0..R7

SP: Reg. puntero de pila

DR: Reg. de datos

SR: Reg. de estado

a) Suponiendo que:

1. el banco de registros dispone de dos puertas, A y B, que permiten a la UC seleccionar cualquier pareja de registros en cada ciclo.
2. cada instrucción ocupa una palabra.
3. el campo *#desp* de la instrucción se indica como IR.desp (campo del reg. de instrucción).
4. la memoria es direccionable a palabra y necesita para operar dos ciclos de reloj.
5. el tiempo de ciclo de reloj es 30 ns.
6. la pila se llena hacia direcciones decrecientes y SP apunta a la primera dirección libre.

a.1) Realice la descomposición en operaciones elementales, indicando claramente las acciones que se realizan en cada ciclo de reloj, para:

1) el **fetch** (común a todas las instrucciones.)

2) las instrucciones que aparecen a continuación. Señale con **fetch** la secuencia anterior, que se supondrá al principio de cada instrucción. Indique claramente con el texto **ACTUALIZAR_SR** los ciclos en que se deba actualizar el registro de estado, SR.

1) ST .R3, #12[.R5]

2) ADD .R2, .R4, .R6

3) POP .R7

a.2) En función del resultado del apartado anterior, indique en cada caso el número total de ciclos –incluido el fetch– que tardaría en ejecutarse cada instrucción y su equivalente en tiempo.

a.3) Indique si encuentra alguna posible modificación en esta estructura que permitiese reducir el número de ciclos necesarios para la ejecución de las instrucciones propuestas.

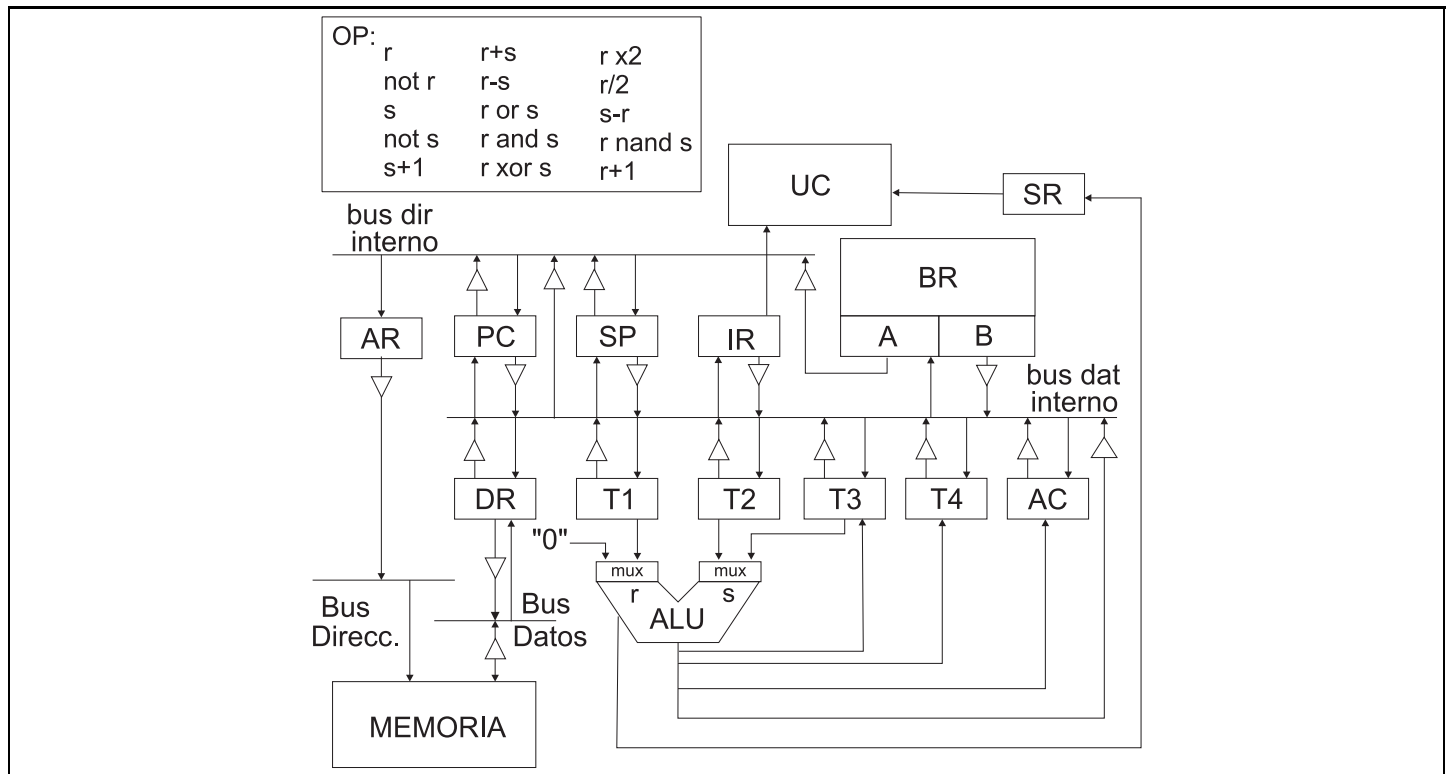


Figura 4. Estructura del la CPU 3

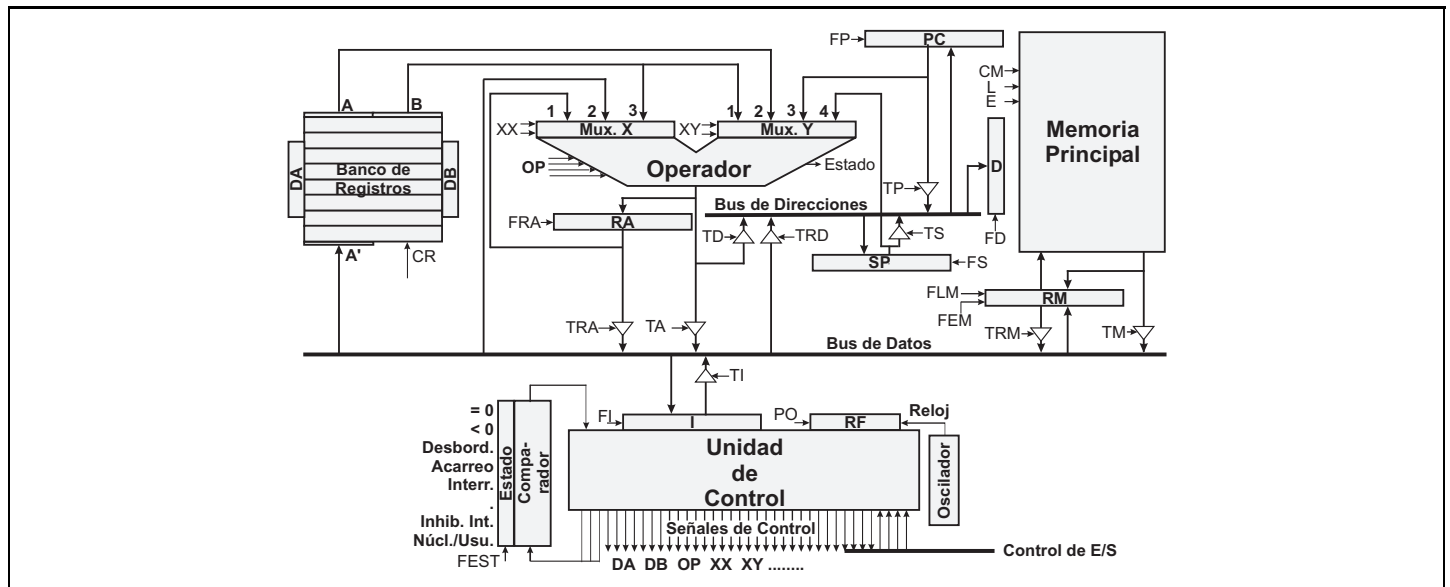


Figura 5. Estructura del la CPU 4

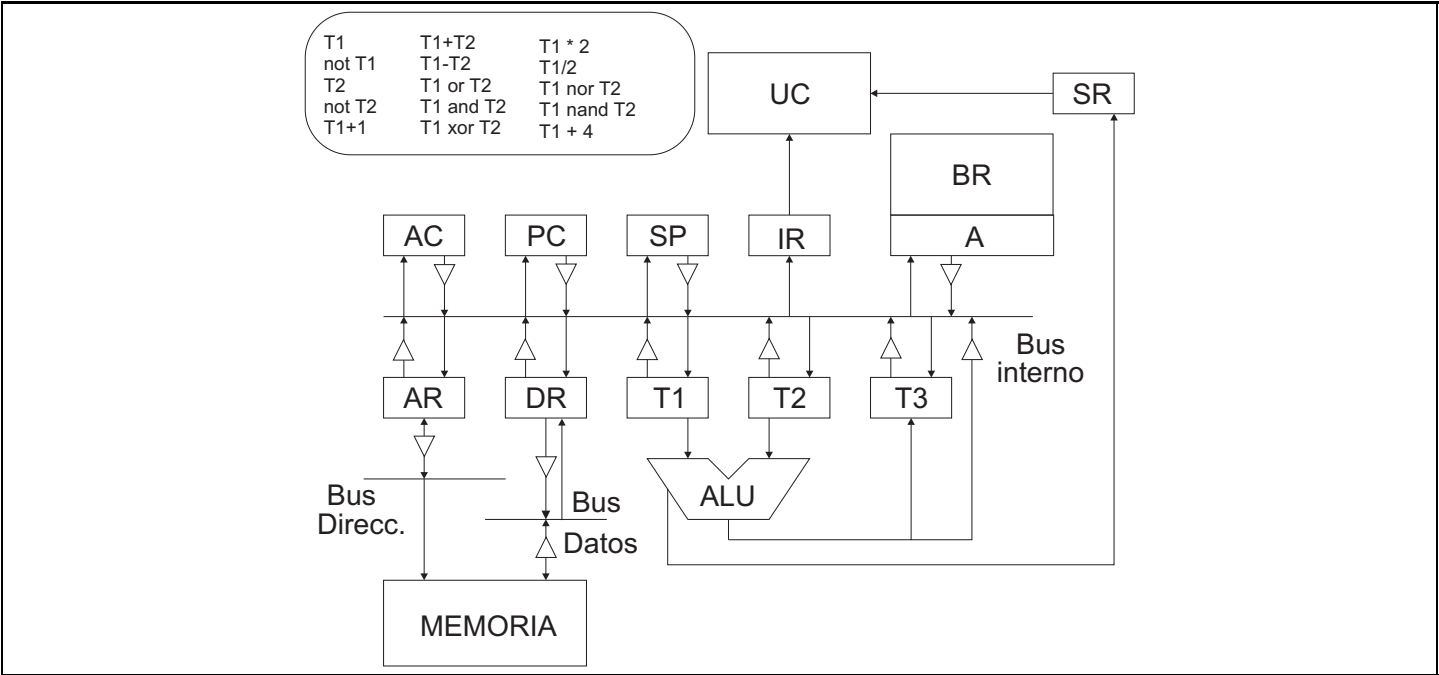


Figura 6. Estructura del la CPU 5

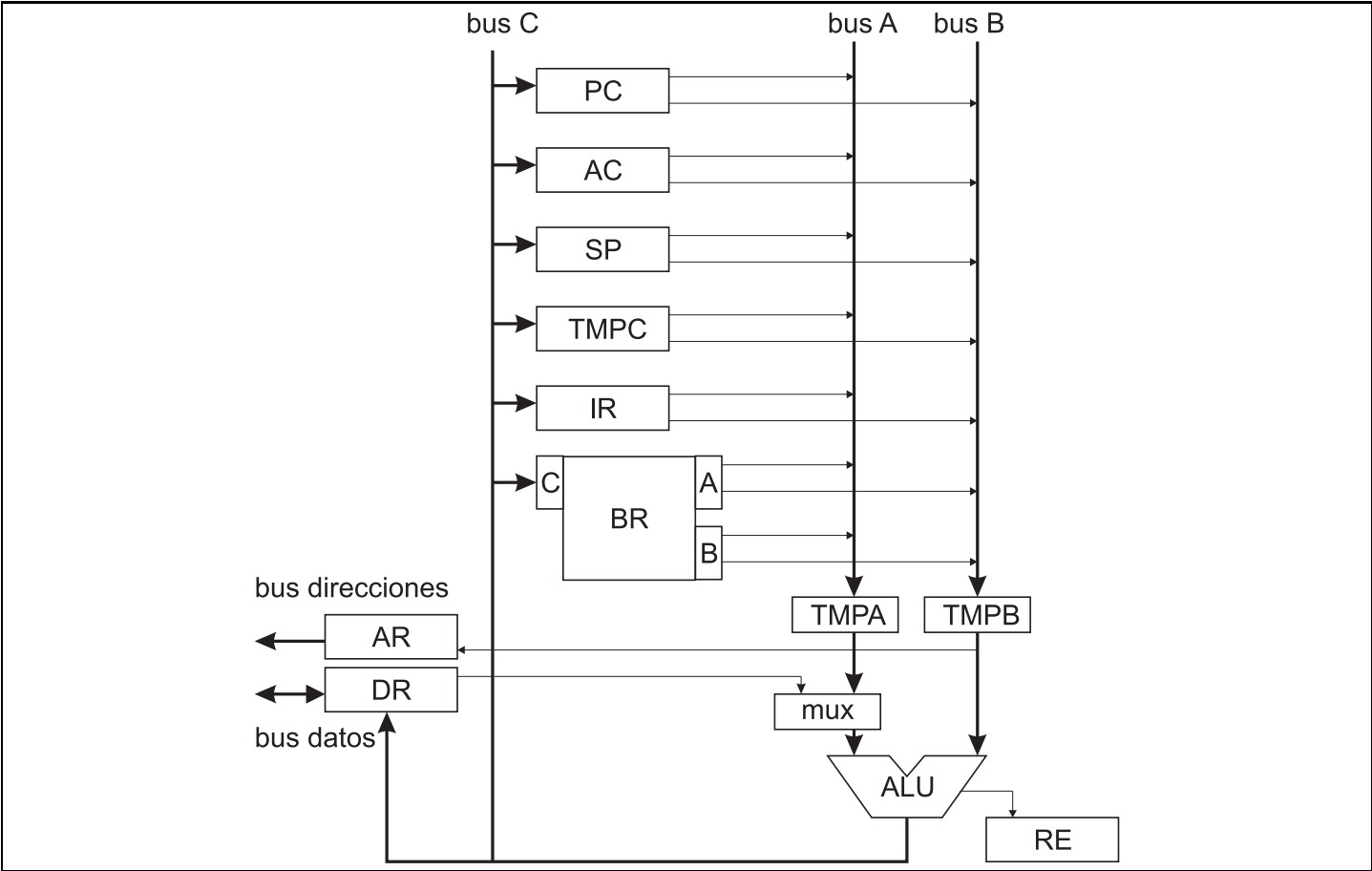


Figura 7. Estructura del la CPU 6

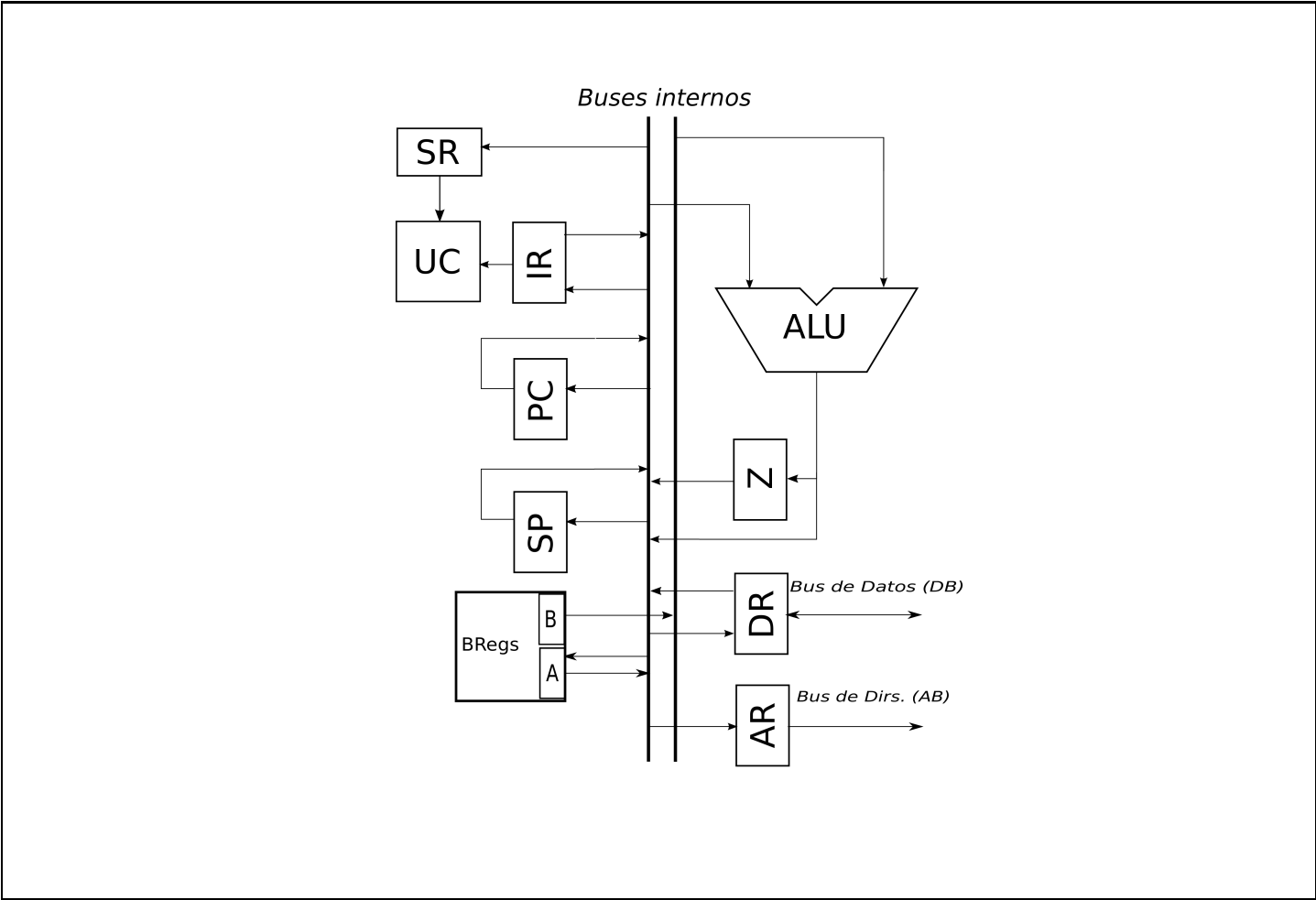


Figura 8. Estructura del la CPU 7