

Міністерство освіти і науки України
Національний університет “Львівська політехніка”



Звіт

про виконання лабораторної роботи №1
з дисципліни:
“Моделювання комп’ютерних систем”

Виконав:
ст.гр. КІ-202
Бажулін С.В.
Прийняв:
Козак Н.Б.

Львів 2023

Мета роботи: інсталяція та ознайомлення з середовищем розробки *Xilinx ISE*. Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA.

Виконання роботи

1. Використовуючи компоненти з бібліотеки, реалізував схему дешифратора 3->5

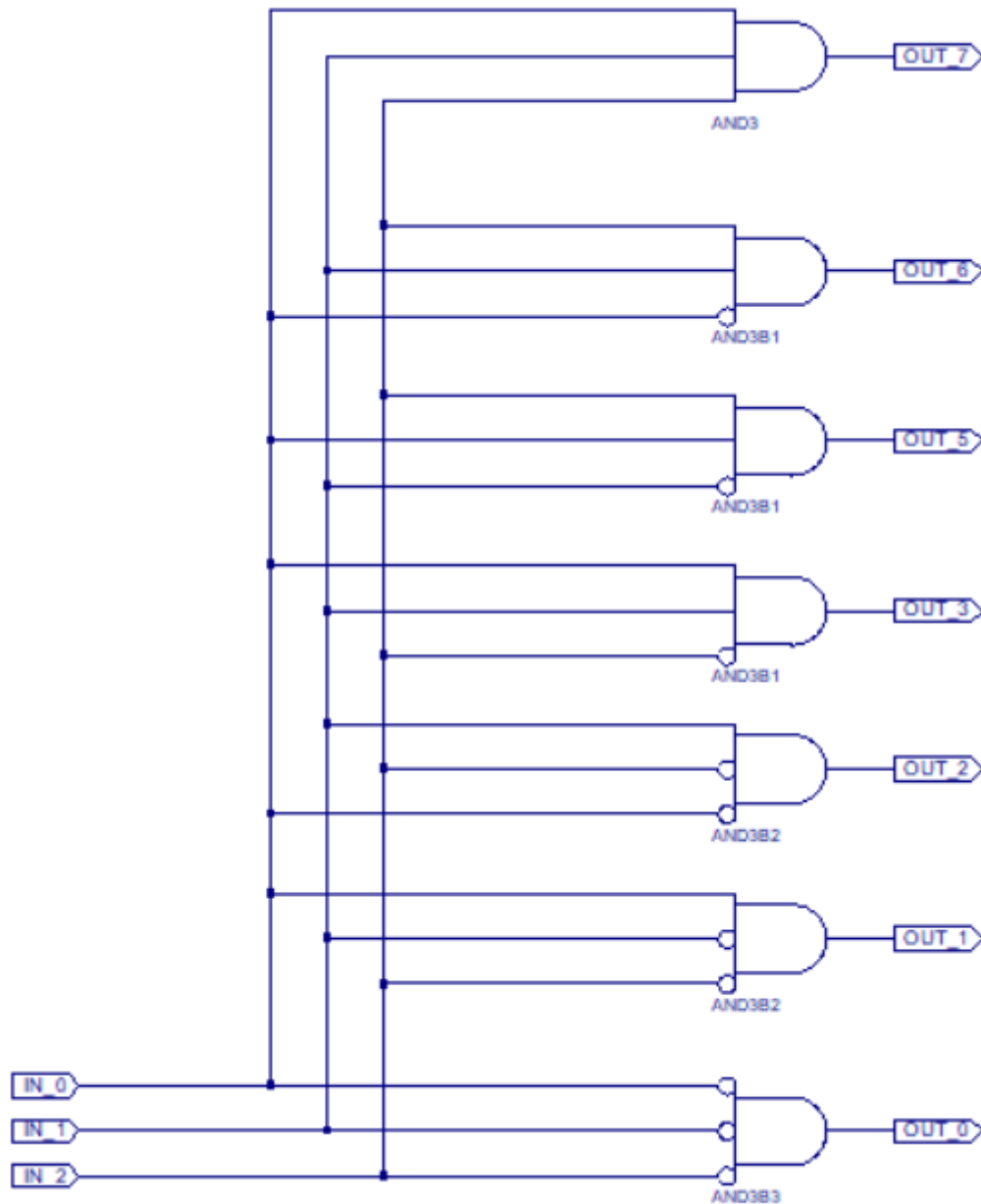


Рис.1 Схема дешифратора 3->5

2. Додав до проекту User Constraint файл та розкоментував/перейменував потрібні рядки.

```

1  #+++++
2  # This file is a .ucf for ElbertV2 Development Board
3  # To use it in your project :
4  # * Remove or comment the lines corresponding to unused pins in the project
5  # * Rename the used signals according to the your project
6  #+++++
7
8  #*****
9  #                               UCF for ElbertV2 Development Board
10 #*****
11 CONFIG VCCAUX = "3.3" ;
12
13 # Clock 12 MHz
14 # NET "Clk"                LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
15
16 #+++++
17 #                               LED
18 #+++++
19
20 NET "OUT_0"                LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
21 NET "OUT_1"                LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
22 NET "OUT_2"                LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
23 NET "OUT_3"                LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
24 NET "OUT_4"                LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
25 # NET "LED[5]"             LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
26 # NET "LED[6]"             LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
27 # NET "LED[7]"             LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
28
29 #+++++
30 #                               DP Switches
31 #+++++
32
33 NET "IN_0"                 LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
34 NET "IN_1"                 LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
35 NET "IN_2"                 LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
36 # NET "DPSwitch[3]"        LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
37 # NET "DPSwitch[4]"        LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
38 # NET "DPSwitch[5]"        LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
39 # NET "DPSwitch[6]"        LOC = P59 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
40 # NET "DPSwitch[7]"        LOC = P58 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

```

Рис.2 Код проекту

3. Перевірив роботу схеми за допомогою симулятора ISim для кожного вхідного сигналу.

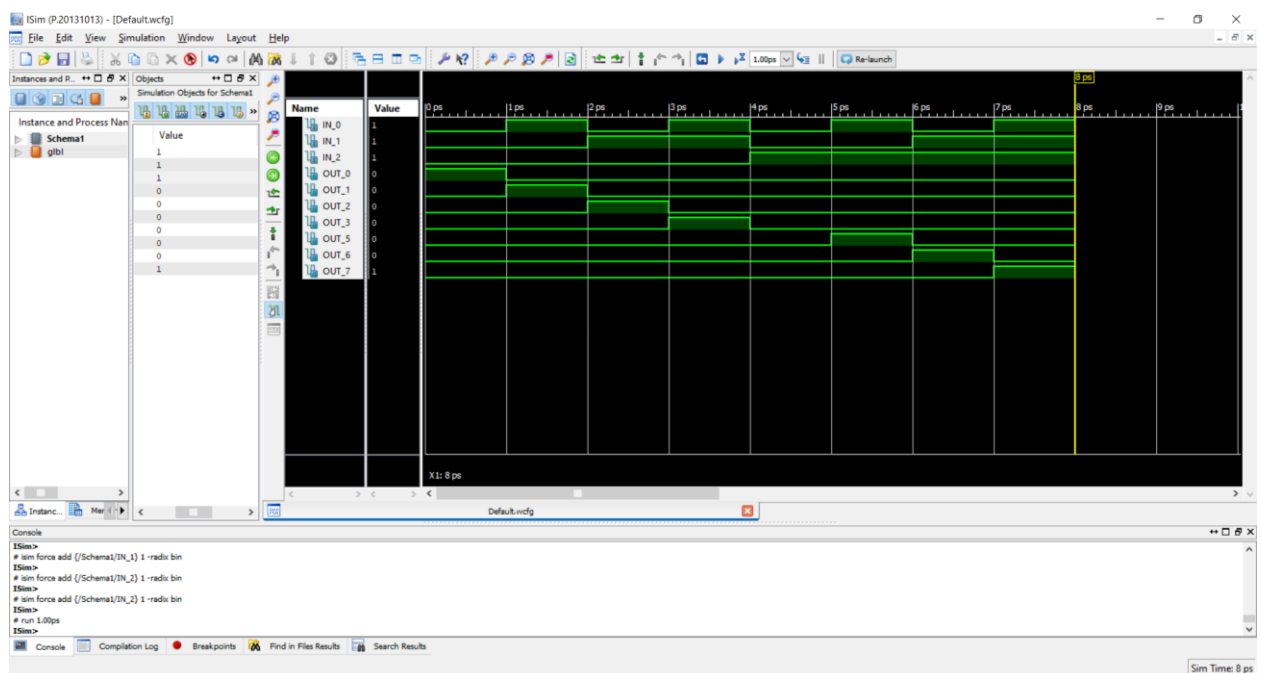


Рис 3. Симуляція в симуляторі

4. Згенерував біт файл

Ім'я	Дата змінення	Тип	Розмір
xst	20.03.2023 23:39	Папка файлів	
fuse	20.03.2023 14:03	Текстовий докум...	2 КБ
fuse.xmsgs	20.03.2023 14:03	Файл XMSGSGS	1 КБ
fuseRelaunch	20.03.2023 14:03	Сценарій команд...	1 КБ
isim	20.03.2023 23:54	Сценарій команд...	1 КБ
isim	21.03.2023 0:00	Текстовий докум...	2 КБ
lab1.gise	21.03.2023 11:28	Файл GISE	17 КБ
lab1	20.03.2023 14:03	Xilinx ISE Project	36 КБ
lab1_constraint.ucf	20.03.2023 14:03	Файл UCF	4 КБ
mylab1.bgn	21.03.2023 0:49	Файл BGN	6 КБ
mylab1.bin	21.03.2023 0:49	Файл BIN	54 КБ
mylab1.bit	21.03.2023 0:49	Файл BIT	54 КБ
MyLab1.bld	21.03.2023 0:48	Файл BLD	2 КБ
MyLab1.cmd_log	21.03.2023 0:49	Файл CMD_LOG	2 КБ
mylab1.drc	21.03.2023 0:49	Файл DRC	1 КБ
MyLab1.jhd	21.03.2023 1:22	Файл JHD	1 КБ
MyLab1.iso	21.03.2023 0:48	Файл LSO	1 КБ
MyLab1.ncd	21.03.2023 0:48	Файл NCD	5 КБ
MyLab1.ngc	21.03.2023 0:48	Файл NGC	3 КБ
MyLab1.ngd	21.03.2023 0:48	Файл NGD	6 КБ
MyLab1.ngr	21.03.2023 0:48	Файл NGR	2 КБ

Знайдемо необхідний порт у диспетчері завдань.

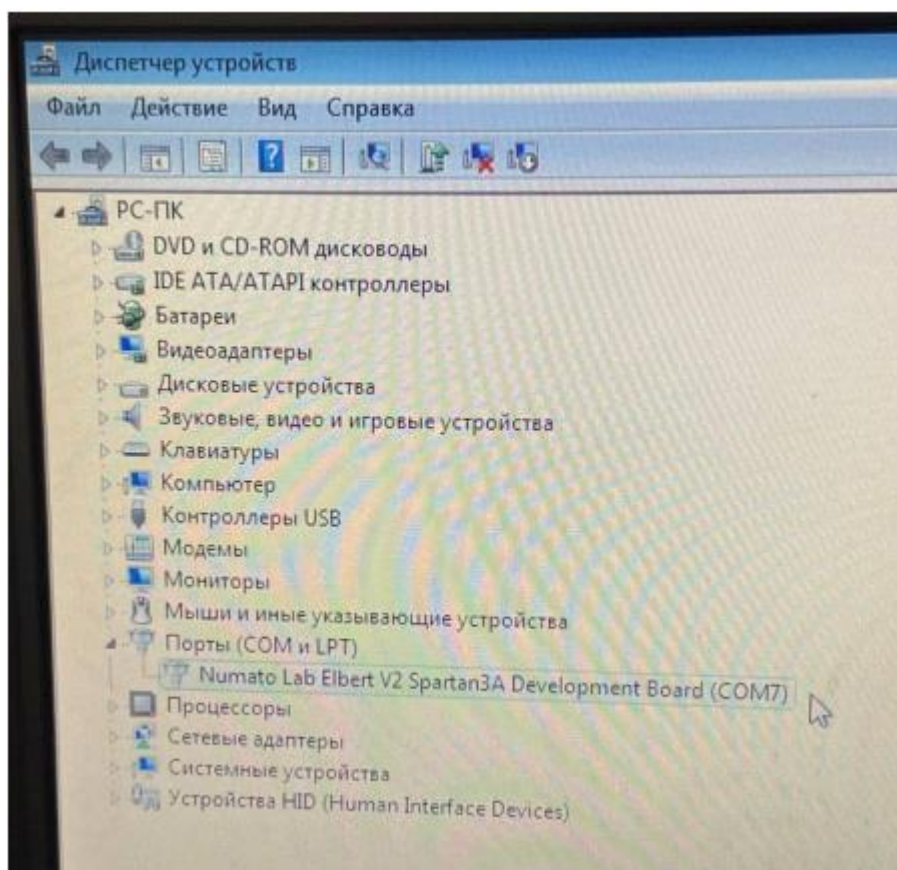


Рис.5. Диспетчер завдань

Запрограмуємо лабораторний стенд отриманим ВІТ файлом

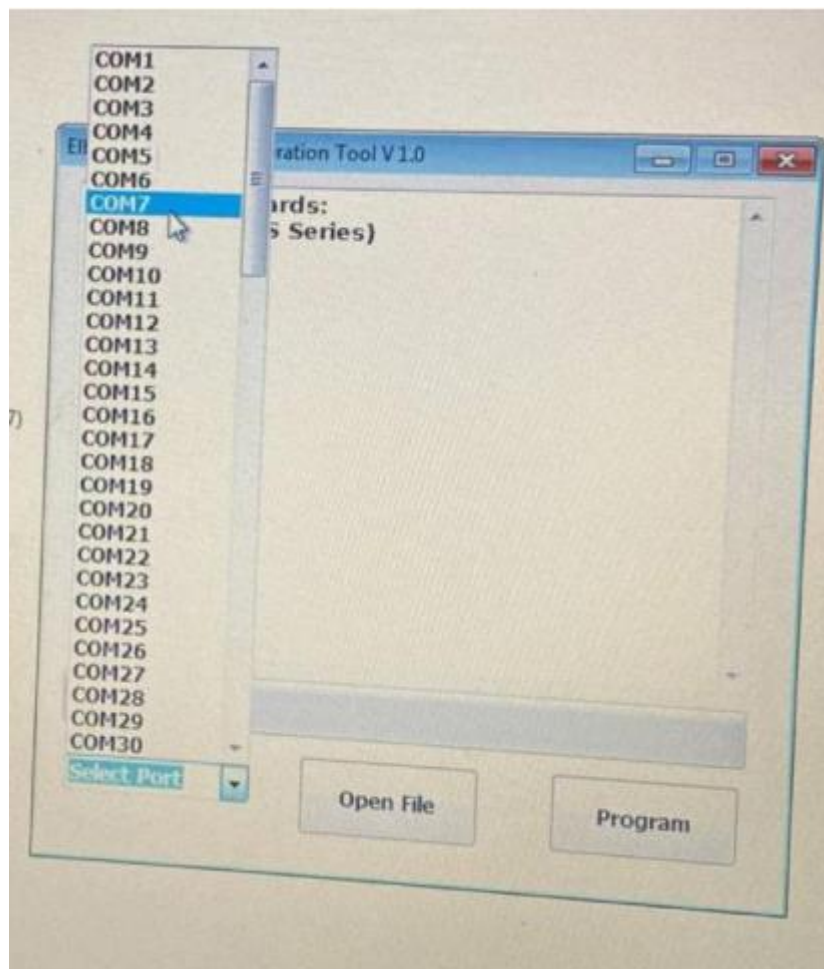


Рис.6. ElbertV2Config.exe

Дочекаємося виконання процесу.

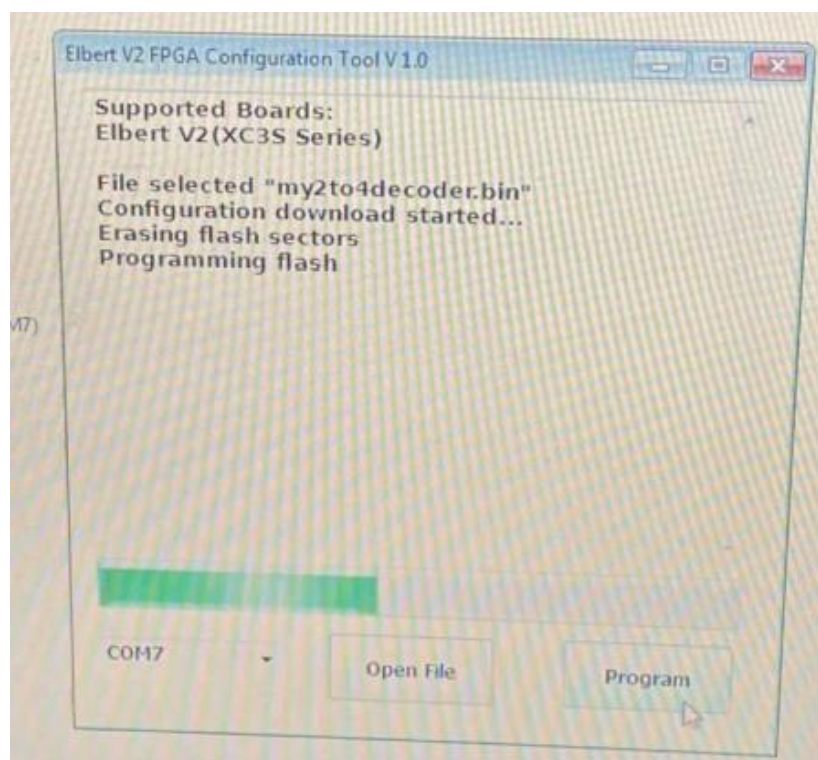


Рис.7. Виконання процесу

Перевіримо роботу проекту

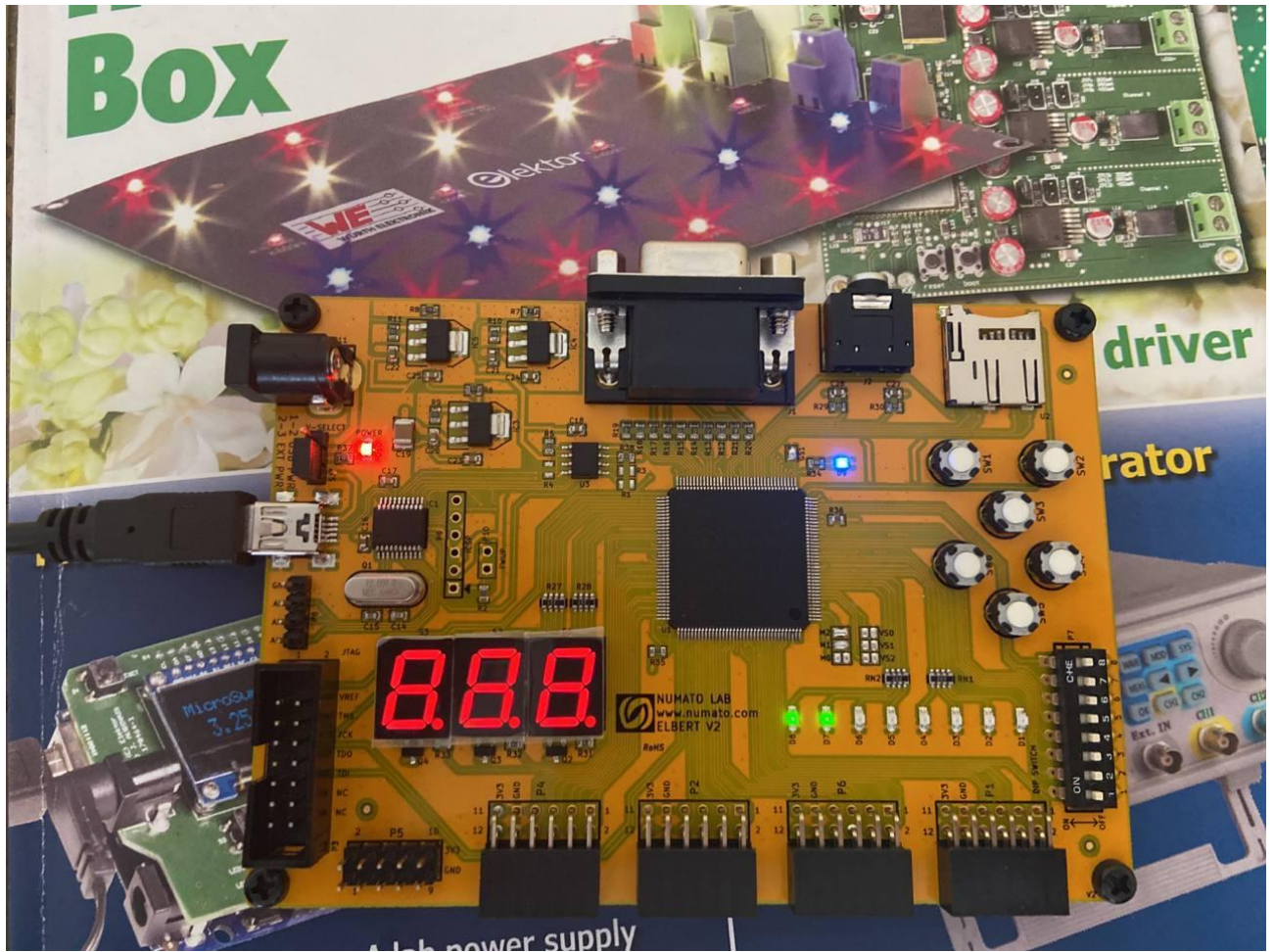


Рис.8. Робота проекту на стенді

Висновок

Ознайомився з середовищем розробки і проектування Xilinx ISE, змодельював роботу дешифратора 3->7 за допомогою симулятора ISim та згенерував Bit файл.