Міністерство освіти і науки України

Національний університет “Львівська політехніка”



**Звіт**

про виконання лабораторної роботи №1

з дисципліни:

“Моделювання комп’ютерних систем”

**Виконав**:

ст.гр. КІ-202

Бажулін С.В.

Прийняв:

Козак Н.Б.

**Львів 2023**

**Мета роботи:** інсталяція та ознайомлення з середовищем розробки *Xilinx ISE.* Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA.

**Виконання роботи**

1. Використовуючи компоненти з бібліотеки, реалізував схему дешифратора 3->5

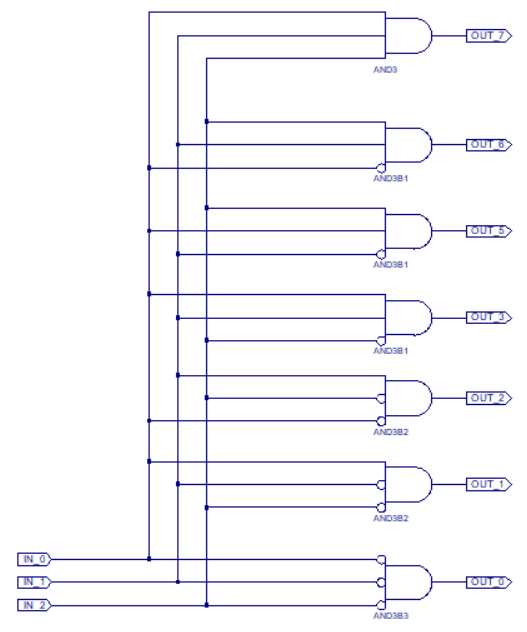


Рис.1 Схема дешифратора 3->5

1. Додав до проекту User Constraint файл та розкоментував/перейменував потрібні рядки.

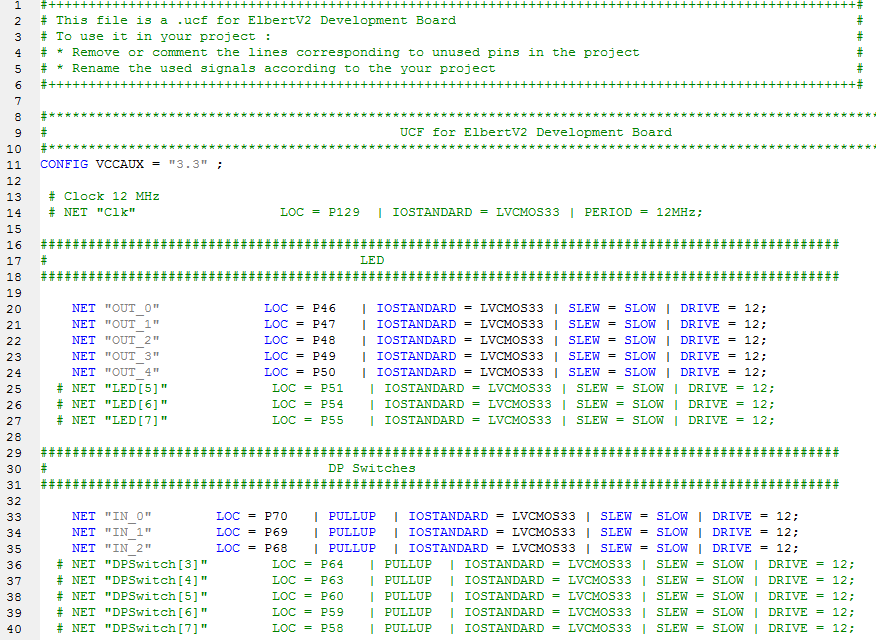


Рис.2 Код проекту

1. Перевірив роботу схеми за допомогою симулятора ISim для кожного вхідного сигналу.

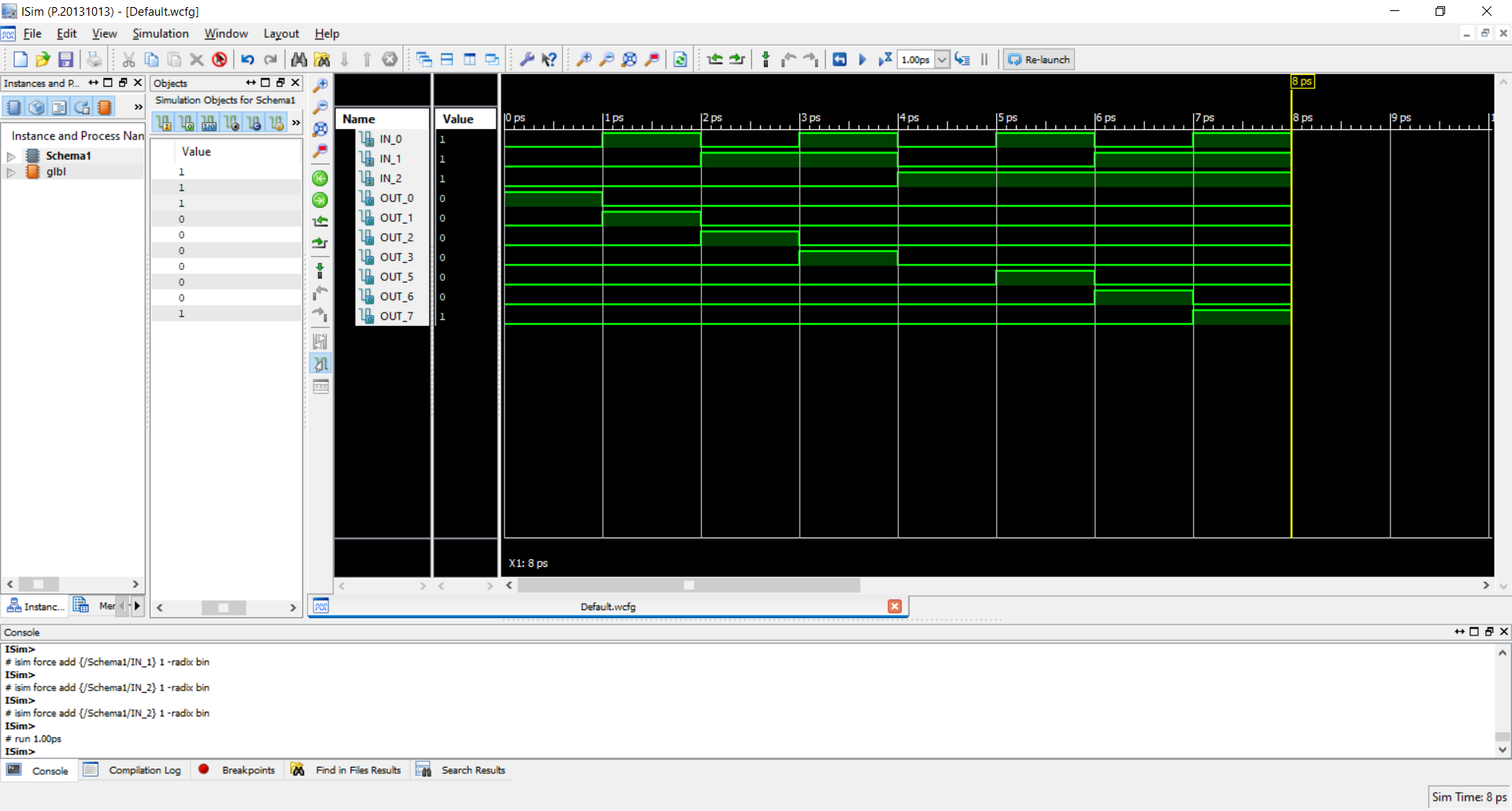
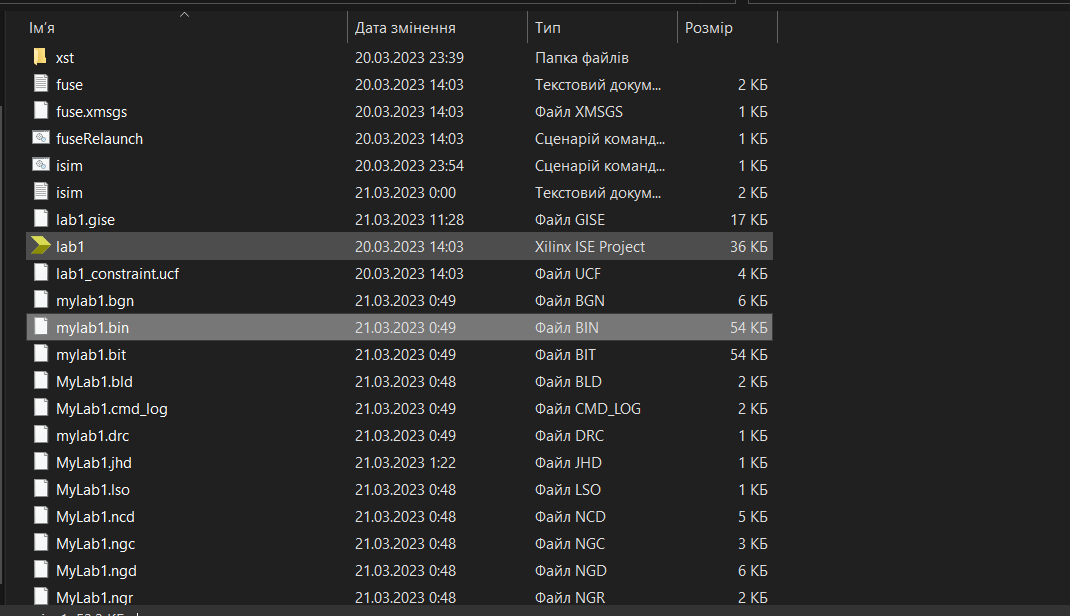


Рис 3. Симуляція в симуляторі

4. Згенерував біт файл

****

Знайдемо необхідний порт у диспетчері завдань.

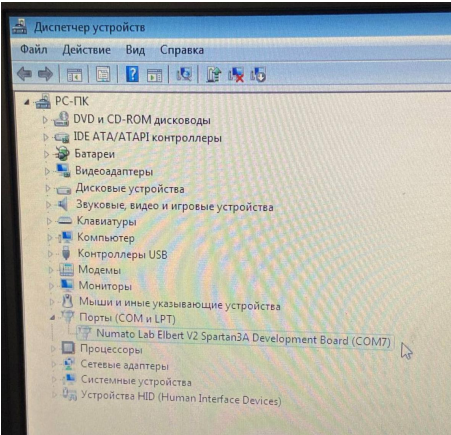
****

Рис.5. Диспетчер завдань

Запрограмуємо лабораторний стенд отриманим BIT файлом

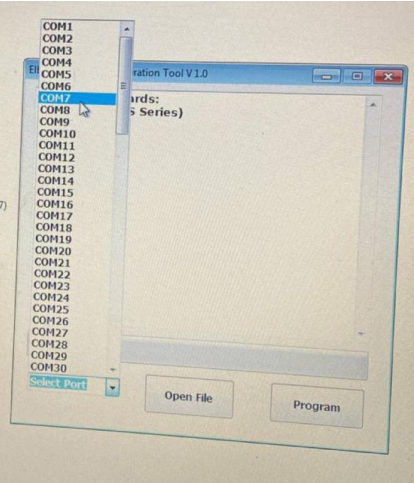
****

Рис.6. ElbertV2Config.exe

Дочекаємося виконання процесу.

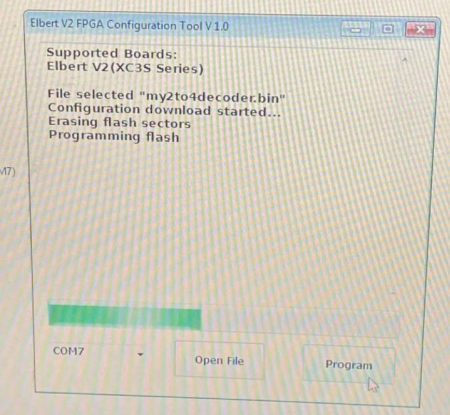
****

Рис.7. Виконання процесу

Перевіримо роботу проєкту



Рис.8. Робота проекту на стенді

**Висновок**

Ознайомився з середовищем розробки і проектування Xilinx ISE, змоделював роботу дешифратора 3->7 за допомогою симулятора ISim та згенерував Bit файл.