

Resultado del test



Universidad de Granada - Grado en Ingeniería Informática
Estructura de Computadores (B,C)



Test nº 12 que realiza usted en esta asignatura

1

Elección
única

[T2.2.4]

Las instrucciones JB y JNAE del Pentium provocan un salto si...

Usuario/a Correcta



- a) CF == 1
- b) SF == 1
- c) ZF != SF
- d) ZF == 0

Puntuación: **-0,33**

[T2.2.4SalCon]

2

Elección
única

[T6.5]

Un computador emplea un sistema de memoria principal de 128 palabras y una memoria cache de 32 palabras. La organización de la memoria cache es totalmente asociativa y el tamaño de bloque es de 8 palabras. Se emplea el algoritmo de reemplazo FIFO. Si inicialmente la memoria cache está totalmente vacía, calcule el número de fallos cuando se lee la secuencia de direcciones de la memoria principal: 0000100, 1000001, 0000101, 0010011, 0100010, 1000100, 0000111.

Usuario/a Correcta



- a) 4 fallos
- b) 3 fallos
- c) 6 fallos
- d) 5 fallos

Puntuación: **0,00**

[T6.5MCache]

3

Elección
única

¿De qué depende el tamaño del contador de programa?

Usuario/a Correcta



- a) Del número de instrucciones diferentes y de los tipos de direccionamiento posibles.
- b) Del número de direcciones de memoria.
- c) Del ancho del bus de datos.
- d) De la longitud del código de operación de las instrucciones.

Puntuación: **-0,33**

4

Elección
única

[T1.1]

Si almacenamos según el criterio little-endian la palabra de 64 bits 0xFACEB00C a partir de la dirección 0xCAFEBAE, el byte 0xCE quedará almacenado en la dirección:

Usuario/a Correcta



- a) 0xCAFEBA0

b) 0xCAFEBAAC1

c) 0xCAFEBABE

d) 0xCAFEBABF

Puntuación: **1,00**

[T1.1UniFun]

[E16FebTeo01]

5

Elección
única

[T4.4]

Los riesgos de datos consisten en que...

Usuario/a Correcta



Puntuación: **-0,33**

[T4.4Riesgs]



- a) dos instrucciones acceden a la vez al mismo dato
- b) una instrucción necesita un dato calculado por otra anterior
- c) dos instrucciones necesitan leer el mismo dato
- d) todas las respuestas anteriores son correctas

6

Elección
única

[T2.1.3]

El registro SP / ESP / RSP...

Usuario/a Correcta



Puntuación: **1,00**

[T2.1.3ConASM]

[E16SepTeo16]

el enunciado asume IA32/x86-64

- a) es un registro de propósito específico y contiene la dirección de la cima de la pila específico en el sentido de que no se puede usar como índice y se usa implícitamente (sin nombrarlo) en push, pop, call, ret...
- b) es un registro transparente al usuario y contiene la instrucción que se está ejecutando ni siquiera IP apunta a la instrucción en ejecución, sino a la siguiente
- c) es un registro de propósito específico y contiene la dirección de la siguiente instrucción a ejecutar sería IP
- d) es un registro transparente al usuario y contiene la dirección de memoria a la que se está accediendo sería MAR o el equivalente en IA32

7

Elección
única

La "postescritura (write-back) marcada"

Usuario/a Correcta



Puntuación: **-0,33**

- a) requiere más bits de modificación ("bits sucios") cuando aumenta el número de vías
- b) requiere menos hardware que la "postescritura siempre"
- c) provoca una menor tasa de faltas que la "postescritura siempre"
- d) es más eficiente que la "postescritura siempre"

8

Elección
única

¿Cuál de las siguientes afirmaciones es cierta?

Usuario/a Correcta

- a) El bus AGP se utiliza para conectar tarjetas gráficas y controladoras de disco
- b) Los estándares ATA/IDE, SCSI y Firewire (IEEE 1394) definen buses de funcionamiento paralelo a diferencia del estándar USB que define un bus de funcionamiento serie
- c) Ninguna de las otras respuestas es cierta
- d) Los buses PC XT, AT/ISA, MCA, EISA, VLB, PCI y AGP son buses de placa madre de PC



Puntuación: 0,00

9

Elección
única

De las siguientes parejas de instrucciones, ¿cuál utiliza únicamente direccionamiento implícito?

Usuario/a Correcta

- a) push, call
- b) mul, div
- c) sti, popf
- d) jnz, cmp



Puntuación: 0,00

10

Elección
única

[T1.1]

Si queremos almacenar la palabra de 16 bits 0x8965 en una memoria de bytes según "big-endian", quedará almacenada a partir de la posición 0x1000 como:

Usuario/a Correcta

- a) M[0x1000]=0xA6 y M[0x1001]=0x91
- b) M[0x1000]=0x65 y M[0x1001]=0x89
- c) M[0x1000]=0x89 y M[0x1001]=0x65
- d) M[0x1000]=0x91 y M[0x1001]=0xA6



Puntuación: -0,33

[T1.1UniFun]

11

Elección
única

Un programa crea en memoria una larga secuencia de números de forma consecutiva. ¿Qué tipo de estrategia de mantenimiento de coherencia es más eficiente para ejecutar este programa en un sistema con jerarquía de memoria?

Usuario/a Correcta

- a) Escritura directa ("write-through")
- b) Post-escritura ("write-back")
- c) Tanto a) como b) son igual de eficientes
- d) No puede saberse qué técnica es mejor



Puntuación: 1,00

12

Elección
única

Si un procesador no segmentado necesita 5 ns para leer una instrucción de memoria, 2 ns para decodificar la instrucción, 3 ns para leer del banco de registros, 3 ns para realizar el cálculo requerido por la instrucción, y 2 ns para escribir el resultado en el banco de registros, ¿cuál es la frecuencia de reloj máxima del procesador?

Usuario/a Correcta

- a) 66,67 MHz



- b) 40 MHz
- c) 500 MHz
- d) 200 MHz

Puntuación: **0,00**

13

Elección
única

[P4T]

Respecto a las bombas estudiadas en la práctica "bomba digital", ¿en cuál de los siguientes tipos de bomba sería más fácil descubrir la(s) contraseña(s)? Se distingue entre strings definidos en el código fuente de la bomba, y strings solicitados al usuario mediante scanf(). Por "cifrar" se entiende aplicar la cifra del César (sumar o restar una constante fija a los códigos ASCII).

Usuario/a Correcta



- a) 1 string del fuente se cifra, y se compara con el string del usuario
aunque hubieran sido 2, aunque su hubieran cifrado y concatenado o al revés, sigue siendo igual de fácil, porque con el debugger se puede ver qué hay que poner de contraseña literalmente
- b) 2 strings del usuario se concatenan, se cifra el resultado y se compara con el string del fuente
- c) 2 strings del usuario se cifran, se concatenan los resultados, y se compara con el string del fuente
- d) Las opciones más fáciles son de la misma dificultad, así que no se puede marcar ninguna como la más fácil

Puntuación: **1,00**

[P4Tutorial]

[E13SepPra09]

14

Elección
única

En una estructura de computador de bus único (bus del sistema):

Usuario/a Correcta



- a) es la estructura más usada en los PC actuales
- b) sólo una unidad funcional puede tener el control del bus en cada momento
- c) ninguna de las otras respuestas es cierta
- d) la UC concede el acceso al bus, por lo que éste funciona a la velocidad de la CPU

Puntuación: **0,00**

15

Elección
única

[T6.1]

La memoria cache en un sistema computador es:

Usuario/a Correcta



- a) Más rápida que la memoria principal
- b) De menor capacidad que la memoria principal
- c) a) y b) son correctas
- d) Ninguna de las anteriores es correcta

Puntuación: **-0,33**

[T6.1ConLoc]

16

Elección
única

[T2.2.3]

La instrucción IA32 test sirve para...

Usuario/a Correcta



- a) Mover el operando fuente al destino, pero sólo si se cumple la condición indicada
- b) Testear el código de condición indicado, y poner un byte a 1 si se cumple
- c) Realizar la operación and lógico bit-a-bit (a&b) pero no guardar el resultado, sino simplemente ajustar los flags
- d) Realizar la operación resta (a-b) pero no guardar el resultado, sino simplemente ajustar los flags

Puntuación: **1,00**

[T2.2.3CodCon]

[E13SepTeo04]

17

Elección
única

Si se necesitan 60 ns para escribir una palabra de datos de caché en memoria principal y cada bloque de caché tiene 8 palabras, ¿cuántas veces seguidas se tiene que escribir en un mismo bloque para que una caché de postescritura sea más eficiente que una de escritura inmediata?

Usuario/a Correcta



- a) Más de 8 veces.
- b) Depende de la tasa de aciertos.
- c) La caché de postescritura no puede ser más eficiente que la de escritura inmediata.
- d) La caché de postescritura siempre será más eficiente que la de escritura inmediata.

Puntuación: **0,00**

18

Elección
única

[T1.3]

Un computador con 8 bits en el bus de direcciones puede direccionar como máximo:

Usuario/a Correcta



- a) 1024 palabras
- b) 256 palabras
- c) 16384 palabras
- d) 8192 palabras

Puntuación: **1,00**

[T1.3EstBus]

19

Elección
única

[T2.2.1]

¿Cuál de las siguientes instrucciones x86 se puede usar para sumar dos registros y guardar el resultado sin sobrescribir ninguno de los registros originales?

Usuario/a Correcta



- a) mov
- b) lea
- c) add
- d) Ninguna de ellas

Puntuación: **1,00**

[T2.1.3ConASM]

[T2.2.1ModDir]

[T2.2.2OpArit]

[E12FebTeo06]

20Elección
única

En una máquina con 32 registros direccionables e instrucciones de 16 bits:

Usuario/a Correcta



- a) no se pueden codificar a la vez 63 instrucciones de dos registros, una instrucción de 0 direcciones y 32 instrucciones de 1 registro.
- b) no se pueden codificar a la vez 64 instrucciones de 0 direcciones, 63 instrucciones de dos registros y 16 instrucciones de 1 registro.
- c) no se pueden codificar a la vez 62 instrucciones de dos registros, 32 instrucciones de 1 registro y 64 instrucciones de 0 direcciones.
- d) no se pueden codificar a la vez 64 instrucciones de 1 registro, 32 instrucciones de dos registros y 32 instrucciones de 0 direcciones.

Puntuación: **0,00****21**Elección
única

[T1.3]

El espacio direccionable de memoria de un computador depende del diseño del:

Usuario/a Correcta



- a) Bus de direcciones
- b) Bus de datos
- c) a) y b) son correctas
- d) Ninguna de las anteriores es correcta

Puntuación: **1,00**

[T1.2ConBas]

[T1.3EstBus]

22Elección
única

Un controlador de DMA de un sistema de que emplee buses separados avanzados suele ser programado con la siguiente información relativa a una operación de E/S:

Usuario/a Correcta



- a) tipo de operación, tamaño de bloque a transferir, dirección final de memoria
- b) tipo de operación, tamaño de bloque a transferir, dirección inicial de memoria
- c) tipo de operación, dirección inicial de memoria, dirección final de memoria
- d) Ninguna de las anteriores respuestas es cierta

Puntuación: **1,00****23**Elección
única

[T6.3]

¿Qué conjunto de componentes permite construir una memoria 256Mx32? (sin que sobren componentes)

Usuario/a Correcta



- a) 16 chips 64Mx4
- b) 32 chips 64Mx4
- c) 16 chips 64Mx16
- d) Ninguna de las anteriores

Puntuación: **1,00**

24

Elección
única

En la ejecución de una instrucción...

Usuario/a Correcta

- a) siempre se altera el registro de estado
- b) la UC activa las señales de control que envía por el bus de direcciones
- ✓ c) la ALU realiza las operaciones aritméticas y lógicas
- d) el registro de instrucción se va incrementando para apuntar a la siguiente instrucción

Puntuación: 0,00

25

Elección
única

[P2A2]

Alguno de los siguientes no es un nombre de registro en una máquina IA32 en modo 32 bits

Usuario/a Correcta

- a) ax
- b) ebp
- ✓ c) sil
Sí lo sería en modo 64 bits
Ver libro Hallaron Figura 3.35
- ✓ d) dh

Puntuación: -0,33

[P2Apendice2]

[T2.4.1x86-64]

[E16SepPra10]

26

Elección
única

Un sistema no segmentado tarda 20 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce (pipeline) de 4 segmentos con un ciclo de reloj de 5 ns. Cuando se procesan muchas tareas, la ganancia máxima de velocidad que se obtiene se aproxima a:

Usuario/a Correcta

- ✓ a) 4
- ✓ b) 5
- c) 20
- d) 0,25

Puntuación: -0,33

27

Elección
única

[T6.2]

¿En qué tipo de refresco de memoria DRAM CAS# permanece a 0 después del ciclo de lectura o escritura precedente?

Usuario/a Correcta

- a) RAS# antes de CAS#
- b) Sólo RAS#
- ✓ c) Refresco transparente
- d) Ninguna de las anteriores respuestas es correcta

Puntuación: 0,00

[T6.2RAMROM]

28

Elección
única

[T1.2]

¿Cuál de las siguientes afirmaciones es incorrecta?

Usuario/a Correcta



- a) Todas las instrucciones deben tener código de operación
- b) El formato de una instrucción nos indica el significado de cada bit de la instrucción
- c) No siempre es necesario indicar la dirección de la siguiente instrucción
- d) Todas las instrucciones deben tener operando fuente y operando destino

Puntuación: 1,00

[T1.2ConBas]

29

Elección
única

[T4.3]

Alguno de los siguientes NO es un motivo de que no se alcance la ganancia ideal en un cauce segmentado

Usuario/a Correcta



- a) La duración del ciclo de reloj impuesta por la etapa más lenta
- b) El propio coste de la segmentación (carga de los registros de acoplo, etc...)
- c) La emisión múltiple (y posiblemente desordenada) de instrucciones
- d) Los riesgos (hazards)

Puntuación: 1,00

[T4.3Aceler]

[E14SepTeo08]

30

Elección
única

[P2T]

Tras ejecutar las tres instrucciones que se muestran desensambladas a continuación, el registro EAX toma el valor

08048074 <_start>:

8048074: be 74 80 04 08 mov \$_start, %esi

8048079: 46 inc %esi

804807a: 8b 06 mov (%esi), %eax

Usuario/a Correcta



- a) 0x08048075
- b) 0x08048074
- c) 0x0804807a
- d) 0x08048079

Puntuación: 1,00

[P2Tutorial]

[E15SepPra02]

Puntuación: 10,33 (3,44 sobre 10)