

UF1 Arquitectura de Sistemes

NF2 Components interns d'un ordinador



RAM

Index

- ↗ 3.1. Conceptes inicials
- ↗ 3.2. Accès a memòria
- ↗ 3.3. Tipus de memòria
- ↗ 3.4. Característiques memòria DRAM
- ↗ 3.5. Tipus de DRAM
- ↗ 3.6. Integritat i control d'error

3.1. Conceptes iniciais

↗ Memòria vs Dispositius emmagatzemament

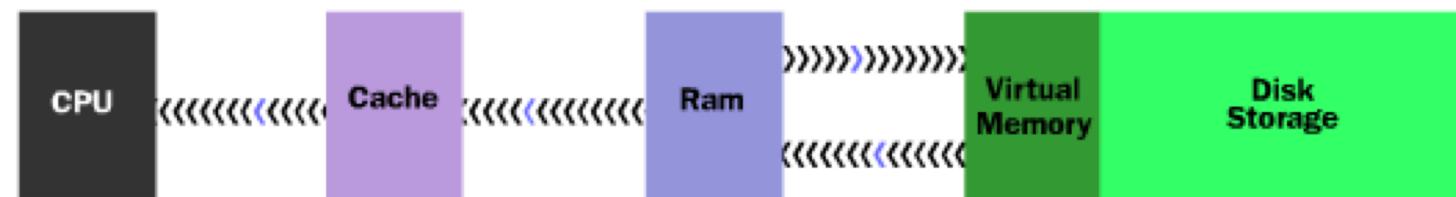
↗ Memòria

- ↗ Memòria principal, memòria del sistema, memòria RAM
- ↗ RAM -> Random Access Memory
- ↗ És volàtil
- ↗ Guarda les dades i els programes que hi ha en execució
- ↗ Molt més ràpida però més petita



↗ Dispositius d'emmagatzemament

- ↗ Memòria secundària, memòria auxiliar, memòria externa
- ↗ És no volàtil
- ↗ Disc dur intern/extern, pen USB, CD/DVD
- ↗ Molt més lenta però més gran



3.1. Conceptes iniciais

➤ Memòria Real vs Memòria Virtual

- Memòria Real
 - És la quantitat real de memòria RAM de l'ordinador
 - Són els mòduls de RAM instal·lats en l'ordinador
 - Exemple: 2 mòduls 1GB → Total 2GB
- Memòria Virtual
 - És una espècie d'extensió de la memòria RAM
 - Quan la RAM no és suficient, s'utilitza una part del disc dur com si fos RAM
 - Permet seguir executant molts programes alhora tot i que la RAM estigui plena, o tingui una capacitat molt petita.
 - També rep el nom de fitxer/àrea d'intercanvi
 - Linux → partició swap
 - Windows → arxiu d'intercanvi (pagefile.sys)
 - Inconvenient → és molt més lenta que la RAM



3.1. Conceptes iniciais

➔ Altres elements relacionats amb la memòria:

- ➔ Controlador memòria
 - ➔ MMU = Memory Manager Unit
 - ➔ Controla l'intercanvi de dades entre la CPU i la memòria RAM
 - ➔ També realitza el control d'errors de memòria amb tècniques ECC (Error Code Correction)
- ➔ 2 opcions
 - ➔ MMU integrat en el xipset (Northbridge)
 - ➔ MMU integrat en el processador → Xeon i nova família processadors Core (i3, i5, i7)

3.2. Accés a memòria

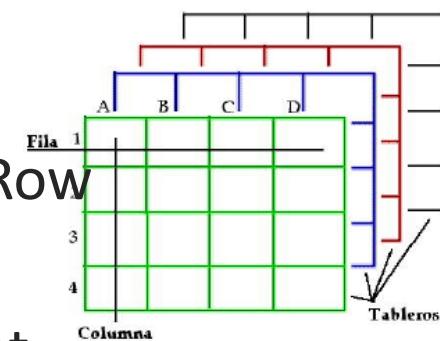
➤ Accés a memòria

- Què és?
 - Qualsevol operació de lectura o escriptura que es fa sobre la memòria del sistema
- Com es fa?
 - El controlador de memòria genera els senyals necessaris per accedir a l'adreça exacta de memòria a la que s'ha d'accendir.
- Problema:
 - Latències
 - Un accés a memòria es pot dividir en diversos passos, cada un d'aquests passos consumeix un cert temps, i normalment la majoria d'aquest temps és temps d'espera
 - Normalment el temps d'espera és un retard per esperar a que els senyals elèctrics de la memòria siguin estables.

3.2. Accés a memòria

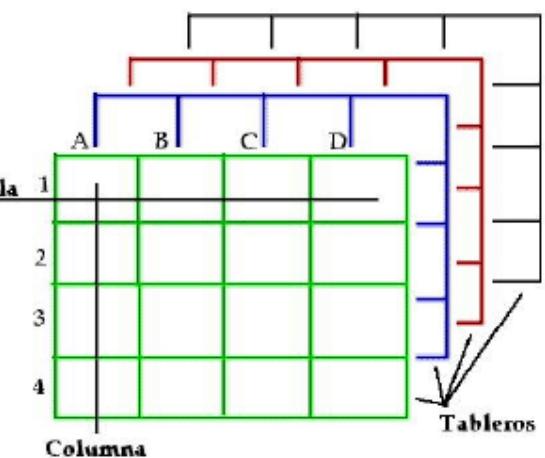
→ Passos d'un accés a memòria

1. La CPU posa l'adreça de memòria a la que s'ha d'accendir en el bus d'adreces.
2. El controlador de memòria (MMU) descodifica aquesta adreça i determina físicament on està la dada → mòdul + xip + fila + columna).
3. S'envia la meitat de l'adreça de memòria (que indica fila on es troba la cel·la) al xip al que s'ha d'accendir.
4. Es fa espera per donar temps suficient a que els senyals elèctrics s'estabilitzin i a continuació el controlador de memòria posa el flag RAS (Row Access Strobe = Selecció de fila) a cero.
5. Es selecciona la fila completa (totes les columnes d'aquella fila), refrescant-se totes les cel·les contingudes en aquella fila.



3.2. Accés a memòria

6. S'envia l'a segona meitat de l'adreça (que indica columna on es troba la cel·la) als xips als que s'ha d'accendir.
7. Es torna a fer una espera per donar temps a que els senyals elèctrics enviats s'estabilitzin i el controlador posa el flag CAS (Column Access Strobe – Selecció de columna) a cero.
8. Seguidament les dades corresponents a aquesta columna dins de la fila anteriorment escollida, s'envien a un buffer de sortida que té la memòria.
9. Posteriorment s'envien aquestes dades al bus de dades de la placa base i d'aquí al processador o al dispositiu que les necessiti.



3.3. Tipus de memòria RAM

➤ DRAM vs SRAM

➤ DRAM

- Dynamic RAM
- Creada amb cel·les elèctriques que necessiten refrescar-se contínuament
- En el procés de refresh es torna a carregar elèctricament cada una de les cel·les (es torna a generar el valor guardat)
- Cada cel·la → 1 transistor + 1 condensador
- Avantatge → preu econòmic
- Inconvenient → fins a 5 cops més lenta que la SRAM
- ús → mòduls de memòria RAM

3.3. Tipus de memòria RAM

↗ DRAM vs SRAM

↗ SRAM

- ↗ Static RAM
- ↗ Mantenen la informació fins que no s'interrompi l'alimentació
- ↗ No necessita refresh → la informació guardada no necessita ser actualitzada
- ↗ Cada cel·la → 6 transistors
- ↗ Avantatge → mida molt petita + velocitat alta
- ↗ Inconvenient → preu molt car
- ↗ús → només en memòria caché (dins la CPU)

3.4. Característiques DRAM

2. Taxa de refresh

- ↗ Indica el número de cel·les que es poden refrescar alhora
- ↗ Existeixen 2 mètodes de refresh
 - ↗ **Refresc seqüencial**
 - ↗ Es refresca cada cel·la individualment una darrera l'altre
 - ↗ **Mètode Burst** (ràfegues de files)
 - ↗ Es refresquen diverses files de cel·les alhora
 - ↗ Taxes típiques
 - ↗ 2k → 2000 cel·les alhora
 - ↗ 4k → 4000 cel·les alhora

3.4. Característiques DRAM

3. Tipus de Sincronització

↗ Memòria assíncrona

- ↗ Primeres generacions d'ordinadors → DRAM assíncrona
- ↗ DRAM assíncrona → no sincronitzada amb el clock del sistema
- ↗ Poc eficient perquè comporta molts retards
- ↗ A partir de busos del sistema superiors a 66Mhz implicava massa retards

↗ Memòria síncrona

- ↗ SDRAM → Synchronous DRAM
- ↗ Dissenyada per treballar sincronitzadament amb el processador
- ↗ Disposa d'una entrada externa de rellotge, que permet al controlador de memòria conèixer el cicle de rellotge exacte en el què les dades estaran disponibles, raó per la qual la CPU no ha d'entrar en estats d'espera i el rendiment que s'aconsegueix és superior.

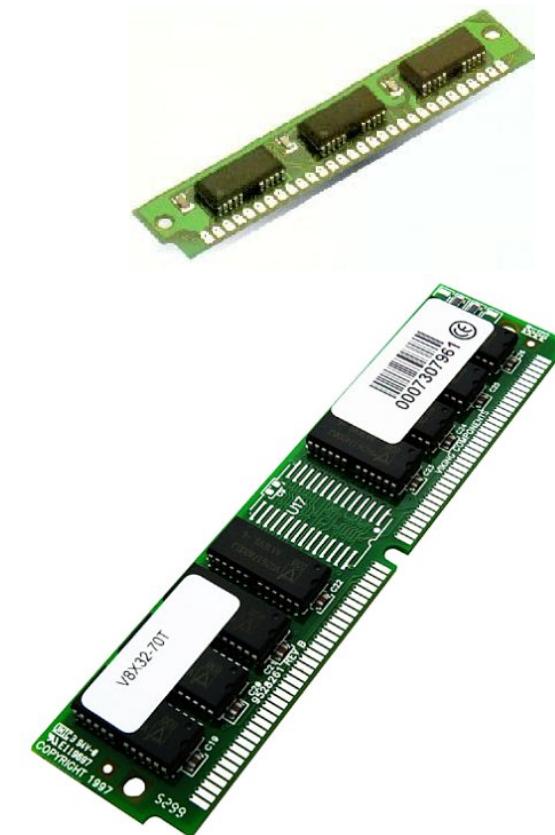
3.4. Características DRAM

4. Tipus de mòdul

- ↗ Existeixen diversos tipus de mòdul:
 - ↗ SIMM, DIMM, RIMM, PC-Cards

a. SIMM

- ↗ Single Inline Memory Module
- ↗ Compatibles → 386/486/Pentium
- ↗ 1 muesca al mig
- ↗ 2 versions:
 - ↗ 30 contactes
 - ↗ 72 contactes

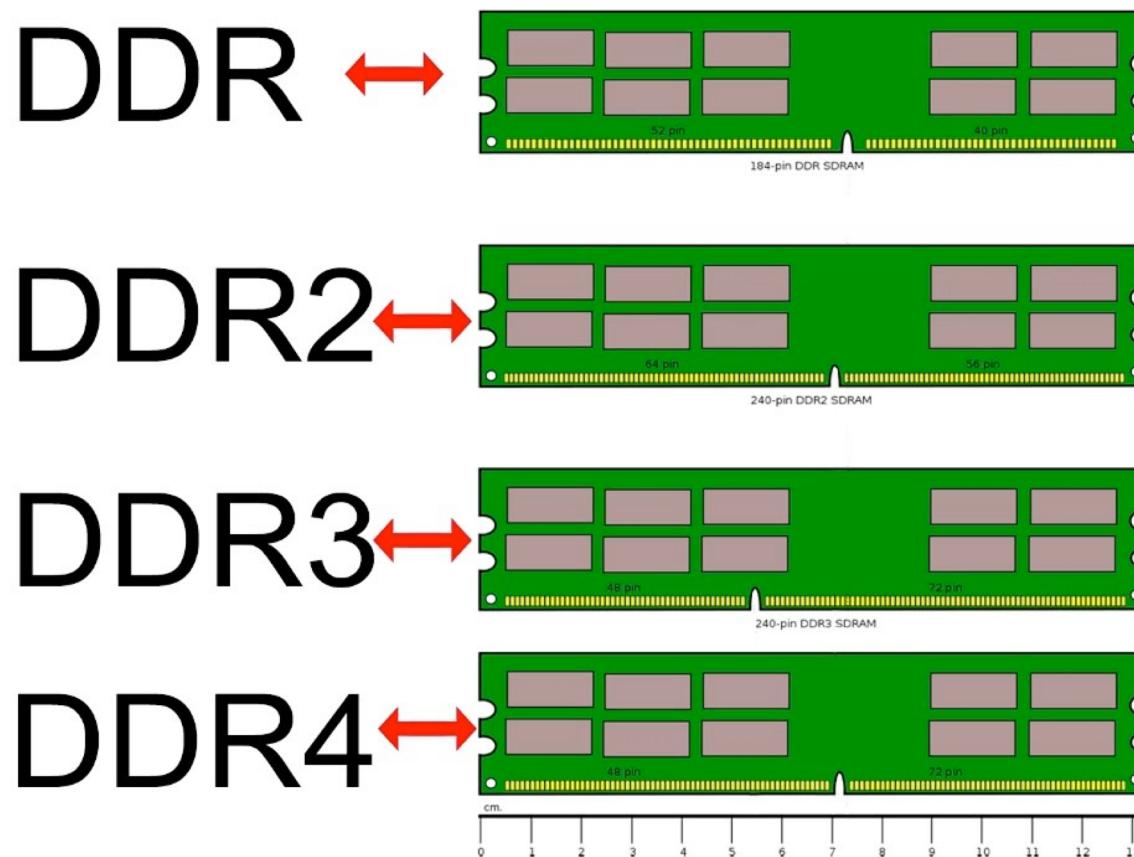


3.4. Característiques DRAM

b. DIMM

- ↗ Dual Inline Memory Module
- ↗ Tipus de DIMM
 - ↗ 168 contactes → SDRAM (2 muescas)
 - ↗ 184 contactes → DDR (1 muesca la dreta)
 - ↗ 240 contactes → DDR2 i DDR3 (incompatibles) (1 muesca a l'esquerra)
 - ↗ 288 Contactes → DDR4 (1 muesca a l'esquerre)

3.4. Caractéristiques DRAM



3.4. Caractéristiques DRAM

c. SO-DIMM

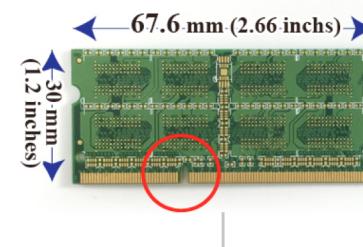
➤ Small Outline Dual Inline Memory Module

➤ Tipus:

- 144 contactes → SDRAM
- 200 contactes → DDR/DDR2
- 204 contactes → DDR3
- 260 contactes → DDR4

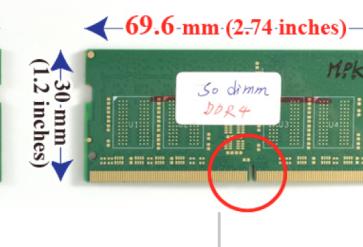
Comparison

DDR3 So dimm:



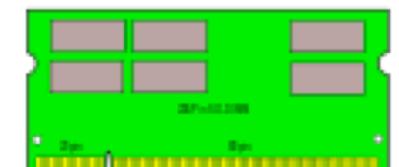
Width: 67.6 mm
Height: 30 mm

DDR4 So dimm:

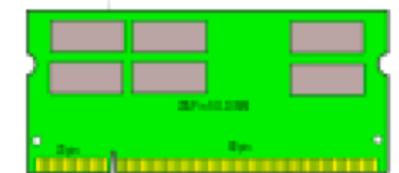


Width: 69.6 mm
Height: 30 mm

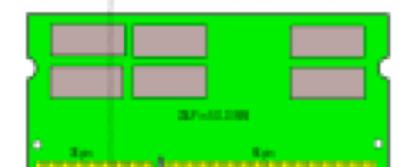
SO-DIMM DDR



SO-DIMM DDR 2



SO-DIMM DDR 3



The dimensions are for reference to original info.
This is not meant technical diagram. Created only for presentation.

3.4. Característiques DRAM

d. RIMM

- ↗ Rambus Inline Memory Module
- ↗ RDRAM de l'empresa RAMBUS
- ↗ 184 i 232 contactes
- ↗ Més ràpids però molt més cars.



3.4. Característiques DRAM

5. Voltatge

- ↗ Els mòduls de memòria RAM operen a un voltatge elèctric constant.
- ↗ Els voltatges típics són:
 - ↗ SDRAM → 3,3v
 - ↗ DDR → 2,4-2,5v
 - ↗ DDR2 → 1,8v
 - ↗ DDR3 → 1,5v
 - ↗ DDR4 → 1,2V

DRAM Speed : DDR3-1066
DRAM Voltage : 1.50V

3.4. Característiques DRAM

6. Capacitat

- ↗ Indica la quantitat de dades que permet guardar una memòria
- ↗ És la característica més valorada pels usuaris
- ↗ Actualment:
 - ↗ 512, 1024, 2048MB, 3GB, 4GB, etc.

3.4. Característiques DRAM

7. Freqüència RAM

- ↗ Mateix concepte que Freq CPU → Número de cicles de rellotge/segon
- ↗ Es mesura en Mhz, Ghz...
- ↗ Major Freqüència → Major taxa transferència
- ↗ Segons memòria
 - ↗ SDRAM → 100 – 133Mhz (100 milions d'operacions (lectura i escriptura) en un segon.
 - ↗ DDR → 200 – 533Mhz
 - ↗ DDR2 → 400 – 1066Mhz
 - ↗ DDR3 → 1066 – 2000Mhz
 - ↗ DDR4 → 2000 – 4000Mhz

3.4. Característiques DRAM

8. Mètode de detecció de la memòria

➤ Quan l'ordinador arranca, el primer que fa és detectar la configuració dels mòduls de memòria RAM

➤ Existeixen 2 mètodes:

PPD (Parallel Presence Detect)

➤ Utilitzat antigament en mòduls SIMM

SPD (Serial Presence Detect)

➤ Es basa en l'ús d'una petita memòria EPROM en els mòduls DIMM que emmagatzema informació sobre el mòdul, aquesta informació es transmet a la placa base per tal que el mòdul pugui ser reconegut.

DDR3-A1 SPD Informations	
Memory Type	: DDR3 SDRAM
Manufacturer	: Unknown
Part Number	: OCZ3B1600LU2G
Serial Number	:
Memory Ext.	: Standard
DRAM Speed	: DDR3-1066
DRAM Voltage	: 1.50V
DRAM tCL	: 8
DRAM tRCD	: 7
DRAM tRP	: 7
DRAM tRAS	: 16
DRW_FRS2	: 16
DRW_FRS	: 3
DRW_FWED	: 3

3.4. Caractéristiques DRAM

9. Marca

- ↗ Kingston
- ↗ Overclocking + Dissipador
 - ↗ CORSAIR
 - ↗ OCZ
 - ↗ Musquin



FLEX II
xtreme liquid convection

3.4. Característiques DRAM

10. Latència

- ↗ Latència = temps d'espera → RETARD
- ↗ Es mesura comptant # cicles de rellotge de retard
- ↗ Interessa que aquest valor sigui el més petit possible
- ↗ L'usuari pot modificar cicles de retard de cada latència a través de la BIOS (no recomanable – Overclocking)
- ↗ A major freqüència de RAM → major latència, ja que no es mesura amb temps sinó amb cicles de rellotge

4.4. Característiques DRAM

10. Latència (II)

↗ Paràmetres de Latència poden venir indicats de 2 maneres:

↗ Especificant únicament la Latència de CAS

↗ Cas Latency/CL/CAS/C

↗ Exemples:

↗ CL3 → CAS Latency = 3

↗ CL5 → CAS Latency = 5

↗ CL6 ...

DRAM Timing Control

1st Information : 5-5-5-11-4-59-8-6-20-0	
DRAM CAS# Latency	[5 DRAM Clock]
DRAM RAS# to CAS# Delay	[5 DRAM Clock]
DRAM RAS# PRE Time	[5 DRAM Clock]
DRAM RAS# ACT Time	[10 DRAM Clock]
DRAM RAS# to RAS# Delay	[Auto]
DRAM REF Cycle Time	[Auto]
DRAM WRITE Recovery Time	[Auto]
DRAM READ to PRE Time	[Auto]
DRAM FOUR ACT WIN Time	[Auto]
DRAM Back-To-Back CAS# Delay	[Auto]

4.4. Característiques DRAM

10. Latència (II)

- ↗ Exemples:
- ↗ Especificant el conjunt global de latències

↗ Exemple:
 tCAS - tRAS – tPR – tACT
 5 – 5 – 5 – 11

- ↗ CAS → Latència per accedir a la columna (CEL·LA)
- ↗ RAS → Latència per accedir a la fila
- ↗ PRECHARGE → Latència per desactivar (desbloquejar) matriu cel·les
- ↗ ACTIVE → Latència per activar (escollir) matriu cel·les
- ↗ ...

DRAM Timing Control

1st Information : 5-5-5-11-4-59-8-6-20-0	
DRAM CAS# Latency	[5 DRAM Clock]
DRAM RAS# to CAS# Delay	[5 DRAM Clock]
DRAM RAS# PRE Time	[5 DRAM Clock]
DRAM RAS# ACT Time	[10 DRAM Clock]
DRAM RAS# to RAS# Delay	[Auto]
DRAM REF Cycle Time	[Auto]
DRAM WRITE Recovery Time	[Auto]
DRAM READ to PRE Time	[Auto]
DRAM FOUR ACT WIN Time	[Auto]
DRAM Back-To-Back CAS# Delay	[Auto]

3.4. Característiques DRAM

11. Taxa de transferència

- ↗ Informa sobre la quantitat de dades que pot transmetre per segon.
- ↗ També rep el nom de bitrate (i ample de banda)
- ↗ S'expressa en Mbytes/s o Mbits/s = Mbps
- **Bitrate = freqüència RAM * bits bus (Arquitectura)**

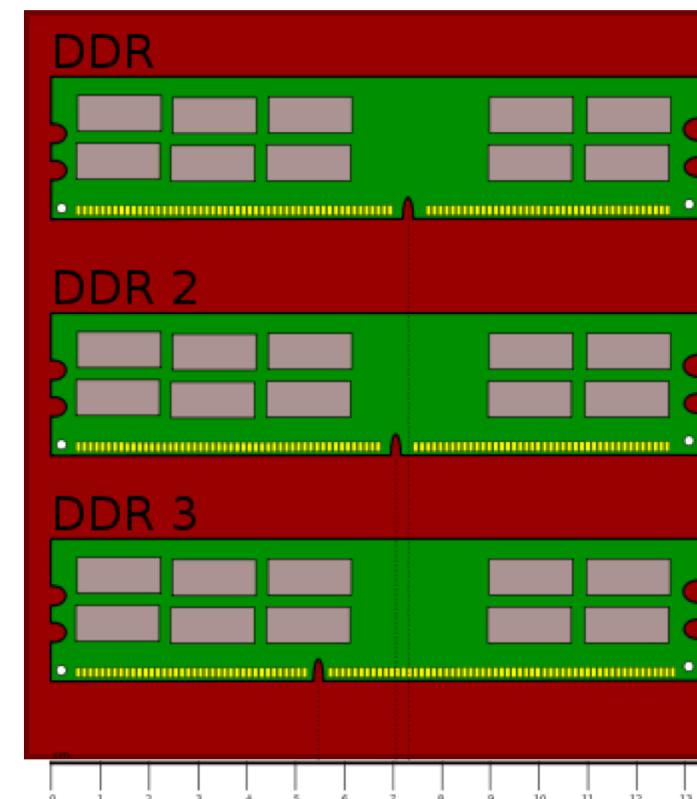
Exercici: Calcula la taxa de transferència d'una memòria que funciona a una freqüència de 533Mhz amb un bus de 64 bits.

$$\text{Bitrate} = 533\text{Mhz} * 64 = 4200\text{Mbps}$$

3.5. Tipus de DRAM

DDR/DDR2/DDR3/DDR4

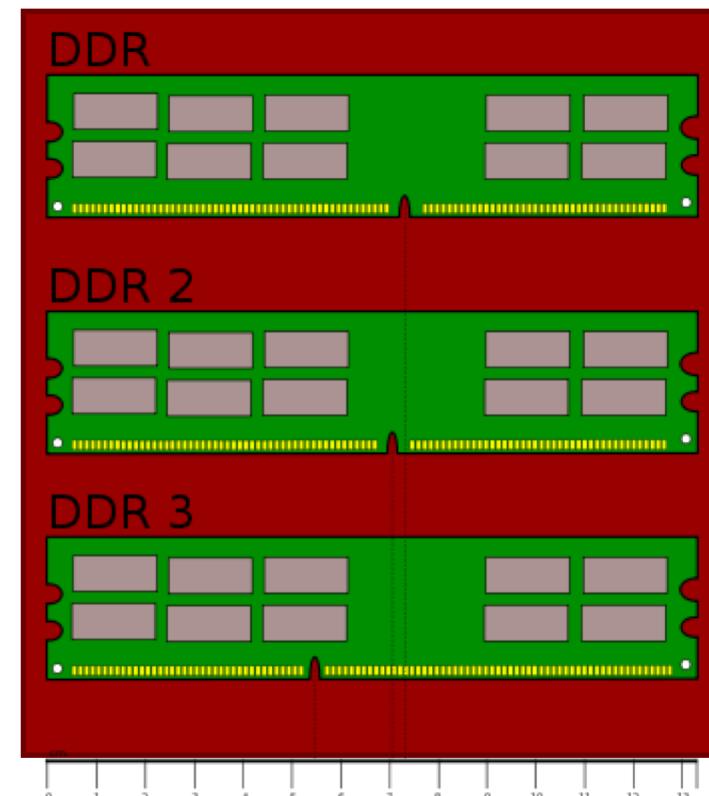
- ↗ DDR = Double Data Rate
 - ↗ 2 operacions/cicle de rellotge →
 - ↗ Flanc de pujada + flanc baixada
- ↗ Dual Channel Mode → 2 mòduls treballant en paral·lel
- ↗ Exercici: DDR2-800 per què és PC2-6400?



3.5. Tipus de DRAM

$$\text{Bitrate} = \text{Freqüència RAM} * \# \text{bits bus} * 2 \text{ ops/cicle}$$

	DDR	DDR2	DDR3	DDR4
Clock (Mhz)	100 ... 266	100 ... 266	133 ... 250	200-333
Ratio	x1	x2	x4	x8
Freq RAM (Mhz)	100 ... 266	200 ... 533	533 ... 1000	1600...2666
Bits bus	64	64	64	64
Bitrate (MB/s)	PC-1600 ... PC-4300	PC2-3200 ... PC2- 9200	PC3-8500 ... PC3-16000	PC4-25600 ... PC4-42656
Voltatge	2.5v	1.8v	1.5v	1,2V
Pins	184	240	240	288
Nom	DDR-200 ... DDR-533	DDR2-400 ... DDR-1066	DDR3-1066 ... DDR3-2000	DDR4-



3.5. Tipus de DRAM (annex)

NOM	CLOCK SISTEMA (Freq)	FREQ RAM	NOM MÒDUL	TAXA TRANSFERÈNCIA
DDR-200	100 MHz	100 MHz	PC1600	1.600 MB/s
DDR-266	133 MHz	133 MHz	PC2100	2.133 MB/s
DDR-300	150 MHz	150 MHz	PC2400	2.400 MB/s
DDR-333	166 MHz	166 MHz	PC2700	2.667 MB/s
DDR-366	183 MHz	183 MHz	PC3000	2.933 MB/s
DDR-400	200 MHz	200 MHz	PC3200	3.200 MB/s
DDR-433	216 MHz	216 MHz	PC3500	3.500 MB/s
DDR-466	233 MHz	233 MHz	PC3700	3.700 MB/s
DDR-500	250 MHz	250 MHz	PC4000	4.000 MB/s
DDR-533	266 MHz	266 MHz	PC4300	4.264 MB/s
DDR2-400	100 MHz	200 MHz	PC2-3200	3.200 MB/s
DDR2-533	133 MHz	266 MHz	PC2-4300	4.264 MB/s
DDR2-600	150 MHz	300 MHz	PC2-4800	4.800 MB/s
DDR2-667	166 MHz	333 MHz	PC2-5300	5.336 MB/s
DDR2-800	200 MHz	400 MHz	PC2-6400	6.400 MB/s
DDR2-1.000	250 MHz	500 MHz	PC2-8000	8.000 MB/s
DDR2-1.066	266 MHz	533 MHz	PC2-8500	8.530 MB/s
DDR2-1.150	286 MHz	575 MHz	PC2-9200	9.200 MB/s
DDR2-1.200	300 MHz	600 MHz	PC2-9600	9.600 MB/s
DDR3-1.066	133 MHz	533 MHz	PC3-8500	8.530 MB/s
DDR3-1.200	150 MHz	600 MHz	PC3-9600	9.600 MB/s
DDR3-1.333	166 MHz	667 MHz	PC3-10667	10.664 MB/s
DDR3-1.375	170 MHz	688 MHz	PC3-11000	11.000 MB/s
DDR3-1.466	183 MHz	733 MHz	PC3-11700	11.700 MB/s
DDR3-1.600	200 MHz	800 MHz	PC3-12800	12.800 MB/s
DDR3-1.866	233 MHz	933 MHz	PC3-14900	14.930 MB/s
DDR3-2.000	250 MHz	1.000 MHz	PC3-16000	16.000 MB/s

3.6. Control errors

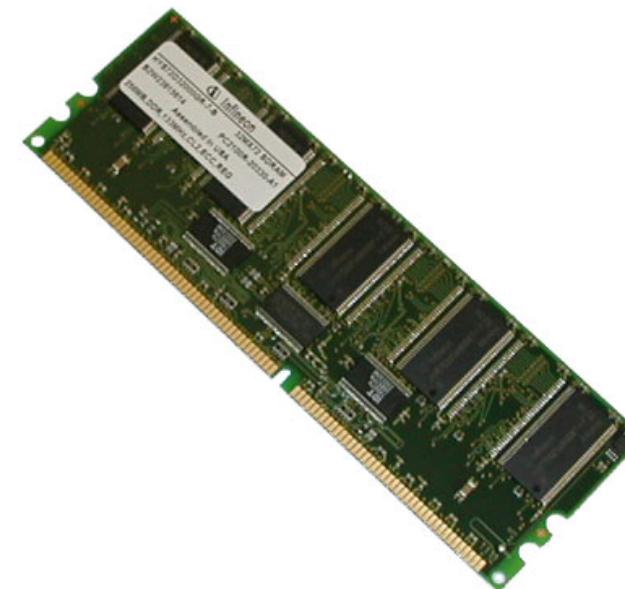
↗ ECC

↗ Error Code Correction

- ↗ Detectar i corregir errors → 1bit
- ↗ Detectar → errors 2,3,4 bits
- ↗ Més car
- ↗ Més lent (3%)
- ↗ Més fiable → utilitzat en servidors

↗ Exemples

- ↗ Bit Paritat
- ↗ Codi de Hamming



3.6. Control errors

↗ Bit de paritat

- ↗ És el mètode de detecció d'errors més senzill
- ↗ Permet corregir errors d'1 bit
- ↗ Bit de paritat = valor binari que indica si la quantitat d'1s en un conjunt de bits és parell o senar
- ↗ Funcionament:
 - ↗ Bit de paritat = 1 → si el número d'1s del nostre conjunt de bits és senar
 - ↗ Bit de paritat = 0 → si el número d'1s del nostre conjunt de bits és parell

Conjunt bits	Bit paritat
1010111	1
1011100	0
0010101	1

↗ Observacions

- ↗ Resumint, la quantitat d'1s entre el conjunt de bits i el bit de paritat ha de ser parell
- ↗ Inconvenient → Com més gran sigui l'agrupació de bits més opció d'emmascarament d'error
- ↗ Existeix variant (bit de paritat creuada) que afegeix el mateix càlcul en vertical

3.6. Control errors

- ↗ Codi de Hamming
 - ↗ Permet detectar i corregir errors
 - ↗ Afegeix N bits de control d'error cada $(2^N - 1)$ bits
 - ↗ Exemples:
 - ↗ Hamming 7-3
 - ↗ Hamming 31-5