

20250704input_regfile pipeline

1、写数据

IR Data | vld

Bm cnt in[5:0]

```
kh cnt in[5:0]
```

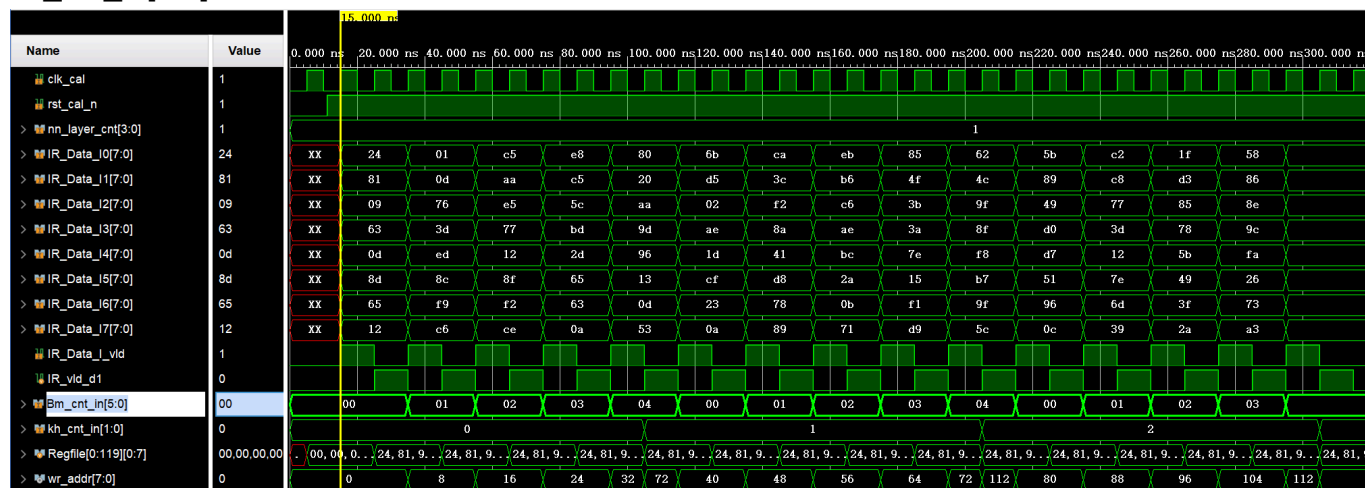
三个信号共同控制

第一批hu, 33——5列—— $5 \times 8 = 40$ 个reg存一行，一共需要120个reg

IR Data | vld

Bm cnt in[5:0]

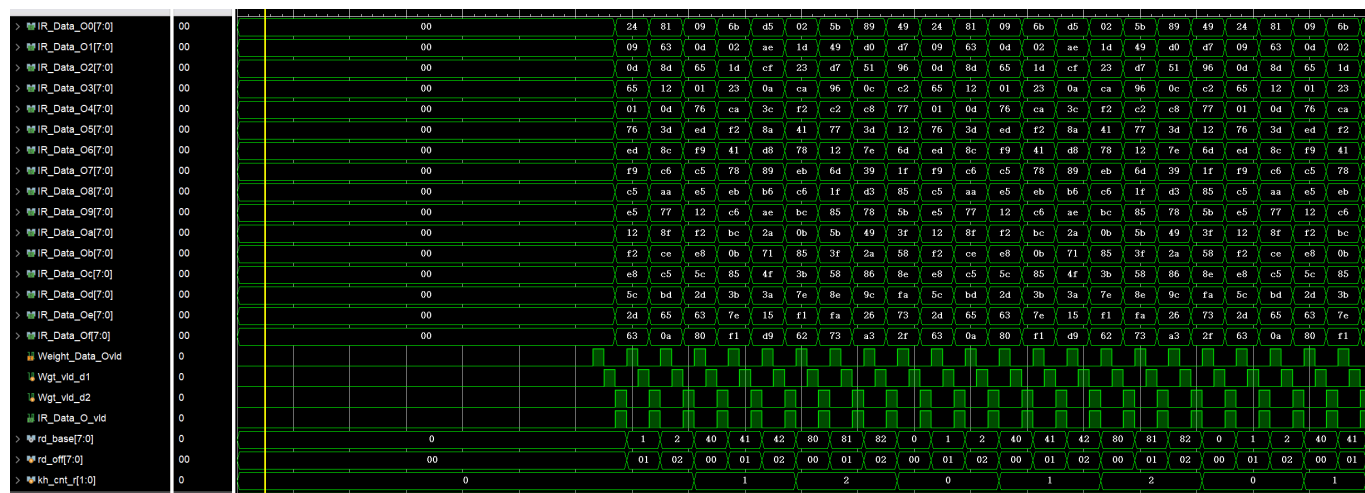
kh cnt in[5:0]同时进入，计数器用来算地址，完成120个数据的输入



2、读数据

延迟信号我没看明白，但可以肯定的是权重和数据需要一起到达pe阵列才对

这里的延迟要等顶层连接时才能看出来



现在这里的读地址和输出有效可以对齐
一行给9个数据对应地址

- row0---0、1、2
- row1---40、41、42
- row2---80、81、82

从第一列数据可以看出来，每行的窗口滑动2步