


실험 수업 수업계획서

과목명	컴퓨터공학 실험 II	학기	2024년 2학기
구분(학점)	3학점	과목번호	CSE 3016
수업시간	월 15:00 ~ 20:50	수강대상	2학년

	담당교수: 김 주 호	E-mail : jhkim@sogang.ac.kr
	홈페이지: cslab.sogang.ac.kr	연락처: 02-705-8927
	연구실: R906A 면담시간: 메일로 면담 시간 예약	

담당조교	담당조교: 김강훈	E-mail: iop1091@naver.com
	연구실: R906A	연락처: 010-8438-4869

I. 교과목 개요(Course Overview)

*이 실험 수업에 대한 간략한 소개(목표 및 운영방법)

1. 교과목표

디지털 논리회로의 이론을 바탕으로 디지털 논리회로의 설계 및 제작을 FPGA 상에서 구현하고 동작을 확인하여 디지털 논리회로의 설계능력을 배양하는데 목적을 둔다.

2. 수업 운영 방법

약 16주의 실험 수업은 담당교수의 지도하에 '강의' 와 '실험/실습' 및 '팀별 발표'의 3가지 수업 방식을 채택한다. 전체적인 비중을 보면 대략 '강의'는 10%, '실험/실습'은 80%, '팀별 발표'는 10%로 이루어진다.

1) 강의: '디지털 회로 개론' 수업에서 이해한 지식을 바탕으로 조교가 실험진행에 필요한 기초 지식을 매우 간단하게 강의 한다. 특정 틀에 맞춰서 수업 하지는 않는다.

2) 실험/실습: 선수 과목인 '디지털 회로 개론' 수업에서 배운 이론 내용을 실험/실습을 통해 학생 스스로 구현해 보고 올바르게 동작 하는지 확인을 한다. 매주 실험/실습의 예비 / 결과 레포트를 작성하여 학생 스스로 실험/실습을 위해 준비하고 실험결과를 확인하도록 유도 하고자 한다.

3) 팀별 발표: 매주 발표자가 해당 실험과 관련된 이론 및 실험/실습 내용에 대해서 발표한다.

<p>*이 실험 수업의 중요성과 의의(기대효과)</p> <p>컴퓨터 공학과 학부생들에게 디지털 회로에 대한 기초 이론을 바탕으로 실험/실습을 통해 디지털 논리에 대한 이해와 설계를 직접 하여, 이를 구현한 디지털 회로의 심도 있는 분석을 통해 종합적인 공학설계 능력을 향상 시키려 한다.</p> <p>*이론 수업과의 관련성</p> <p>‘디지털 회로 개론’ 이론 수업에서 이해한 이론을 바탕으로 실험/실습을 통해 FPGA상에서 구현해 봄으로써 디지털 논리에 대한 이해와 설계를 확실히 하는데 있다.</p> <p>*관련 응용 학문 분야</p> <p>컴퓨터 구조, 컴퓨터 네트워크, 알고리즘등 여러분야.</p>
--

II. 학습 목표(Learning Objectives)

지식 측면	• 실험 수행을 위한 이론적 지식 관련 목표
디지털 논리회로의 이론을 바탕으로 조합논리 회로(Combinational Logic)와 순차 논리 회로(Sequential Logic)를 이해하고 디지털 논리회로의 설계능력을 배양	
기술 측면	• 실험 수행 관련 목표
디지털 논리회로를 Verilog와 FPGA을 통해 구현하여 실제적인 회로의 설계능력을 함양	
태도 측면	• 실험 수행 태도 및 연구윤리 관련 목표
각 주차별 실험과제를 마치기 위해 주어진 시간 내에 집중력 있게 팀원들과 협동 요구	

III. 수업 준수 사항(Guidelines)

실험
<ul style="list-style-type: none"> • 실험/실습 규칙 : 조원들과의 활발한 소통을 통해 주어진 과제 수행 • 실험실 준수사항 : 실험 기자재 관리 및 사용 시 주의 요망 • 안전관련 유의사항(체크리스트) : 실험 기자재 동작 이상 유무 확인 필수
보고서
<ul style="list-style-type: none"> • 보고서 작성방법(형식 등) : 각 주차 별 주어진 양식에 맞추어서 성실하게 작성
발표/퀴즈/시험
<ul style="list-style-type: none"> • 각 주차별로 조별 발표 실시 / 필기시험은 기말 시험에서 1회 실시

기타

IV. 평가 기준(Grading Criteria)

평가의 주안점		• 전체적인 평가 방법과 주안점 소개
1) Combinational Logic과 관련한 이론들에 대해서 정확하게 이해하고 있는가? 2) Sequential Machine과 관련한 이론들에 대해서 정확하게 이해하고 있는가? 3) 실험/실습에 성실하게 또한 적극적으로 참여하고 있는가? 4) 실험/실습 예비 레포트 및 결과 레포트를 성실하게 빠짐없이 정확히 작성 하였는가?		
실험(별도 계상함)	보고서(80 %)	
출석과 실험에 임하는 태도(감점요소임)	주차별 예비/결과 보고서 각 10점 만점 기준	
퀴즈(0 %)	시험(10 %)	
	학기말 시험	
발표(10 %)	기타(0 %)	
각 조별 발표 점수		

V. 교재 및 참고문헌(Textbook and References)

가. 주 교재 : 강의 자료

나. 부 교재 : Introduction to Logic and Computer Design, Alan Marcovitz, McGrawHill, 2008

VI. 주차별 수업계획(Course Schedule)

1 주차	실험 목표	• FPGA 소개 및 설명
	학습 내용	• 강의 개념 및 실험 장비 소개
	비고	• 강의 / 실험
2 주차	실험 목표	• Verilog 기본 개념을 이해하고 구현
	학습 내용	• Verilog 기초
	비고	• 강의 / 실험
3 주차	실험 목표	• 기본논리게이트 AND/OR/NOT를 FPGA 상에서 구현한다.
	학습 내용	• Verilog / Boolean Algebra / Function
	비고	• 강의 / 실험
4 주차	실험 목표	• 논리게이트 NAND/NOR/XOR를 FPGA 상에서 구현한다.
	학습 내용	• Verilog / Boolean Algebra / Function
	비고	• 강의 / 실험
5 주차	실험 목표	• De Morgan의 정리 / Boolean 함수를 FPGA 상에서 구현한다.
	학습 내용	• Verilog / De Morgan의 정리 / Boolean 함수
	비고	• 강의 / 실험
6 주차	실험 목표	• 다양한 논리 및 연산회로를 FPGA 상에서 구현한다.
	학습 내용	• Verilog / 논리 및 연산회로
	비고	• 강의 / 실험
7 주차	실험 목표	• Parity Bit 생성기 및 2진 비교기를 FPGA 상에서 구현한다.
	학습 내용	• Verilog / Parity Bit 생성기 및 2진 비교기 이해
	비고	• 강의 / 실험

8 주차	실험 목표	• 중간고사
	학습 내용	• 중간고사
	비고	• 중간고사
9 주차	실험 목표	• 다양한 다중출력회로를 FPGA 상에서 구현한다.
	학습 내용	• Verilog / 다중출력회로(7-Segment)
	비고	• 강의 / 실험
10 주차	실험 목표	• Decoder / MUX를 FPGA 상에서 구현하고 동작을 분석한다.
	학습 내용	• Verilog / Decoder / MUX
	비고	• 강의 / 실험
11 주차	실험 목표	• 다양한 연산회로를 FPGA 상에서 구현해보고 동작을 분석한다.
	학습 내용	• Verilog / 다양한 연산회로 동작
	비고	• 강의 / 실험
12 주차	실험 목표	• SR / D / JK Flip-Flop를 FPGA 상에서 구현하고 동작을 분석한다.
	학습 내용	• Verilog / 논리 및 연산회로(SR / D / JK Flip-Flop)
	비고	• 강의 / 실험
13 주차	실험 목표	• 순차회로의 설계 절차에 대한 이해를 바탕으로 회로를 FPGA 상에서 구현하고 동작을 확인한다.
	학습 내용	• Verilog / 순차회로의 설계 절차 / Counter
	비고	• 강의 / 실험
14 주차	실험 목표	• Shift Register / Counter를 FPGA 상에서 구현한다.
	학습 내용	• Verilog / Shift Register / Counter
	비고	• 강의 / 실험
15 주차	실험 목표	• Sequence Detector를 FPGA 상에서 구현한다.
	학습 내용	• Verilog / Sequence Detector
	비고	• 강의 / 실험
16 주차	실험 목표	• 학기말시험
	학습 내용	• 학기말시험
	비고	• 필기시험

VII. 장애학생 지원 사항(Aid for the Challenged Students)

장애로 인해 수강시 지원이 필요한 학생들은 개별적으로 찾아와 상의하기 바랍니다.
- 좌석 우선배정 / 과제 제출일 연장 / 평가시 시험시간 연장 혹은 도우미 제공 등

VIII. 참고사항(Special Accommodations)

1) 교수와의 관계

- 교수와 학생의 관계를 단기적이고 개인적 관계로만 규정하지 않고, '서강대 공동체'의 일원으로 서로가 부끄러움이 없는 관계가 될 수 있도록 매 순간 하나하나의 언행에 유의하며 소통하도록 한다.

2) 학우들과의 관계

- 가장 두려운 평가는 학우들에게서 나오는 것임을 인식하고, 동료 수강생과의 관계를 단기적이고 일시적이며 경쟁적으로만 설정하지 말고, 이후에도 서로 격려하고 긍정적으로 평가할 수 있는 관계가 되도록 언행에 유의하며 소통하도록 한다.

***실험 일정(Schedule Overview)**

전체 실험 분반 정보							
분반	담당교수	담당조교	시간/실험실	분반	담당교수	담당조교	시간/실험실
01	김주호		15:00-20:50 / AS714	05	남종호		15:00-20:50 / AS714
02	박수용		15:00-20:50 / AS714				
03	박운상		15:00-20:50 / AS714				
04	이혁준		15:00-20:50 / AS714				

주	날짜	실험 주제	비고
1		General Informations/Number Systems	
2		Boolean Algebra / Function (1)	
3		Boolean Algebra / Function (2)	
4		De Morgan의 정리 / Boolean 함수	
5		논리 및 연산회로	
6		Parity Bit 생성기 및 다중출력회로	
7		MSI/LSI 조합회로 Decode / MUX	
8		중간시험기간	
9		MSI / LSI 연산회로	
10		SR / D / JK Flip-Flop	
11		순차회로의 분석 절차	
12		순차회로의 설계 절차	
13		MSI/LSI 순차회로 / Shift Register / Counter	
14		Project 1 - Verilog HDL을 이용한 Digital Logic 설계	
15		Project 2 - Verilog HDL을 이용한 Digital Logic Simulation	

16		학기말 시험	
----	--	--------	--