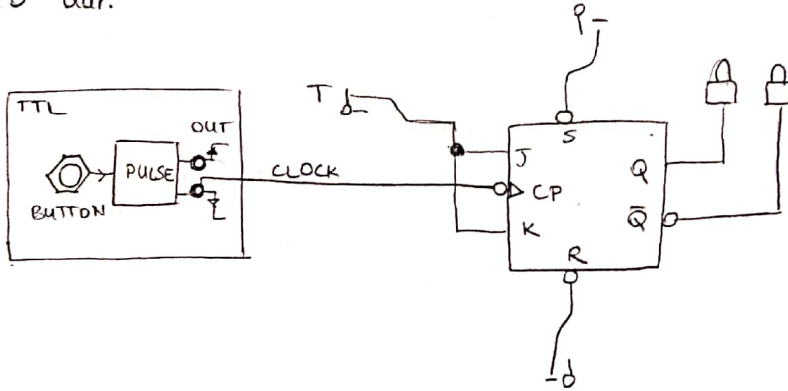


- 1) T Flip Flop devresi JK FF'nin girişlerinin birleştirilip tek giriş olarak kullanılmasıyla oluşan devre, 'Toggle Flip Flop' olarak isimlendirilir.

'Toggle' durumdan duruma geçme demektir. T tipi FF'de; $T=1$ iken, tetikleme sinyalinin uygulanmasıyla sahip olunan çıkışın terslenmiş hali elde edilir. T tipi FF'de $Q=0$ ve $T=0$ iken, 'CLK' sinyalinin gelmesi durumunda çıkışta $Q=0$ değeri korunur. $Q=0$ ve $T=1$ değerlerinde, ilk gelen 'CLK' sinyali ile çıkış durum değiştirilerek bir önceki durumun tersi olur ve $Q=1$ değerini alır. $Q=1$ ve $T=0$ iken, 'CLK' sinyali uygulanırsa bile devre sahip olduğu çıkışı korur ve $Q=1$ değerini alır. $Q=1$, $T=1$ iken 'CLK' sinyali ile çıkış terslenir ve $Q=0$ dur.



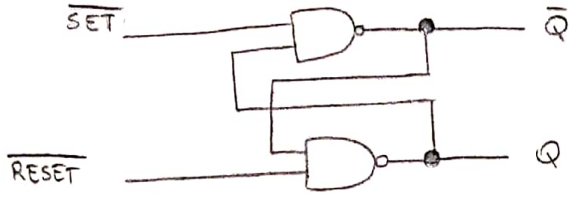
Sekil 1.2 JK Flip Flop ile T Flip Flop elde edilmesi

| Asenkron Girişler | | Senkron Girişler | | | Çıkışlar | | Açıklamalar |
|-------------------------|------------------------|------------------|---|-----------|----------|-----------|----------------------|
| PRESET (\bar{S}) | CLEAR (\bar{R}) | T | K | CLK | Q | \bar{Q} | $Q +$ |
| 0 | 0 | X | | X | 1 | 0 | Önceki durum |
| 0 | 1 | X | | X | 0 | 1 | Önceki durum |
| 1 | 0 | X | | X | 1 | 0 | Kullanılmıyor |
| 1 | 1 | 0 | | \square | 1 | 0 | Önceki durum |
| 1 | 1 | 1 | | \square | 0 | 1 | Önceki durumun tersi |

Tablo 1.1 T Flip Flop devresi doğruluk tablosu

2)

Sevgi Nur ÖKSÜZ 21360859073

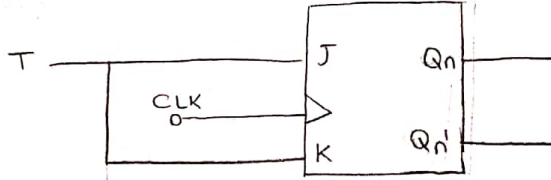


Şekil 2.2 NAND kapıları ile gerçekleştirilmiş RS flip flop (Aktif - 0 giriшли)

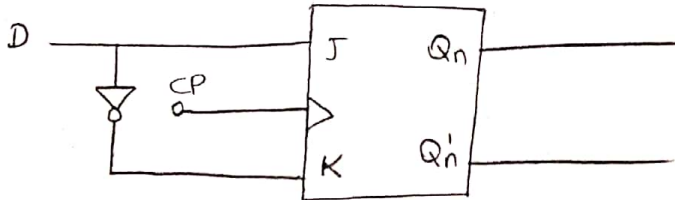
| GİRİŞLER | | ÇIKIŞLAR | |
|----------|---|----------|-----------|
| S | R | Q | \bar{Q} |
| 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 |

Tablo 2.1 RS Flip Flop devresi doğruluk tablosu

3)

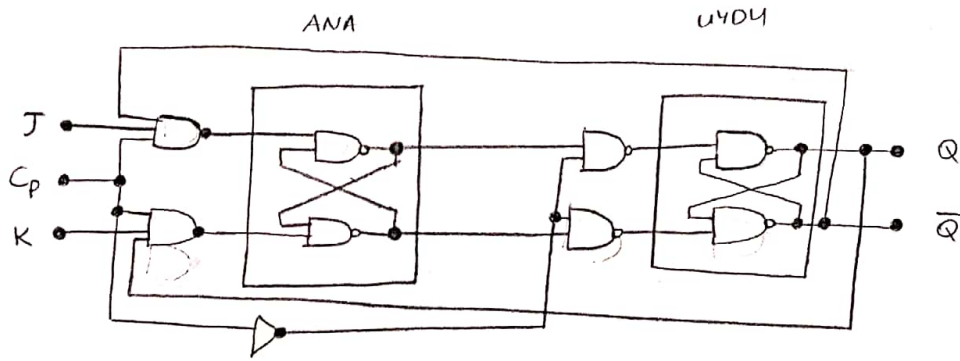


Şekil 3.1 JK Flip Flop'tan T Flip Flop devresi



Şekil 3.2 JK Flip Flop'tan D Flip Flop devresi

- 4) Ana Uydu (Master Slave) Flip Flop JK FF'nin çıkışında tetikleme palsinin zamanıyla ilgili bazı sorunlar ortaya çıkmaktadır. Master Slave (ana uydu) tipi FF'ler JK FF'nin geliştirilmiştir. Bir ana uydu flip flop devresi iki RS flip flop ve harici bir DEĞİL (NOT) kapısından oluşur. Birinci flip flop 13 ana, ikinci flip flop ise uydu flip flopunu oluşturur. Şekil 4.1 'de ana uydu flip flop devresi gösterilmektedir.



Şekil 4.1 Ana uydu flip flop logic devresi

Master, pozitif kenar, slave, negatif kenar tetiklenmelidir. Aynı tetikleme palsinin pozitif kenarında girişler alınmakta, negatif kenarında ise çıkışlar üretilmektedir. Yani pozitif tetiklenme palsleri master'a uygulanır. Bu pals slave'e uygulamadan önce degilleme işlemi yapılır. Bu durumda $K=1$ 'dir ve master kontrol durumundadır. Bu anda $Cp=0$ olup slave konum değiştirmez. Q , tetikleme palsinin zamanı boyunca konum değiştirmez. $Cp=0$ olduğunda NOT kapısının çıkışında 1 oluşur ve slave kontrol durumuna geçer. Master FF konum değiştirmez. Tetikleme girişi (Cp) düşen kenar olduğu zaman DEĞİL kapısı çıkışı uydu Flip Flop tetikleme girişini (Cp) yükselen kenar yapacağından uydu flip flop yetkilenir ve uydu RS girislerinde ana flip flopun çıkışları olan Y ve Y' olduğundan, uydu flip flopun Q çıkışında Y , Q' çıkışında Y' görülecektir. Ana flip flop tetikleme girişinde bir düşen kenar olduğundan girişteki değişim ne olursa olsun bir önceki durum korunacaktır.