

DERS NOTLARI

Yard. Doç. Dr. Namık AKÇAY
İstanbul Üniversitesi
Fen Fakültesi

DERS-8 → 17.04.2019

Giriş

Kare veya dikdörtgen sinyal üreten elektronik devreler '**Multivibratör**' olarak adlandırılır. Multivibratörlerin ürettiği sinyaller, dijital devrelerde tetikleme sinyali olarak kullanılır. Multivibratörler üç gruba ayrılır:

- i- Serbest çalışan (Astable) multivibratörler,
- ii- Tek kararlı (Monostable) multivibratörler,
- iii- **Çift kararlı (Bistable) multivibratörler.**

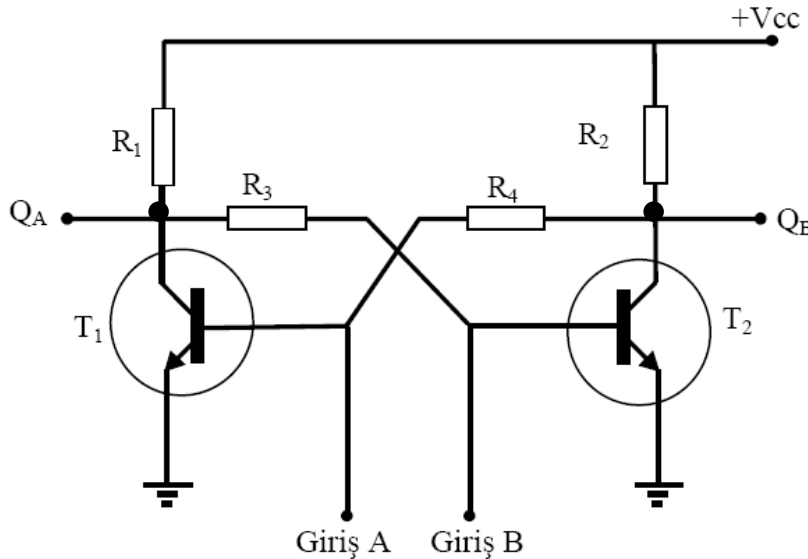
Dışarıdan bir müdahale gereksinim duymadan, belirli aralıklarla durum değiştirerek sinyal üreten multivibratör, '**serbest çalışan multivibratör**' olarak isimlendirilir.

Dışarıdan uygulanan uygun bir sinyal ile durumunu geçici bir süre değiştirip, bir süre sonra tekrar eski durumuna dönen multivibratör devresi, '**tek kararlı multivibratör**' olarak adlandırılır. Bu tip multivibratörde, girişe uygulanan sinyal ile devrenin eski durumuna dönme süresi ayarlanarak, istenilen şekilde kare veya dikdörtgen dalga üretilebilir kullanılan mantık devreleridir.

MULTİVİBRATÖR VE FLİP – FLOPLAR



Dışarıdan bir müdahale yapılmadığı sürece bulunduğu durumu sonsuza dek koruyan multivibratör devresi, '**çift kararlı multivibratör**' olarak adlandırılır. Öncelikle bu tip multivibratörü oluşturan elektronik devreyi inceleyelim.



Şekil 9.1. Çift kararlı multivibratör devresi.

FLİP – FLOPLAR



Sekil 9.1’de elektronik devresi görülen çift kararlı multivibratör devresine dışarıdan bir etki yapılmadığı sürece transistörler durumlarını ve çıkışlarda sahip oldukları değerlerini korurlar. Devrede iki transistör aynı çalışma durumunda bulunamaz.

Devrenin çalışmasını açıklamaya yardımcı olması amacıyla T1’in iletimde, T2’nin yalıtımda olduğunu kabul edelim.

T1 iletimde iken, T2’nin beyzi R3 üzerinden şase potansiyelindedir (yaklaşık 0 V) ve bu nedenle yalıtıkandır. Dışarıdan uygulanacak bir etki (sinyal) ile T1 transistörü yalıtıma götürülürse, T1’in kolektöründe R1 üzerinden +V gerilimi gözükür. Bu durumda lojik ‘0’ değerine sahip olan QA çıkışı durum değiştirir ve QA=1 değerini alır.

T1’in kolektöründeki gerilim R3 üzerinden T2 transistörünün beyzine uygulandığından, T2 ilettime geçer. T2’nin kolektörü şase potansiyeline gelir ve bu noktaya bağlı olan T1 transistörünü yalıtımda tutar. Bu durum, T2’nin girişine bir etki uygulanıp yalıtıma götürülünceye kadar devam eder. Çalışması anlatılan devre, dijital elektronikte yaygın olarak kullanılan ve bu nedenle geniş olarak inceleyeceğimiz **Flip-Flop (FF)** devresinin temelini oluşturur.

Flip-Flop'lar ve Flip-Flop Çesitleri

Devreye çalışma gerilimi uygulandığı sürece durumunu devamlı olarak koruyabilen multivibratör çeşidi, **'Flip-Flop'** olarak adlandırılır ve **'FF'** harfleri ile sembolize edilir.

Lojik kapılarla oluşturulan flip-flop'lar, lojik devrelerde kullanılan en önemli bellek elemanlarıdır. Flip-flop'ları oluşturan lojik kapılar normalde kendi başlarına bilgi saklama kapasitesine sahip değildir. Ancak, birkaç tane kapı devresi bilgi saklama işlemi oluşturacak şekilde bağlanarak bilgi saklama kapasitesi oluşturulabilir.

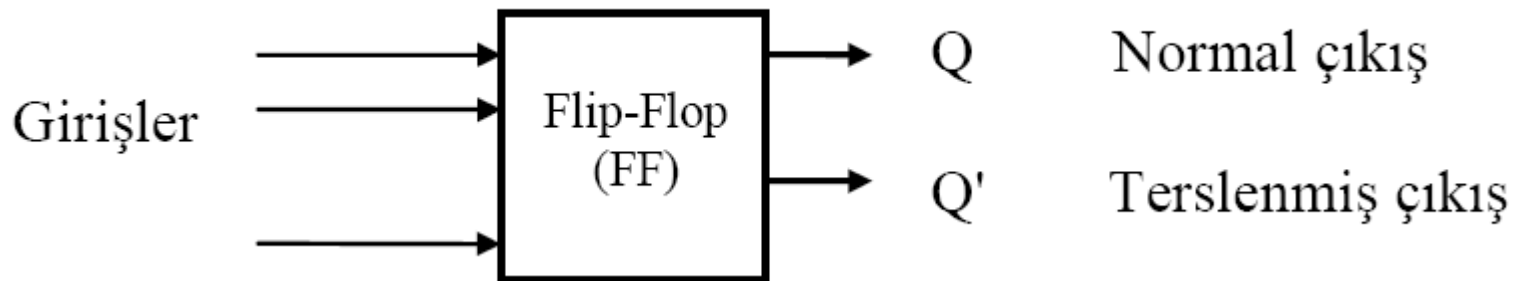
Bir bitlik bilgi saklama yeteneğine sahip flip-flop devrelerinde, biri saklanan bilginin (bitin) normal değerine, diğeri tümleyen değerine sahip iki çıkış bulunur. Şekil 9.2'de sembolü görülen FF, Q ve Q' olarak isimlendirilen ve birbirinin tersi olan iki çıkışa sahiptir. **'Q çıkışı normal çıkış, Q' ise terslenmiş çıkış'** olarak kabul edilir. Çıkış dendiği zaman, Q çıkışı referans alınır. Örneğin; FF'nin çıkışı '1' dendiği zaman, Q=1 kastediliyordur ve bu durumda Q'=0 değerine sahiptir.

FLİP – FLOPLAR



Flip-Flop'lar ve Flip-Flop Çesitleri

İki farklı konumdan (0 veya 1) birisini alabilen FF'de, çıkışların alacağı değerleri FF'nin konumunu değiştirme kapasitesine sahip girişler belirler. FF'nin çıkış durumunu değiştirmek için, girişin tetiklenmesi gerekir. FF'nin çıkışını değiştiren tetikleme darbesinin sona ermesinden sonra, FF'nin çıkışı konumunu korur. Bu durum FF'nin bellek özelliği göstermesini sağlar. Diğer bir deyişle, tetikleme sinyali ile FF'nin durumu değiştirilmediği sürece FF durumunu sonsuza kadar koruyabilir



Şekil 9.2. Flip - Flop devresi genel sembolü.

Flip-Flop'lar ve Flip-Flop Çesitleri

İkili bilgilerin flip-flop'a farklı şekillerde uygulanması sonucu, flip-flop çeşitleri oluşur. Diğer bir deyişle; temel FF devresinin bağlantısının değiştirilmesi ve yeni özellikler eklenmesi ile oluşturulan çeşitli FF türleri bulunmaktadır.

Bunlardan en çok kullanılanlar;

- 1-) R - S (Reset - Set) tipi FF.
- 2-) Tetiklemeli (clocked) R- S FF.
- 3-) J - K Tipi FF.
- 4-) Ana - Uydu (Master - Slave) Tipi FF.
- 5-) D (Data) Tipi FF.
- 6-) T (Toggle) Tipi FF.

olarak sıralanabilir. En çok kullanılan FF çeşitlerini ayrıntılı olarak inceleyelim.

FLİP – FLOPLAR



RS Flip-Flop Devresi

İki çıkışa sahip FF'de, iki farklı çıkış durumu ortaya çıkar: $Q=0$, $Q'=1$ ve $Q=1$, $Q'=0$ durumları.

$Q=0$ ve $Q'=1$ olduğu durum, çıkış '0' veya **'reset-sıfırla' durumu olarak tanımlanır.**

Oluşabilecek ikinci durumunu ifade eden $Q=1$ ve $Q'=0$ durumu, çıkış '1' veya **'set-kur' durumu olarak adlandırılır.**

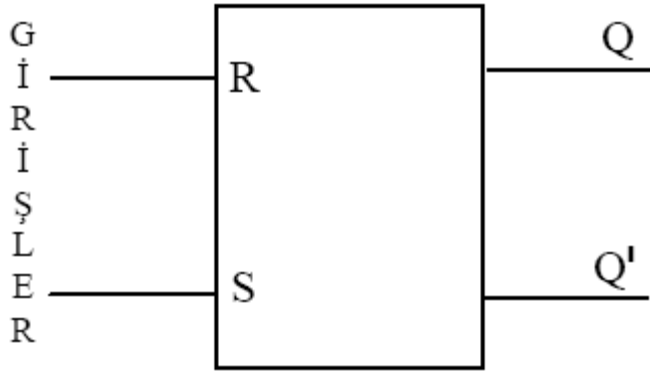
Bu durumda, FF'nin $Q=0$ olmasını sağlayan girişi 'Reset-R', $Q=1$ durumunu oluşturan girişi ise 'Set-S' olarak düşünülebilir. Çıkışların birbirinin tersi olduğu bu durumlar, normal çalışma durumları olarak kabul edilir. FF girişlerinin 'set-kur (S)' ve 'reset-sil (R)' olarak isimlendirilmesi ile, R-S FF olarak adlandırılan FF türü ortaya çıkar (Şekil 9.3). RS tipi FF;

$Q=1$ ve $Q'=0$ iken **'set' (kurma)**, $Q=0$ ve $Q'=1$ olduğunda ise **'reset' (silme) durumundadır.**

FLİP – FLOPLAR



RS Flip-Flop Devresi



Şekil 9.3. RS tipi FF sembolü.

Temel FF devresi, iki 'VEDEĞİL' veya iki 'VEYADEĞİL' kapısı ile gerçekleştirilebilir.

'VEDEĞİL' kapılarıyla yapılan devre 'VEDEĞİL latch' veya kısaca 'lanch' olarak, 'VEYADEĞİL' kapıları kullanılarak oluşturulan devre ise 'VEYADEĞİL lanch' diye isimlendirilir. Her iki tip 'lanch' devresinde, kapılardan birinin çıkışı diğerinin girişine çapraz şekilde bağlanmıştır. Q ve Q' olarak isimlendirilen kapı çıkışları, 'lanch' çıkışlarıdır. (Sekil 9.4).

FLİP – FLOPLAR



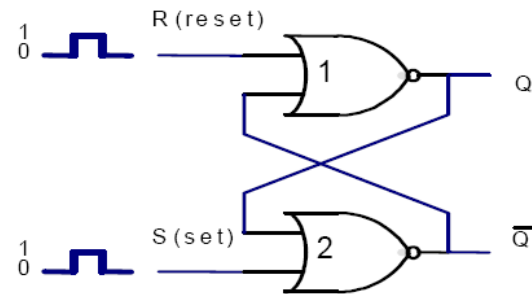
RS Flip-Flop Devresi

‘VEYADEĞİL’ kapısının girişlerinden birisinin ‘1’ olması, çıkışının ‘0’ olması için yeterlidir. Her iki girişin ‘0’ olması durumunda, çıkış ‘1’ olur. ‘VEYADEĞİL’ kapısının özelliğini hatırlattıktan sonra, ‘VEYADEĞİL’ kapıları ile oluşturulan RS FF devresinin çalışmasını inceleyelim (Şekil 9.4).

S	R	Q	Q'
1	0	1	0
0	0	1	0
0	1	0	1
0	0	0	1
1	1	0	0

S=1, R=0 dan sonra

S=0, R=1 den sonra
(yasak)



Şekil 9.4. ‘VEYADEĞİL’ kapıları ile yapılan RS-FF devresi ve doğruluk tablosu

FLİP – FLOPLAR



RS Flip-Flop Devresi

‘VEYADEĞİL’ kapılarıyla oluşturulan FF devresinde, FF’nin durumu değiştirilmediği sürece her iki giriş ‘0’ değerine sahiptir (Şekil 9.4). Set girişine ‘1’ uygulanması, 2 nolu ‘VEYADEĞİL’ kapısının çıkışının ve 1 nolu ‘VEYADEĞİL’ kapısının girişlerinin birisinin ‘0’ olmasını sağlar. Bu anda 1 nolu ‘VEYADEĞİL’ kapısının her iki girişi ‘0’ değerini alır.

Her iki girişi ‘0’ olan 1 nolu ‘VEYADEĞİL’ kapısı çıkışı ‘1’ olur. Bu durum, FF’nin ‘set’ durumuna ($Q=1$) geçmesine neden olur. Reset girişine ‘1’ uygulanması; 1 nolu ‘VEYADEĞİL’ kapısının çıkışının ve 2 nolu

‘VEYADEĞİL’ kapısının girişinden birisinin ‘0’ olmasına neden olur. Aynı anda diğer girişi de ‘0’ olan 2 nolu ‘VEYADEĞİL’ kapısının çıkışı ‘1’ değerini alır. Bu durum, FF’nin $Q=0$ (reset) durumuna geçmesini sağlar. Her iki girişe ‘0’ uygulanması, FF set durumunda iken set girişine ‘1’ uygulanması veya FF reset durumunda iken reset girişine ‘1’ uygulanması durumları, FF’ un konumunu (çıkışları) değiştirmez.

Her iki girişin ‘0’ olduğu durum, ‘belirsizlik’ olarak tanımlanır ve bu durumda FF en son bulunduğu konumu korur. Her iki girişe ‘1’ uygulanması durumunda ise iki çıkışta 0’a gider. **‘Tanımsız’ olarak isimlendirilen bu durumdan kaçınılması gerekir.**

FLİP – FLOPLAR



RS Flip-Flop Devresi

RS FF, 'VEYADEĞİL' kapıları ile oluşturulmasına benzer şekilde, 'VEDEĞİL' kapıları ile de oluşturulabilir. Şekil 9.5'de 'VEDEĞİL' kapılarıyla oluşturulan RS FF devresi ve doğruluk tablosu görülmektedir. 'VEDEĞİL' kapısının girişlerinden biri '0' olduğu durumda çıkış '1' değerini alır. Devrenin çalışmasını anlamak için, farklı giriş durumlarında oluşacak olayları inceleyelim:

Girişlere $S=0$, $R=1$ uygulanması durumunda, **2 nolu 'VEDEĞİL' kapısının girişlerinden birisi '0' olur.**

Girişlerden birisinin '0' olması, ilgili 'VEDEĞİL' kapısının çıkışının '1' olması için yeterlidir. Bu durumda $Q'=1$ değerini alır. Bu değer ile 1 nolu 'VEDEĞİL' kapısının her iki girişi '1' olacağından, $Q=0$ çıkışı oluşur.

Sonuç olarak; $S=0$, $R=1$ giriş değerlerinde çıkışlarda $Q=0$, $Q'=1$ değerleri okunur. $Q=0$ ve $Q'=1$ oluşmasını sağlayan işlem, '**sıfırlama-(resetting)**' olarak, $Q=0$ durumu ise '**sıfır (reset) durumu**' olarak isimlendirilir.

FLİP – FLOPLAR

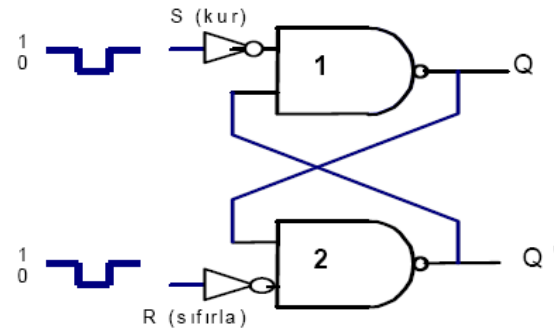


RS Flip-Flop Devresi

S	R	Q	Q'
1	0	1	0
0	0	1	0
0	1	0	1
0	0	0	1
1	1	1	1

S=1, R=0 dan sonra

S=0, R=1 den sonra
(yasak)



Şekil 9.5. 'VEDEĞİL' kapıları ile oluşturulan RS-FF devresi ve doğruluk tablosu

'VEDEĞİL' kapısı ile oluşturulan FF devresi girişlerine S=1 ve R=0 değerleri uygulandığında;

1 nolu 'VEDEĞİL' kapısının 'DEĞİL' kapısına bağlı olan girişi '0' olur ve girişlerinden birisi '0' olan bu kapının çıkışı '1' değerlerini alır. Bu durumda, 2 nolu 'VEDEĞİL' kapısının her iki girişi '1' olduğundan Q'=0 değeri oluşur. Q=1 ve Q'=0 konumunda iken, R=1 olsa bile NAND-1'in çıkışı '1', NAND-2'nin çıkışı '0' değerlerini saklar.

FF devresinde S=1 olması ile oluşan Q=1 durumu; **'kurma (set) durumu'**, Q=1 olmasını sağlayan işlem ise; **' kurma (setting)' olarak isimlendirilir.**

FLİP – FLOPLAR



RS Flip-Flop Devresi

$Q=0$ ve $Q'=1$ iken; $S=0$ ve $R=0$ girişleri uygulanırsa, $Q=0$ değeri (çıkışı) 'VEDEĞİL'-2'nin çıkışının '1' konumunda kalmasını sağlar. Bu durum; $Q=0$ ve $Q'=1$ iken, $S=R=0$ yapılması devrede herhangi bir değişiklik yapmaz diye özetlenebilir.

Her iki girişin aynı anda '1' olması durumunda $Q=Q'=1$ olur ve istenilmeyen bir durum ortaya çıkar. 'Yasak durum' olarak adlandırılan bu durumdaki çalışmadan kaçınmak gerekir.

Bu durum, $S=R=1$ durumu 'VEDEĞİL' ile yapılan FF'lerde kullanılamaz diye özetlenebilir. Burada açıklanan ve RS (reset-set) Flip-Flop olarak isimlendirilen FF bağlantısının değiştirilmesi ve yeni özellikler eklenmesi ile diğer FF çeşitleri oluşturulur.

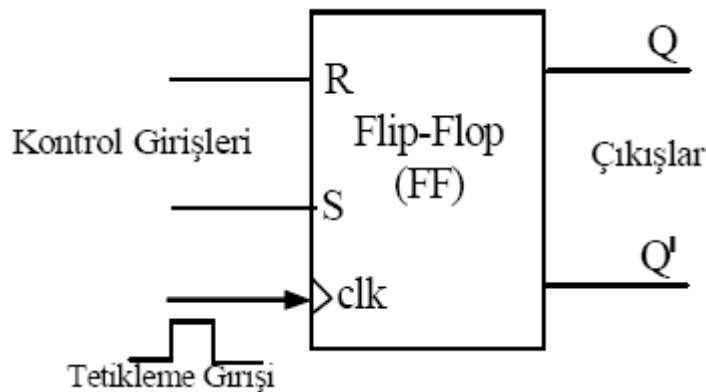
FLİP – FLOPLAR



2-Tetiklemeli - Saatli (Clocked - Triggered) R- S Tipi Flip- Flop

FF'nin konumunun değiştirilmesi işlemi, '**tetikleme**' olarak adlandırılır. **Tetikleme girisinin** bulunmadığı, FF durumlarının kontrol girislerindeki bilginin değişmesi anında değiştiği FF'ler 'Asenkron FF'ler' olarak isimlendirilir. Senkron sistemlerde herhangi bir çıkışın değerinin değişebileceği zamanlar, '**tetikleme sinyali**' (clock - saat) adı verilen, **kare veya** dikdörtgen şeklindeki sinyal tarafından belirlenir.

Tetikleme sinyali olarak kullanılan sinyalin aktif durum (kenar) değişimi 0'dan 1'e ise buna '**pozitif kenar değişimi**' (positive going transition - PGT), aktif durum değişimi 1'den 0'a doğru ise '**negatif kenar değişimi**' (NGT) denir.



Şekil 9.6. Tetiklemeli RS FF sembolü.

2-Tetiklemeli - Saatli (Clocked - Triggered) R- S Tipi Flip- Flop

‘Tetikleme sinyali’ olarak isimlendirilen sinyal, tetiklemeli FF’lerde bulunan üçüncü girişe uygulanır. Tetikleme işleminin oluşması için gerekli tetikleme sinyalini FF’ye uygulama kamacıyla FF’de oluşturulan üçüncü giriş, ‘tetikleme girişi’ olarak adlandırılır (Sekil 9.6).

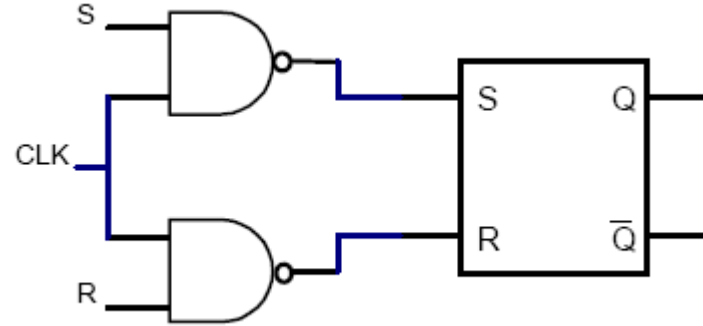
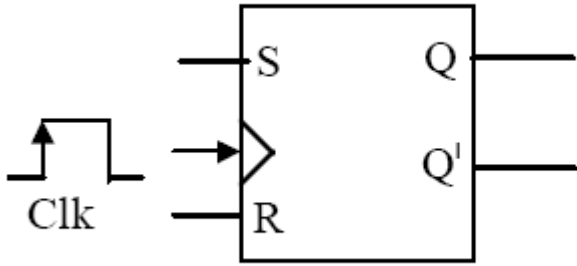
Tetikleme girişi, ‘clk’ harfleri ile gösterilir ve ‘**clk girişi**’ olarak da isimlendirilir. Tetikleme girişinin eklenmesiyle senkron ardışıl devre durumuna gelen FF devresinde, R-S girişlerinin değişmesi çıkışları hemen değiştiremez. Çıkışların değişmesi, tetikleme girişine uygulanan işarete bağlıdır.

Tetiklemeli RS FF’ler, RS FF devresinin girişlerine kapı devreleri eklemek suretiyle elde edilir. Tetikleme girişi eklenmiş R-S FF devresinin sembolü ve ‘VEDEĞİL’ kapılarıyla tetikleme girişi oluşturulması işlemi Sekil 9.7’de görülmektedir. Yapılan işlem, RS FF’nin girişlerine 3. giriş oluşturacak şekilde ‘VEDEĞİL’ kapıları bağlanmasıdır

FLİP – FLOPLAR



2-Tetiklemeli - Saatli (Clocked - Triggered) R- S Tipi Flip- Flop



Sekil 9.7. Tetiklemeli R-S FF'nin sembolü ve 'VEDEĞİL' girişli tetiklemeli RS FF olusturulması.

Sekil 9.8.a ve 9.8.b'de 'VEDEĞİL' kapılarıyla oluşturulan tetikleme girişinin, 'VEYADEĞİL' ve 'VEDEĞİL' kapılarıyla oluşturulan RS FF devresine eklenmesi ile oluşan tetiklemeli RS FF devreleri görülmektedir. Sekil 9.8.c'deki doğruluk tablosunda, farklı S-R giriş durumlarında 'Clk' sinyalinin etkisi açıklanmaktadır. Sekil 9.8.d'de S ve R girişlerinin aldıkları farklı değerler ve 'Clk' sinyali ile Q çıkışının aldığı durumlar dalga şekilleri olarak gösterilmektedir.

2-Tetiklemeli - Saatli (Clocked - Triggered) R- S Tipi Flip- Flop

‘VE’ ve ‘VEYADEĞİL’ kapıları ile oluşturulan tetiklemeli RS FF’de oluşan olaylar aşağıdaki şekilde özetlenebilir:

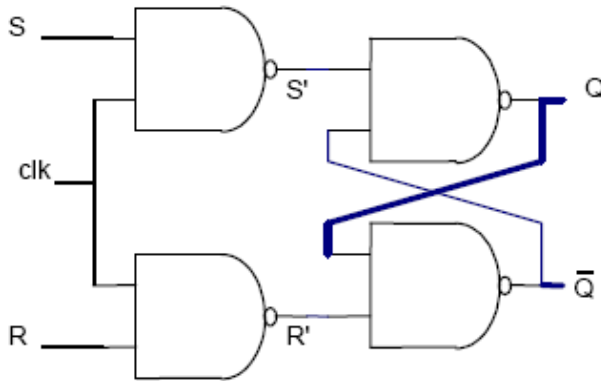
Başlangıçta $R=S=0$ ve $Q=0$ iken; $Clk=1$ değerini alsa bile, FF’nin durumu değişmez ve $Q=0$ durumu devam eder. Bu durum, $R=S=0$ girişlerinde FF mevcut durumunu korur şeklinde özetlenebilir.

$S=1$, $R=0$ girişlerinde, ‘Clk’ sinyalinin yükselen kenarı ile FF etkilenir ve $Q=1$ değerini alır. S , R girişleri durumlarını korurken, ‘Clk’ sinyali durum değiştirse dahi $Q=1$ durumu devam eder. $S=1$, $R=0$ durumunda iken, ‘Clk’ sinyalinin yükselen kenarının oluşturduğu $Q=1$ çıkışı, **‘set’ durumu olarak isimlendirilir.** $S=0$, $R=1$ değerlerine sahip iken ‘Clk’ sinyalinin ilk yükselen kenarı ile $Q=0$, $Q'=1$ değerleri oluşur. Bu durum $S=0$, $R=1$ olduğu sürece devam eder ve **‘sıfır (reset)’ konumu olarak** adlandırılır. $S=1$, $R=1$ durumu çıkışta belirsizlik oluşturacağından bu durumdan kaçınılmalıdır. Belirsiz çıkış, FF’nin kullanıldığı devrede düzensiz çalışmaya neden olur.

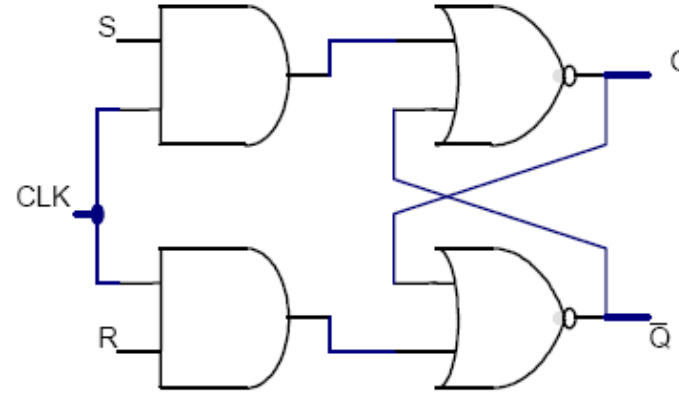
FLİP – FLOPLAR



2-Tetiklemeli - Saatli (Clocked - Triggered) R- S Tipi Flip- Flop



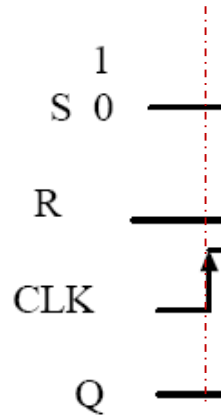
a) 'VEDEĞİL' kapılı tetiklemeli R-S FF.



b) 'VE/VEYADEĞİL' kapılı tetiklemeli FF.

R	S	CLK	Çıkış Q
0	0	1	Q_0 (Değişiklik yok)
0	1	1	1
1	0	1	0
1	1	1	Belirsiz

c) Doğruluk tablosu.



d) RS FF örnek durum değişimleri.

Sekil 9.8. Tetiklemeli R-S Flip-Flop lojik devreleri, karakteristik tablosu ve örnek durum değişimi.

2-Tetiklemeli - Saatli (Clocked - Triggered) R- S Tipi Flip- Flop

Sonuç olarak; senkronize kontrol girişleri olarak isimlendirilen R ve S girişlerinin, 'Clk' sinyali yardımıyla FF'nin çıkış durumunu belirlediği söylenebilir. Negatif tetiklemeli FF'lerde oluşan doğruluk tablosu, pozitif kenar tetiklemeli R-S FF'lerin aynısıdır.

Tek fark; durum değişmesini sağlayan işaretin 1'den 0'a giderken FF'nin konumunu değiştirmesidir.

Sekil 9.8'de gösterilen her iki tip tetiklemeli R-S FF, çeşitli dijital devrelerde kullanılmaktadır.

Tetiklemeli FF olarak D ve JK Flip-Flop'lar tercih edilmektedir. RS FF'lerin, tetikleme işleminden beklenen işlemleri gerçekleştirmemesi nedeni ile RS FF'ler tetiklemez asenkron ardışıl devrelerde kullanılır. Tetikleme işleminin bulunduğu devrelerde ise JK veya D tipi FF'ler kullanılır ve özellikle daha basit yapıda olması nedeni ile D FF'ler tercih edilir.

FF doğruluk tablosunda Q çıkışı olarak belirtilen değerler, FF'nin bulunulan andaki durumunu gösterir. S ve R girişlerinin mümkün olan kombinasyonlarına tetikleme sinyali uygulanması durumunda oluşan yeni çıkış durumları, '**Q(t+1) durumu**' olarak isimlendirilir.

FLİP – FLOPLAR

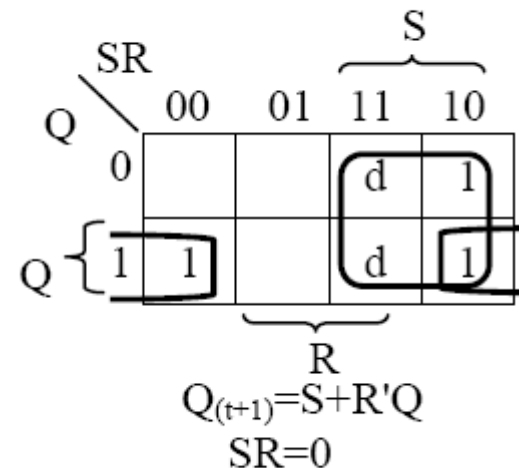


2-Tetiklemeli - Saatli (Clocked - Triggered) R- S Tipi Flip- Flop

Q değeri göz önünde tutularak (üçüncü giriş olarak kabul edilip) R-S değerlerine göre $Q(t+1)$ çıkışı yazılırsa; Şekil 9.9.a'daki doğruluk tablosu oluşur. Oluşan doğruluk tablosu, 'FF karakteristik tablosu' olarak isimlendirilir.

Q	S	R	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	Tanımsız
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	Tanımsız

(a)



(b)

Şekil 9.9. Tetiklemeli R-S FF'nin karakteristik tablosu ve karakteristik denklemi.

2-Tetiklemeli - Saatli (Clocked - Triggered) R- S Tipi Flip- Flop

Oluşan doğruluk tablosunun Karnaugh haritasına tasınması ile, Şekil 9.9.b'deki Karnaugh haritası ortaya çıkar. Doğruluk tablosunda bulunan belirsiz durumlar, Karnaugh haritasında farketmez-(d) olarak gösterilir. Karnaugh haritasında elde edilen eşitlik, önceki durum 'Q' ve SR girişlerinin fonksiyonu olarak sonraki durumun değerini vermektedir. Elde edilen eşitliğe $SR=0$ tanımlaması, S ve R girişlerinin aynı anda 1 değerini alamayacağını belirtmek için eklenmelidir.

Elde edilen eşitlik, ilgili FF'ye ait '**karakteristik denklem**' olarak isimlendirilir.

3-J-K Flip-Flop (JK FF)

J-K Flip-Flop, RS FF'lerin belirsizlik durumunu ortadan kaldırmak amacıyla geliştirilmiş FF çeşididir. Tanımsız durumların tanımlı hale geldiği J-K FF'lerde, J ve K girişleri FF'i kurmak ve silmek için S ve R girişleri gibi davranır (Sekil 9.10.a). *J girişinin S'ye, K girişinin R'ye denk geldiği J-K FF'lerde;*

J=K=1 durumunda iken, **tetikleme sinyalinin her pozitif kenarı ile çıkış bir önceki durumun tersi değerini alır.** Yani Q=1 ise 0'a, Q=0 ise 1'e geçiş olur. Bu işlem, **'toggle' (ters çevirme) olarak isimlendirilir. Bu işlemin devamlı** gerçekleştirilmesi için, J=1 ve K=1 durumunda bırakılır.

Sekil 9.10.b'deki doğruluk tablosu, J-K FF'nin çalışmasını özetlemektedir. JK FF doğruluk tablosu, her iki girişin '1' olduğu durum haricinde tetiklemeli RS FF doğruluk tablosunun aynısıdır.

Sekil 9.11.a'da lojik devre seması görülen JK Flip-Flop devresinde, Q çıkışı K ve 'Clk' girişleriyle, Q' çıkışı J ve 'Clk' girişleriyle beraber 'VE' işlemine tabi tutulmuştur.

FLİP – FLOPLAR

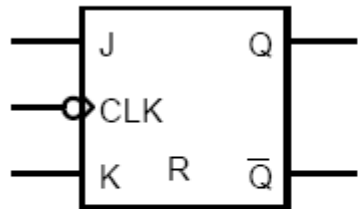


3-J-K Flip-Flop (JK FF)

$Q=0$ iken, $J=K=0$ girişlerinin uygulanması ile çıkış bir önceki durumun aynısı olur. Bu durum $Q(t+1) = Q(t)$ şeklinde özetlenebilir.

$J=0$, $K=1$ ve $J=1$, $K=0$ giriş durumlarında çıkış J değerlerini izler. Yani $J=0$, $K=1$ durumunda $Q=0$ ve $J=1$, $K=0$ durumunda $Q=1$ değerini alır.

$J=0$ ve $K=1$ iken; tetikleme sinyali ('clk' palsı) ile FF'nin $Q=0$ değerini alması durumu, '**Reset**' olarak tanımlanır. $J=1$, $K=0$ durumunda iken '**Clk**' palsı ile $Q=1$ değerini alması durumu ise, '**Set**' olarak belirtilir. Farklı JK kombinasyonlarında, '**Clk**' sinyali ile Q çıkışında oluşacak durum değişimleri Şekil 9.11.b'de görülmektedir.



(a)

J	K	CLK	Q
0	0	1	Q_0
1	0	1	1
0	1	1	0
1	1	1	Toggle

(b)

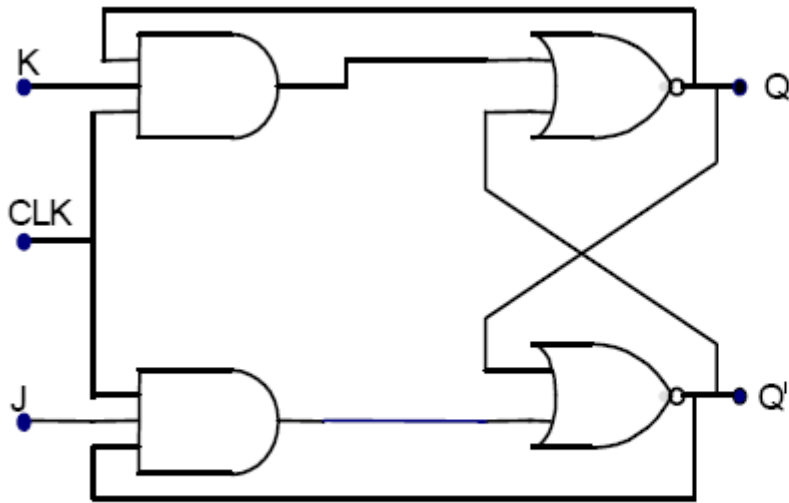
Şekil 9.10. J-K FF
sembolü ve
doğruluk tablosu.

FLİP – FLOPLAR

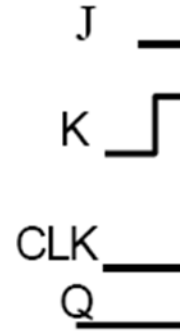


J	K	CLK	Q
0	0	1	Q_0
1	0	1	1
0	1	1	0
1	1	1	Toggle

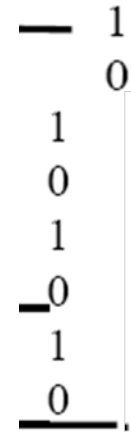
3-J-K Flip-Flop (JK FF)



(a)



(b)



Şekil 9.11. JK FF lojik devre seması ve örnek durum değişimleri.

JK FF'nin çalışması Q çıkışının önceki durumu göz önünde tutularak doğruluk tablosunda gösterilirse, Sekil 9.12.a'daki karakteristik tablo ortaya çıkar. Bu tablonun Karnaugh haritasına taşınması ile, $Q(t+1)$ durumu fonksiyon olarak tanımlanabilir (Sekil 9.12.b). JK FF'de yapılan işlem;

FLİP – FLOPLAR



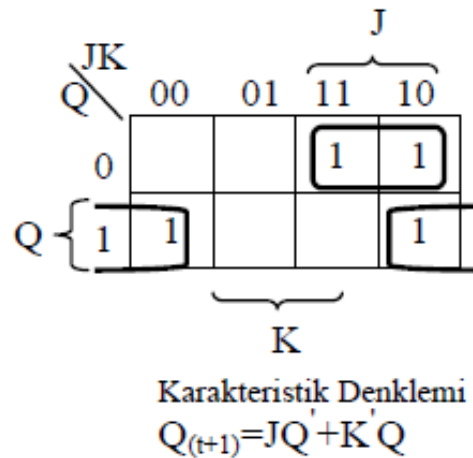
i- $J=0$, $K=1$ ve $J=1$, $K=0$ durumlarında çıkış J değerini izler.

ii- $J=K=0$ durumunda önceki Q çıkışını koruyan devre, $J=K=1$ durumunda önceki çıkışın tersine sahip olur şeklinde özetlenebilir.

Bu açıklamalardan; ‘RS FF’de bulunan yasak durum JK FF’de ortadan kalkmıştır’ genellemesi yapılabilir.

Negatif tetiklemeli JK FF’nin çalışması ve çıkış durumu, FF’nin durum değiştirme anının tetikleme sinyalinin negatife giden kenarında olması haricinde pozitif tetiklemeli devrenin aynısıdır

Q	J	K	$Q_{(t+1)}$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0



(b)

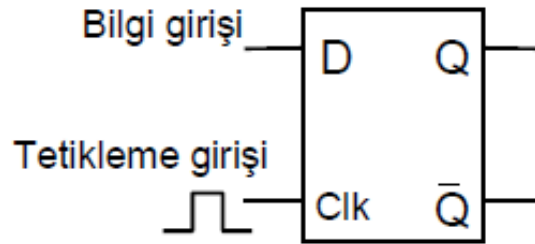
FLİP – FLOPLAR



D Tipi Flip-Flop (D FF)

Temel RS FF'den üretilen diğer bir FF çeşidi, tek bir senkron kontrol girişine sahip olan D (Data) tipi FF devresidir (Sekil 9.13.a). D tipi FF'de oluşan işlemler basittir; Q çıkışı tetikleme sinyalinin gelmesi ile D kontrol girişinin sahip olduğu değeri alır (Sekil 9.13.b).

Bunun anlamı; D=0 iken, tetikleme sinyalinin gelmesi ile Q çıkışı '0' değerine sahip olur demektir. D=0 durumu devam ettiği sürece, 'Clk' sinyalinin durumu değişse bile Q=0 değerini korur. D=1 değerini alması durumunda, ilk gelen tetikleme sinyalinin pozitif kenarında Q=1 değerini alır. Burada, Q çıkışının yalnızca tetikleme sinyalinin pozitif kenarlarında durum değiştirdiği unutulmamalıdır (Sekil 9.14.b).



(a)

D	Clk	Q
0	1	0
1	1	1

(b)

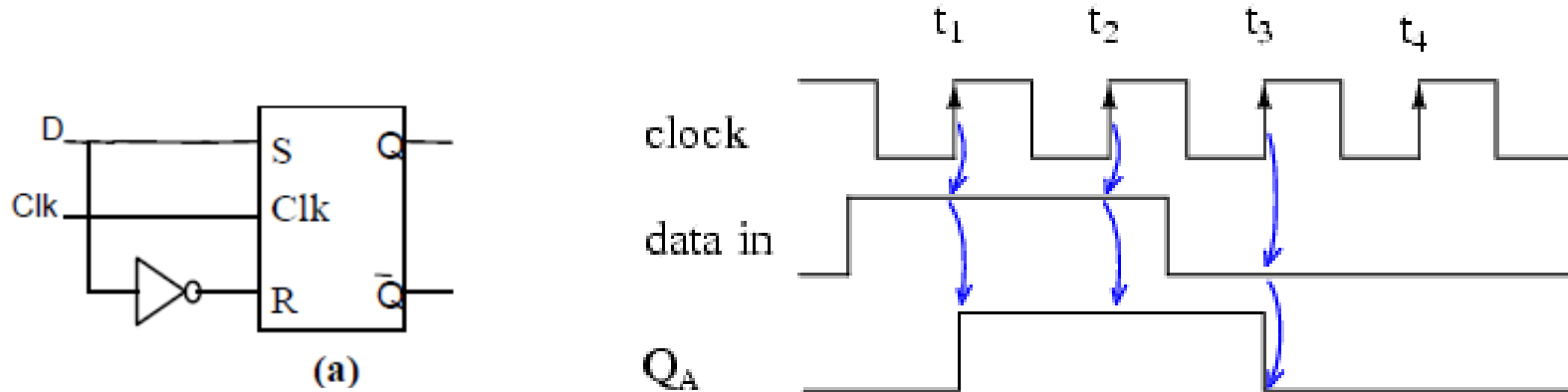
Şekil 9.13. D tipi FF'nin sembolü ve doğruluk tablosu.

FLİP – FLOPLAR



D Tipi Flip-Flop (D FF)

D tipi FF devresi, RS FF'nin girişine 'DEĞİL' kapısı bağlanarak elde edilebilir (Şekil 9.14.a). Eklenen 'DEĞİL' kapısı, hem RS FF'lerde belirsiz durum oluşturan $R=S=1$ durumunu ortadan kaldırır, hem de çıkışın D girişini takip etmesini sağlar.



Şekil 9.14. D tipi FF'nin RS ile elde edilmesi ve örnek durum değişimleri.