



**MÜHENDİSLİK ve DOĞA BİLİMLERİ FAKÜLTESİ
MEKATRONİK MÜHENDİSLİĞİ BÖLÜMÜ**

MANTIK DEVRELERİ

DENEY FÖYÜ

DENEY NO: 6

**ARDIŞIK LOJİK DEVRELER: SR FLIP-FLOP, JK FLIP-FLOP,
D FLIP-FLOP, T FLIP-FLOP.**

Doç. Dr. Gökhan GELEN

2019

Deneyin Adı: Ardışık Lojik Devreler: SR Flip-Flop, JK Flip-Flop, D Flip-Flop, T Flip-Flop.

Deneyin Amacı: SR Flip-Flop, JK Flip-Flop, D Flip-Flop, T Flip-Flop'ları tanımak, işlevlerini görmek ve doğruluk tablosunu elde etmek.

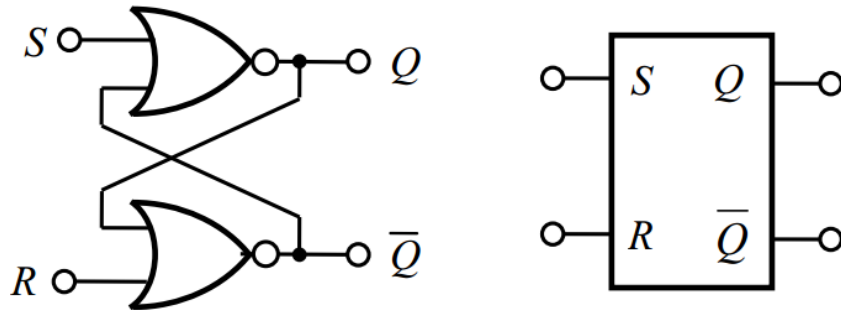
Temel Bilgiler:

Flip-floplar bir bitlik bilgiyi saklama kabiliyetine sahip olan devrelerdir. FF'ların diğer önemli bir özelliği de frekans bölücü olarak kullanılabilmesidir. FF'lar yapısal olarak, tek hücreli (latch), kapılı tip (saatli - Clock girişi) ve çift hücreli olmak üzere 3 tipidir.

Fonksiyon itibarıyla dört çeşit FF vardır: S-C (R) tipi FF, D-tipi FF, T-tipi FF ve J-K FF. J-K FF'larda tanımsız durum olmadığından ve D ve T FF'lar elde edilebildiğinden bu FF'ların kullanılması daha uygundur. Bu deneyde J-K flip-floplar kullanılacaktır. (FF'ların yapısal ve fonksiyonel özelliklerinin araştırılması ve bilinmesi öğrencinin sorumluluğundadır.)

RS Flip-Flop: VEYA-DEĞİL(NOR) Kapısıyla Elde Edilmiş RS Flip-Flop

VEYA-DEĞİL(NOR) kapısıyla elde edilmiş flip-flop devresinde R(Sil/Reset) ve S(Kur/Set) girişine aynı anda lojik '1' uygulandığından flip flop devresinin iki çıkışı da (Q , \bar{Q}) aynı anda lojik '0' olmaktadır. Bilindiği gibi flip-flop'ların birbirinin tersi olan iki çıkışı vardır. Bu sebeple çıkışların her ikisinin birden aynı anda lojik '0' olma seçeneği yoktur. Bu nedenle bu durum Yasak Durum olarak isimlendirilir.



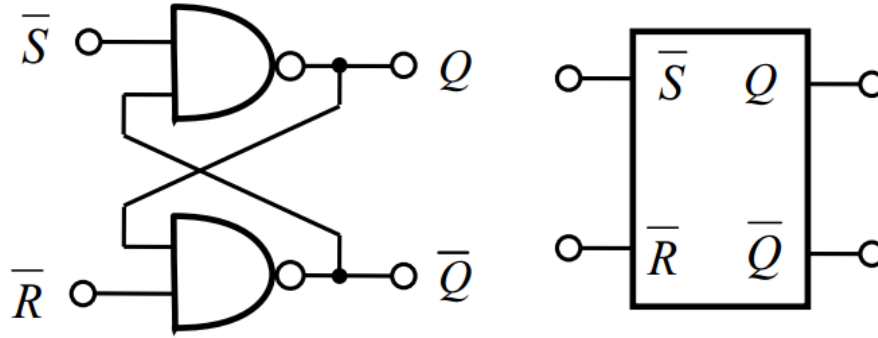
Şekil 1. VEYA-DEĞİL kapıları ile yapılmış RS-ikili devreler ve simgeleri

S	R	Q_n
0	0	Q_{n-1}
0	1	0
1	0	1
1	1	Tanımsız

Tablo 1. VEYA-DEĞİL kapıları ile yapılmış RS-ikili devre doğruluk tablosu

RS Flip-Flop: VE-DEĞİL(NAND) Kapısıyla Elde Edilmiş RS FlipFlop

VE-DEĞİL(NAND) kapısıyla elde edilmiş flip-flop devresinde R(Sil/Reset) ve S(Kur/Set) girişine aynı anda lojik '0' uygulandığından flip flop devresinin iki çıkışı da (Q , \bar{Q}) aynı anda lojik '1' olmaktadır. Bilindiği gibi flip-flop'ların birbirinin tersi olan iki çıkışı vardır. Bu sebeple çıkışların her ikisinin birden aynı anda lojik '1' olma seçeneği yoktur. Bu nedenle bu durum Yasak Durum olarak isimlendirilir.



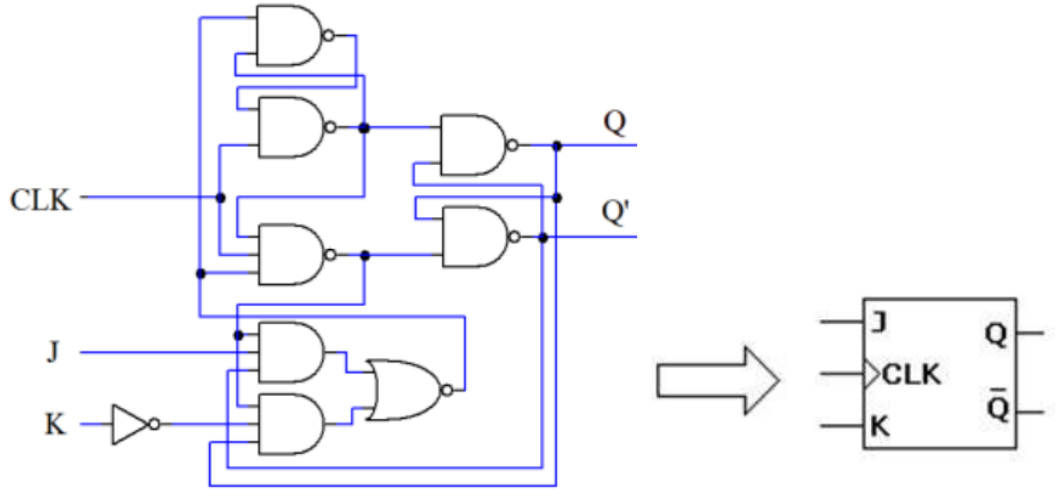
Şekil 2. VE-DEĞİL kapıları ile yapılmış RS-ikili devreler ve simgeleri

S	R	Q_n
0	0	Tanımsız
0	1	0
1	0	1
1	1	Q_{n-1}

Tablo 2. VE-DEĞİL kapıları ile yapılmış RS-ikili devre doğruluk tablosu

JK Flip-Flop:

JK FF en yaygın kullanılan FF'tur. Çok çeşitli uygulama yerleri vardır. JK FF esas olarak S ve R girişleri kapılanmış ve çıkışları çapraz bağlanmış saatli bir SR FF'tur. Birbirlerinden farklı özelliklere sahip çeşitli JK tipi FF'lar mevcuttur. Bu tipler FF'un CLK girişine uygulanan zamanlama (clock) işaretinin algılanmasına göre; kenar tetiklenmeli (edge-sensitive) ve seviye tetikleme (level-sensitive) flip-floplar olmak üzere iki gruba ayrılırlar. Bu iki grup FF'u birbirinden ayırt etmek için kenar tetiklenmeli FF'un CLK girişine (>) işareti konur. Kenar tetiklenmeli FF'lar yükselen kenar (\uparrow) tetiklenmeli ve düşen kenar (\downarrow) tetiklenmeli olarak ikiye ayrılır. Yükselen kenar (\uparrow) tetikleme, CLK girişine uygulanan zamanlama (clock) sinyalinin lojik 0 seviyesinden lojik 1 seviyesine değişimi anında gerçekleşir. Benzer şekilde düşen kenar (\downarrow) tetikleme CLK girişine uygulanan zamanlama (clock) sinyalinin lojik 1 seviyesinden lojik 0 seviyesine değişimi anında gerçekleşir. Seviye tetiklenmeli FF'lar da kendi içerisinde lojik 1 seviye tetiklenmeli ve lojik 0 seviye tetiklenmeli olarak ikiye ayrılır. Şekil 3'de yükselen kenar tetiklenmeli JK flip-flopun lojik devresi ve sembolü; Tablo 3'de ise doğruluk tablosu görülmektedir.

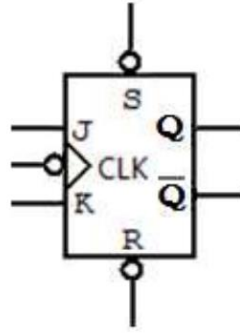


Şekil 3. Yükselen kenar tetiklemeli JK flip-flopun lojik devresi ve sembolü.

Girişler			Çıkışlar	
CLK	J	K	Q	\bar{Q}
0	x	x	Değişmez	
1	x	x	Değişmez	
↓	x	x	Değişmez	
↑	0	0	Q	\bar{Q}
↑	0	1	0	1
↑	1	0	1	0
↑	1	1	\bar{Q}	Q

Tablo 3. Yükselen kenar tetiklemeli JK flip-flopa ait doğruluk tablosu.

Bu tanımlanan şekliyle JK FF saat sinyali ile senkron çalışır (zaman uyumludur). JK FF'ta saat girişinden başka asenkron (zaman uyumsuz) denetim girişleri de (Preset ve Clear) kullanılabilir ama bunlar çalışmalarda yasak durum veya belirsiz şartlara neden olabilir. Asenkron denetim girişleri bulunan bir JK FF, beş girişe (J, K, CLOCK, PRESET, CLEAR) iki çıkışa (Q ve \bar{Q}) sahiptir. Şekil 4'de ve Tablo 4'de sırasıyla aktif-0 asenkron girişli düşen kenar tetiklemeli bir JK FF'un sembolik gösterilimi ve doğruluk tablosu görülmektedir. Aktif-0 asenkron girişler \bar{S} (PRESET) ve \bar{R} (CLEAR) girişleridir. Doğruluk tablosundan da görüleceği gibi $\bar{S}=0$ ve $\bar{R}=1$ ise çıkış set ($Q=1$), $\bar{S}=1$ ve $\bar{R}=0$ ise çıkış reset ($Q=0$) yapılmaktadır. Her iki asenkron girişin de aktif ($\bar{S}=0$ ve $\bar{R}=0$) olması durumunda $Q=1$ ve $\bar{Q}=1$ olmaktadır ki bu istenmeyen bir çalışma şeklidir. $\bar{S}=1$ ve $\bar{R}=1$ olması durumunda asenkron girişler aktif olmadığı için JK flip-flop normal çalışmasını gerçekleştirmektedir. Burada incelenen JK flip-flopun asenkron girişleri aktif-0 girişlerdir. Fakat bazı JK flip-floplarda asenkron girişler aktif-1 giriş olabilir. JK FF, SR FF'a benzemektedir. Aralarındaki fark şudur; SR FF'un her iki girişinin lojik 1 olması durumunda çıkış yasak bir çalışma şekli göstermekteydi. JK FF'da ise her iki girişinde lojik 1 olması durumunda ve CLK girişi uyarıldığında Q çıkışı bulunduğu son durumun tersi duruma sahip olur (toggle olur). Bu çalışma durumunda CLK uçlarına uygulanan clock darbesinin frekansı ikiye bölünür. Bu özelliğinden dolayı JK FF sayıcı tasarımlarında en çok kullanılan FF tipidir.



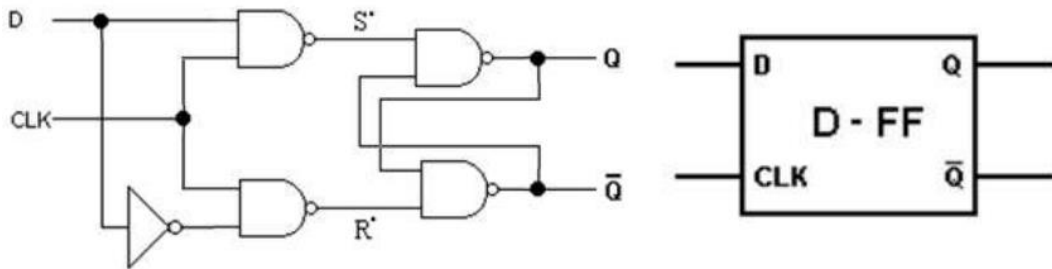
Şekil 4. Aktif-0 asenkron girişli düşen kenar tetiklemeli JK flip-flop.

Girişler					Çıkışlar	
\bar{S}	\bar{R}	CLK	J	K	Q	\bar{Q}
0	1	x	x	x	1	0
1	0	x	x	x	0	1
0	0	x	x	x	1	1
					Yasak	
1	1	0	x	x	Değişmez	
1	1	1	x	x	Değişmez	
1	1	↑	x	x	Değişmez	
1	1	↓	0	0	Q_0	Q_1
					Değişmez	
1	1	↓	0	1	0	1
1	1	↓	1	0	1	0
1	1	↓	1	1	\bar{Q}_0	\bar{Q}_1
					Toggle	

Tablo 4. Aktif-0 asenkron girişli düşen kenar tetiklemeli JK flip-flopa ait doğruluk tablosu.

D Flip-Flop:

D tipi FF tek girişli bir depolama birimidir. Bu giriş D (data) girişi olarak adlandırılır. D girişine uygulanan bilgi (0 veya 1) çıkışa CLK girişine uygulanan bir sinyal yardımıyla aktarılır. Şekil 5 ve Tablo 5’de lojik 1 seviye tetiklemeli D tipi FF’un sembolik gösterilimi ve doğruluk tablosu görülmektedir. D tipi FF, SR FF’a bazı değişiklikler yapılarak elde edilir. Bu değişiklik sadece SR FF’un girişleri arasına bir INVERTER eklenerek sağlanır. Şekil 5’de bir SR FF yardımıyla elde edilen lojik 1 seviye tetiklemeli D tipi FF (LATCH) görülmektedir.

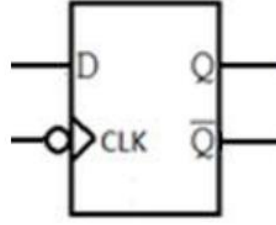


Şekil 5. SR FF yardımıyla gerçekleştirilmiş lojik 1 seviye tetiklemeli D FF

Girişler		Çıkışlar	
CLK	D	Q	\bar{Q}
0	X	Q_0	\bar{Q}_1
		Değişmez	
1	1	1	0
1	0	0	1

Tablo 5. SR FF yardımıyla gerçekleştirilmiş lojik 1 seviye tetiklemeli D FF

Birbirlerinden farklı özelliklere sahip çeşitli D tipi FF'lar mevcuttur. Bu tipler FF'un CLK girişine uygulanan zamanlama (clock) işaretinin algılanmasına göre; yükselen kenar (\uparrow) tetiklemeli, düşen kenar (\downarrow) tetiklemeli (edge-sensitive), lojik 1 seviye tetiklemeli ve lojik 0 seviye tetiklemeli (level-sensitive) flip-floplar olmak üzere dört gruba ayrılırlar. Seviye tetiklemeli FF'lar genellikle LATCH olarak adlandırılırlar. Bu iki grup FF'u birbirinden ayırt etmek için kenar tetiklemeli FF'un CLK girişine (\triangleright) işareti konur. Örneğin Şekil 6 ve Tablo 6'da düşen kenar tetiklemeli D flip-flop ve doğruluk tablosu görülmektedir.

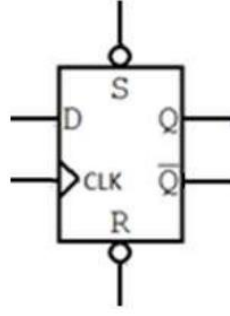


Şekil 6. Düşen kenar tetiklemeli D flip-flop.

CLK	D	Q	\bar{Q}
1	x	Değişmez	
0	x	Değişmez	
\uparrow	x	Q_0	\bar{Q}_0
		Değişmez	
\downarrow	1	1	0
\downarrow	0	0	1

Tablo 6. Düşen kenar tetiklemeli D flip-flopa ait doğruluk tablosu.

D tipi FF'larda ayrıca aktif-0 veya aktif-1 olabilen PRESET (S) ve CLEAR (R) olmak üzere iki ayrı asenkron giriş bulunabilir. Bu iki giriş D tipi FF'un D ve CLK girişlerinden bağımsız olarak FF'un durumunu asenkron olarak belirler. Şekil 7 ve Tablo 7'de aktif-0 asenkron girişli yükselen kenar tetiklemeli bir D FF ve doğruluk tablosu görülmektedir. Bu devrede: PRESET(\bar{S})=0 iken Q daima set durumundadır (Q=1) ve PRESET(\bar{S})=1 iken FF normal çalışma özelliklerini gösterir. CLEAR(\bar{R})=0 iken Q daima reset durumundadır. (Q=0) ve CLEAR(\bar{R})=1 iken FF normal çalışma özelliğini devam ettirir. Yani FF'un normal çalışabilmesi için bu iki asenkron girişin de lojik 1 seviyesinde olması gerekir. Bu iki giriş kesinlikle aynı anda kullanılmamalıdır. Boşta çalışmada her ikisi de lojik 1, aktif hale getirmede biri lojik 1 iken diğeri lojik 0 olmalı; PRESET=CLR=0 durumu tanım gereği kesinlikle uygulanmamalıdır.



Şekil 7. Aktif-0 asenkron girişli yükselen kenar tetiklemeli D flip-flop.

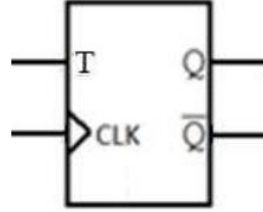
Girişler				Çıkışlar	
\bar{S}	\bar{R}	CLK	D	Q	\bar{Q}
0	1	x	x	1	0
1	0	x	x	0	1
0	0	x	x	1	1
1	1	0	x	Değişmez	
1	1	1	x	Değişmez	
1	1	↓	x	Q_0	Q_1
				Değişmez	
1	1	↑	0	0	1
1	1	↑	1	1	0

Tablo 7. Aktif-0 asenkron girişli yükselen kenar tetiklemeli D flip-flopa ait doğruluk tablosu.

T Flip-Flop

T flip-flop, J-K flip-flop'larda mevcut olan dört tane çalışma şekline {önceki konumun aynısı, reset, set ve toggle (bir önceki konumun tersi)} sadece iki tanesini {önceki konumun aynısı ve toggle (bir önceki konumun tersi)} kullanmak üzere geliştirilmiş bir flip-flop türüdür. Bu sebepten T flip-flopta yasak durum veya belirsizlik durumu oluşmaz. Bir T flip-flop, bir J-K flip-flop'un J ve K girişleri birleştirilerek elde edilebilir. T flip-flop'un Q (çıkış) ve \bar{Q} (çıkışın değili) olmak üzere iki çıkışı, CLK (clock-saat, tetikleme) ve T (kontrol girişi) olmak üzere iki girişi vardır. T flip-flop'larda T=1 olması durumunda tetiklemeden sonra çıkış değerleri bir önceki konumun tersi değerini alır. Buna göre, eğer tetiklemeden önce Q=0, \bar{Q} =1 ise tetiklemeden sonra Q=1, \bar{Q} =0 olur. Bu işlem *toggle* (konum değiştirme) olarak adlandırılır. T=0 olması durumunda ise tetiklemeden sonra çıkış değerleri bir önceki konumunu korur. JK ve D tipi flip-floplarda olduğu gibi, T flip flop ta da dört değişik tetikleme mümkündür. Böylece lojik 1 seviye tetiklemeli T flip-flop, lojik 0 seviye tetiklemeli T flip-flop, yükselen kenar tetiklemeli T flip-flop ve düşen kenar tetiklemeli T flip-flop tanımlanabilmektedir. JK ve D tipi flip-floplarda anlatıldığı gibi aktif-0 veya aktif-1 asenkron girişler T flip-flopta da benzer şekilde söz konusudur. T flip-flop girişine verilen bir saat palsinin frekansını ikiye böler.

Şekil 8 ve Tablo 8’de yükselen kenar tetiklemeli T flip-flop ve doğruluk tablosu görülmektedir. Doğruluk tablosundan görüleceği gibi çıkış değerleri ancak $T=1$ olduğunda ve CLK sinyalinin yükselen kenarında (\uparrow değişmektedir (toggle olmaktadır). Diğer bütün çalışma şekillerinde flip-flopta yüklü bilgi değiştirilmeden saklanmaktadır.

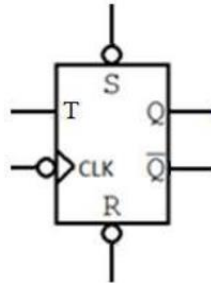


Şekil 8. Yükselen kenar tetiklemeli T flip-flop.

CLK	T	Q	\bar{Q}
1	x	Değişmez	
0	x	Değişmez	
\downarrow	x	Değişmez	
\uparrow	0	Q_0	\bar{Q}_0
		Değişmez	
\uparrow	1	Q_0	\bar{Q}_0
		Değişmez	

Tablo 8. Yükselen kenar tetiklemeli T flip-flopa ait doğruluk tablosu.

Şekil 9 ve Tablo 9’da aktif-0 asenkron giriqli düşen kenar tetiklemeli bir T flip-flop ve doğruluk tablosu görülmektedir. Bu devrede: $\text{PRESET}(\bar{S})=0$ iken Q daima set durumunda ($Q=1$) ve $\text{PRESET}(\bar{S})=1$ iken flip-flop normal çalışma özelliklerini gösterir. $\text{CLEAR}(\bar{R})=0$ iken Q daima reset durumundadır. ($Q=0$) ve $\text{CLEAR}(\bar{R})=1$ iken flip-flop normal çalışma özelliğini devam ettirir. Yani FF’un normal çalışabilmesi için bu iki asenkron girişin de lojik 1 seviyesinde olması gerekir. Bu iki giriş kesinlikle aynı anda kullanılmamalıdır. Boşta çalışmada her ikisi de lojik 1, aktif hale getirmede biri lojik 1 iken diğeri lojik 0 olmalı; $\text{PRESET}=\text{CLEAR}=0$ durumu tanım gereği kesinlikle uygulanmamalıdır. $\bar{S}=1$ ve $\bar{R}=1$ olduğunda ise flip-flop normal çalışmasını gerçekleştirmektedir.



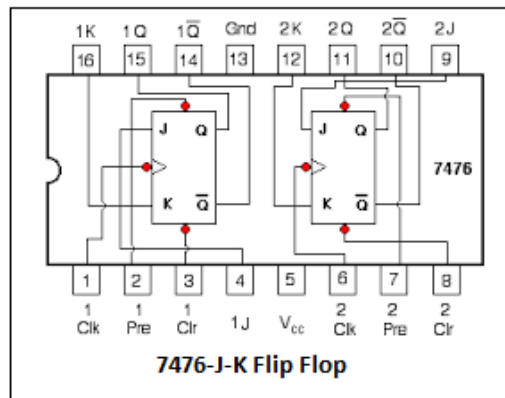
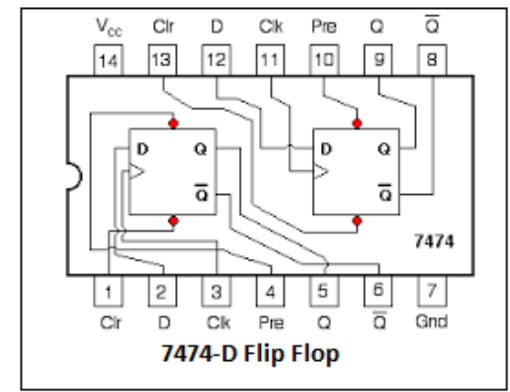
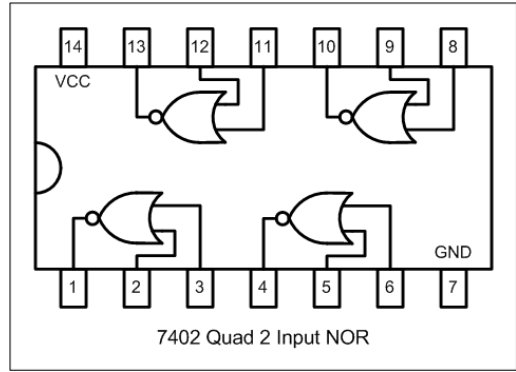
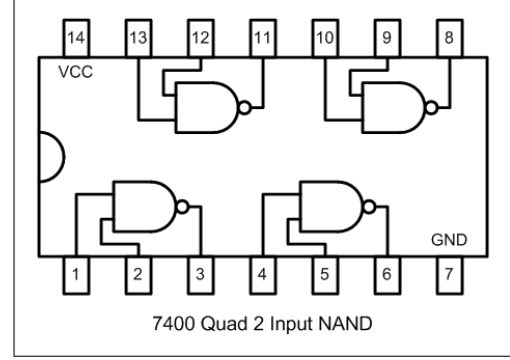
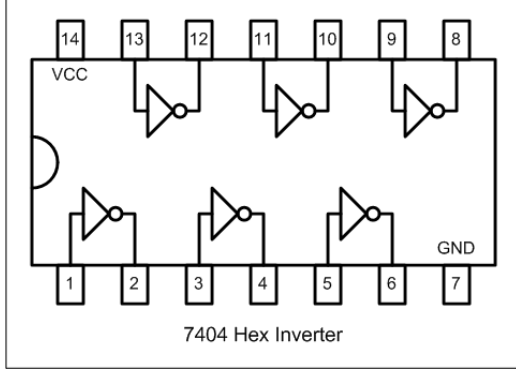
Şekil 9. Aktif-0 asenkron girişli düşen kenar tetiklemeli T flip-flop.

Girişler				Çıkışlar	
\bar{S}	\bar{R}	CLK	D	Q	\bar{Q}
0	1	x	x	1	0
1	0	x	x	0	1
0	0	x	x	1	1
1	1	0	x	Değişmez	
1	1	1	x	Değişmez	
1	1	↑	x	Değişmez	
1	1	↓	0	Q_0	\bar{Q}_0
				Değişmez	
1	1	↓	1	Q_0	\bar{Q}_0
				1	0

Tablo 9. Aktif-0 asenkron girişli düşen kenar tetiklemeli T flip-flopa ait doğruluk tablosu.

Deneyde Kullanılacak Entegreler ve İç Bağlantıları

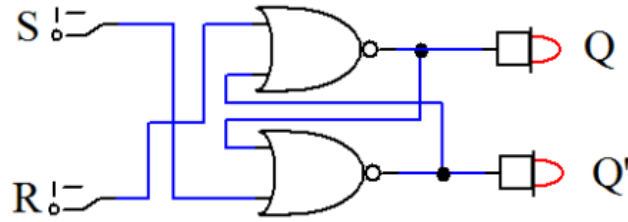
7400	2 girişli NAND kapısı (dörtlü)	1 adet
7402	2 girişli NOR kapısı (dörtlü)	1 adet
7404	INVERTER kapısı (altılı)	1 adet
7474	Yükselen kenar tetiklemeli D Flip Flop (ikili)	1 adet
7476	Master-Slave J-K Flip Flop (ikili)	1 adet



DENEY ÇALIŞMALARI

Deney 1: NOR (VEYA-DEĞİL) Kapılarıyla Gerçekleştirilen SR Flip-Flop

Şekil 10'daki uygulama devresini deney setinde kurarak gücü uygulayınız. S ve R anahtarlarını kullanarak Tablo 10'da verilen S ve R giriş değerlerini verilen sıraya uygun olarak uygulayıp Q ve \bar{Q} çıkışlarını LED göstergelerden gözlemleyin ve Tablo 10'a kaydedin.



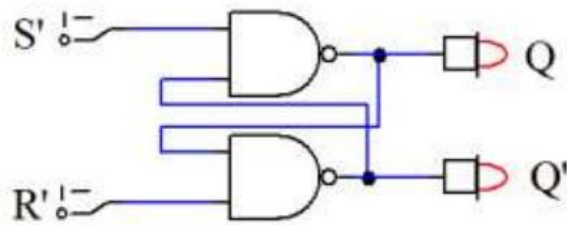
Şekil 10. Aktif-1 girişli SR flip-flop devresi

Girişler		Çıkışlar	
S	R	Q	\bar{Q}
0	1		
0	0		
1	0		
0	0		
1	1		

Tablo 10. Aktif-1 girişli SR flip-flop devresi doğruluk tablosu

Deney 2: NAND (VE-DEĞİL) Kapılarıyla Gerçekleştirilen SR Flip-Flop

Şekil 11'deki uygulama devresini deney setinde kurarak gücü uygulayınız. S ve R anahtarlarını kullanarak Tablo 11'de verilen S ve R giriş değerlerini verilen sıraya uygun olarak uygulayıp Q ve \bar{Q} çıkışlarını LED göstergelerden gözlemleyin ve Tablo 11'e kaydedin.



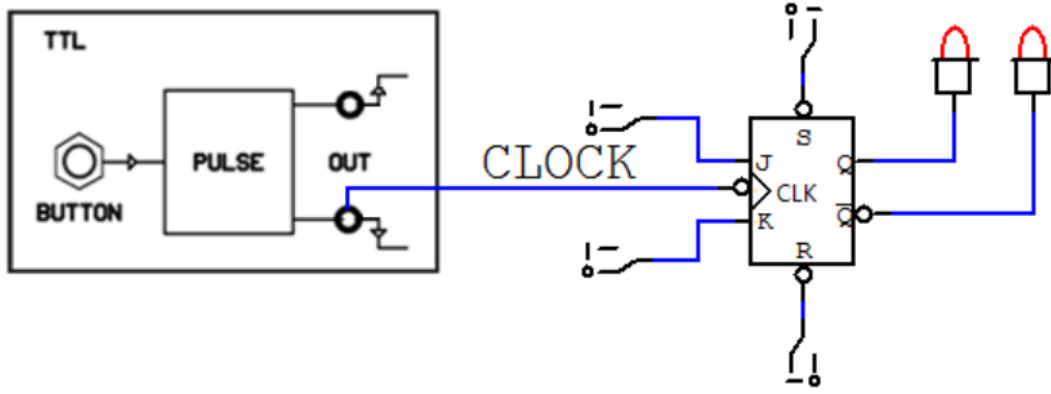
Şekil 11. Aktif-0 girişli SR flip-flop devresi

Girişler		Çıkışlar	
S	R	Q	\bar{Q}
0	1		
1	1		
1	0		
1	1		
0	1		

Tablo 11. Aktif-0 girişli SR flip-flop devresi doğruluk tablosu

Deney 3: JK Flip-Flop Devresinin Gerçekleştirilmesi

Şekil 12'deki uygulama devresini deney setinde kurarak gücü uygulayınız. Deney setindeki anahtarlarını kullanarak Tablo 12'de S, R, CLK, J ve K giriş değerlerini verilen sıraya uygun olarak uygulayıp Q ve \bar{Q} çıkışlarını LED göstergelerden gözlemleyin ve Tablo 12'ye kaydedin.



Şekil 12. Aktif-0 asenkron girişli master-slave JK flip-flop devresi

Asenkron Girişler		Senkron Girişler			Çıkışlar		Açıklamalar
PRESET (\bar{S})	CLEAR (\bar{R})	J	K	CLK	Q	\bar{Q}	
1	0	x	x	x			
0	1	x	x	x			
0	0	x	x	x			
1	1	0	1				
1	1	0	0				
1	1	1	0				
1	1	0	0				
1	1	1	1				

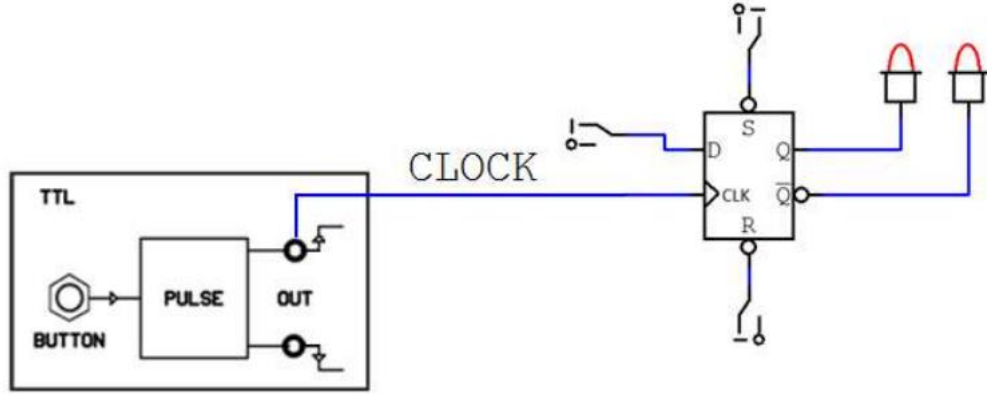
Tablo 12. Aktif-0 asenkron girişli master-slave JK flip-flop devresi doğruluk tablosu

(x) Görülen yerler fark etmez değerlerdir. "1" veya "0" olabilir.

NOT: CLK () uygulandığı sürede J ve K girişleri değiştirilmemelidir.

Deney 4: D Flip-Flop Devresinin Gerçekleştirilmesi

Şekil 13'deki uygulama devresini deney setinde kurarak gücü uygulayınız. Deney setindeki anahtarlarını kullanarak Tablo 13'de S, R, CLK, D giriş değerlerini verilen sıraya uygun olarak uygulayıp Q ve \bar{Q} çıkışlarını LED göstergelerden gözlemleyin ve Tablo 13'e kaydedin.



Şekil 13. Yükselen kenar tetiklemeli D flip-flop devresi

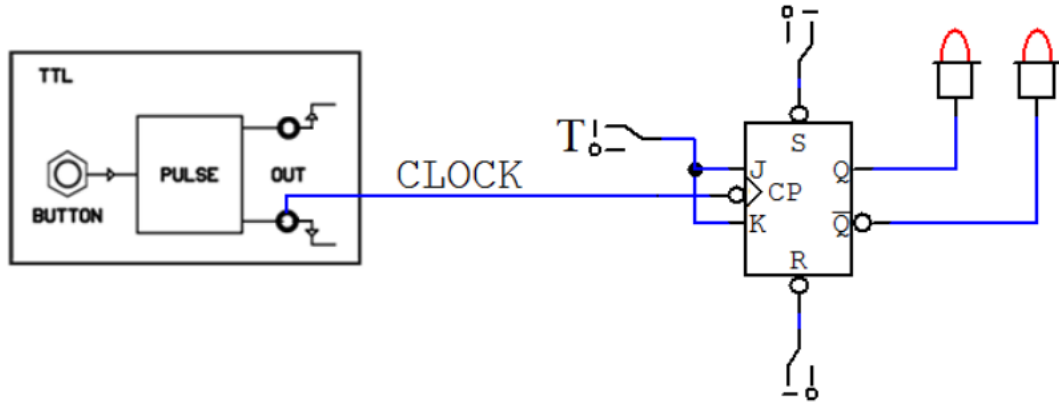
Asenkron Girişler		Senkron Girişler		Çıkışlar		Açıklamalar
PRESET (\bar{S})	CLEAR (\bar{R})	D	CLK	Q	\bar{Q}	
0	0	x	x			
1	0	x	x			
0	1	x	x			
1	1	0	0			
1	1	1	0			
1	1	0	1			
1	1	1	1			
1	1	0	↓			
1	1	1	↓			
1	1	0	↑			
1	1	1	↑			

Tablo 13. Yükselen kenar tetiklemeli D flip-flop devresi doğruluk tablosu.

NOT : D girişi her zaman CLK girişinden önce sağlanmalıdır.

Deney 5: T Flip-Flop Devresinin gerçekleştirilmesi

Şekil 14'deki uygulama devresini deney setinde kurarak gücü uygulayınız. Deney setindeki anahtarlarını kullanarak Tablo 14'de S, R, CLK, T giriş değerlerini verilen sıraya uygun olarak uygulayıp Q ve \bar{Q} çıkışlarını LED göstergelerden gözlemleyin ve Tablo 14'e kaydedin.



Şekil 14. JK flip-flop ile T flip-flop elde edilmesi

Asenkron Girişler		Senkron Girişler			Çıkışlar		Açıklamalar
PRESET (\bar{S})	CLEAR (\bar{R})	T	K	CLK	Q	\bar{Q}	
0	0	x	x	x			
0	1	x	x	x			
1	0	x	x	x			
1	1	0					
1	1	1					

Tablo 14. T flip-flop devresi doğruluk tablosu.

(×) Görülen yerler fark etmez değerlerdir. "1" veya "0" olabilir.

NOT: T girişi her zaman CLK girişinden önce sağlanmalıdır ve CLK () uygulandığı sürede T girişi değiştirilmemelidir.

ÖDEV ARAŞTIRMA SORU ve UYGULAMALARI

1. T tipi FF hakkında bilgi veriniz. Doğruluk tablosunu çıkararak hangi FF’u kullanarak T tipi FF elde edebileceğimizi gösteriniz.
2. Sadece NAND kapıları kullanarak S, R, CLK, PRESET ve CLEAR girişlerine sahip RS FF devresini dizayn ediniz.
3. Bir JK FF’u D ve T tipi FF’a dönüştürmek için gerekli lojik devreleri çizin.
4. Ana/Uydu (Master/Slave) tipi JK FF hakkında bilgi veriniz.