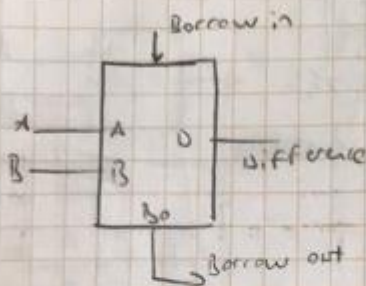


OSOW

Full Subtractor



Dec	A	B	B _{i-1}	D	B ₀
0	0	0	0	0	0
1	0	0	1	1	1
2	0	1	0	1	1
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	0
6	1	1	0	0	0
7	1	1	1	1	1

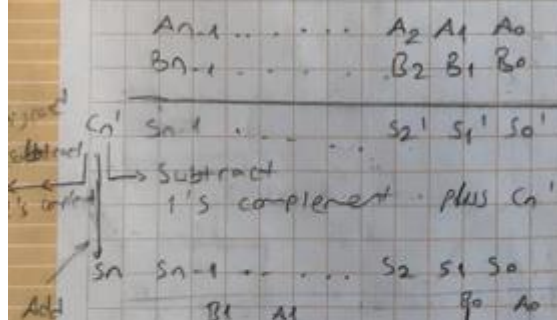
$$\begin{array}{r} - B_{i-1} \\ A \\ - B \\ \hline B_0 \quad 0 \end{array}$$

A \ B _{i-1}	00	01	11	10
0	0 ₀	1 ₀	0 ₂	1 ₁
1	1 ₁	0 ₃	1 ₂	0 ₁

A \ B _{i-1}	00	01	11	10
0	0 ₀	1 ₀	1 ₁	1 ₁
1	0 ₁	0 ₀	1 ₁	0 ₁

$\bar{A} + B$ $A + B$ B_0

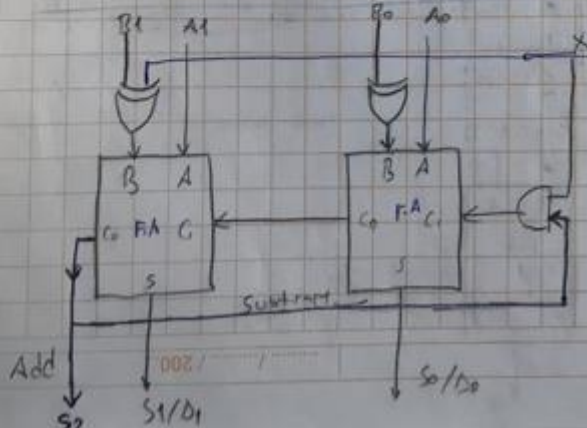
Sign Complement Arithmetic Adder / Subtractor



Addend / Minuend
Augend / Subtrahend

first sum

Carryend around
and Add
Sum / Difference



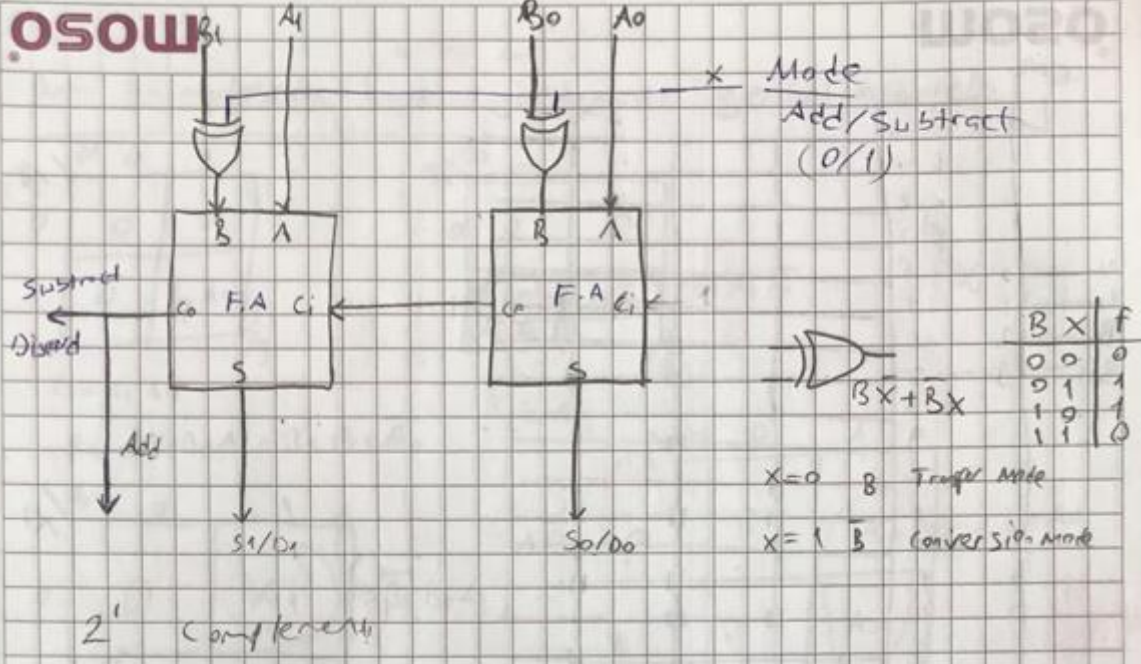
Mode
Add / Subtract
(0 / 1)

Two bits 1's complement

Parallel Adder / Subtractor

OSOW

"A Killer Defect"



ENCODERS

Kodlayıcı, bir kod çözücünün ters işlemini gerçekleştiren dijital bir devredir.

Table 4.7
Truth Table of an Octal-to-Binary Encoder

Inputs								Outputs		
D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7	x	y	z
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

$$z = D_1 + D_3 + D_5 + D_7$$

$$y = D_2 + D_3 + D_6 + D_7$$

$$x = D_4 + D_5 + D_6 + D_7$$

The encoder can be implemented with three OR gates.

Tablo 4.7'de tanımlanan kodlayıcı, herhangi bir zamanda yalnızca bir girişin etkin olabileceği sınırlamasına sahiptir. İki giriş aynı anda aktifse, çıkış tanımsız bir kombinasyon üretir. Örneğin, D3 ve D6 aynı anda 1 ise, üç çıkışın tümü 1'e eşit olduğundan kodlayıcının çıkışı 111 olacaktır. Çıkış 111, binary 3'ü veya binary 6'yı temsil etmez. Bu belirsizliği çözmek için, kodlayıcı devreleri, yalnızca bir girişin kodlanmasını sağlamak için bir giriş önceliği oluşturmalıdır. Daha yüksek alt-indis numaralarına sahip girişler için daha yüksek bir öncelik belirlersek ve hem D3 hem de D6 aynı anda 1 ise, çıkış 110 olacaktır çünkü D6, D3'ten daha yüksek önceliğe sahiptir.

Sekizliden ikiliye kodlayıcıdaki diğer bir belirsizlik, tüm girişler 0 olduğunda tümü 0 olan bir çıktının üretilmesidir; ancak bu çıktı, D0'ın 1'e eşit olduğu durumla aynıdır. Bu tutarsızlık, en az bir girişin 1'e eşit olup olmadığını belirtmek için bir çıktı daha sağlanarak çözülebilir.

Priority Encoder

Table 4.8
Truth Table of a Priority Encoder

Inputs				Outputs		
D_0	D_1	D_2	D_3	x	y	V
0	0	0	0	X	X	0
1	0	0	0	0	0	1
X	1	0	0	0	1	1
X	X	1	0	1	0	1
X	X	X	1	1	1	1

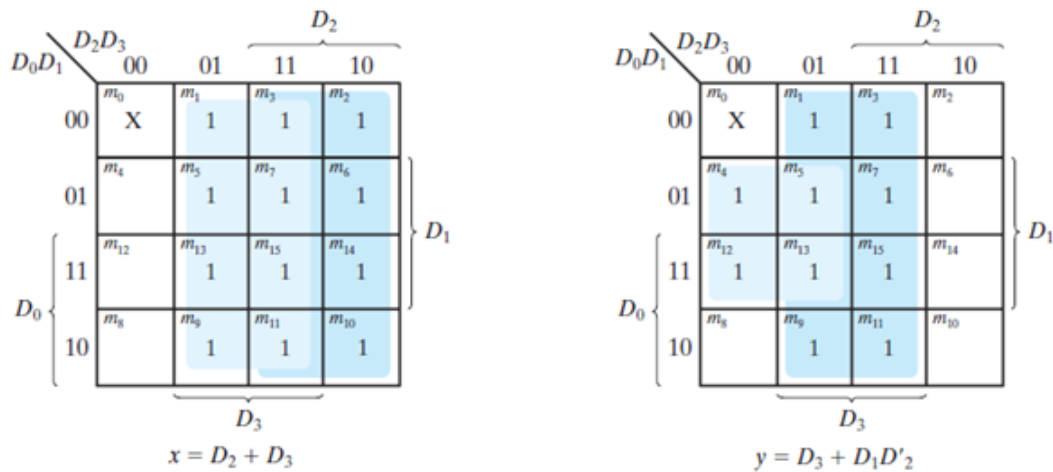


FIGURE 4.22
Maps for a priority encoder

$$\begin{aligned}
 x &= D_2 + D_3 \\
 y &= D_3 + D_1 D_2' \\
 V &= D_0 + D_1 + D_2 + D_3
 \end{aligned}$$

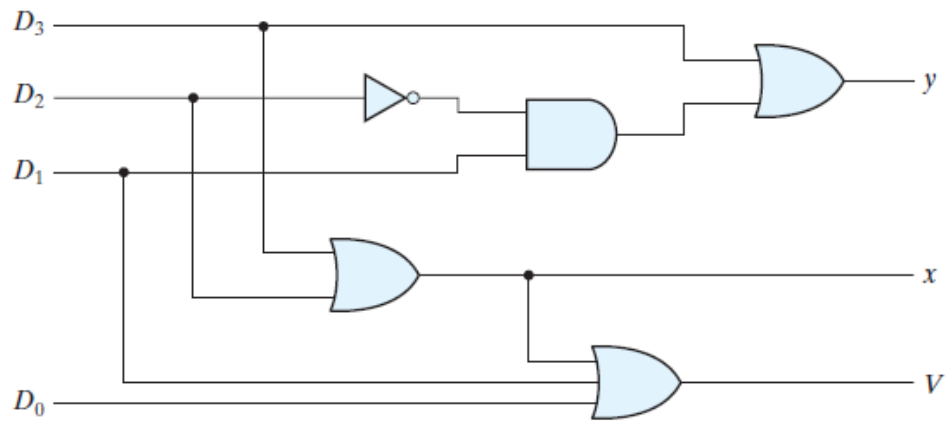


FIGURE 4.23
Four-input priority encoder