

DECODERS

n bitlik bir ikili kod, kodlanmış bilginin 2^n adede kadar farklı ögesini temsil etme yeteneğine sahiptir. Bir kod çözücü, n giriş hattından gelen ikili bilgiyi maksimum 2^n benzersiz çıkış hattına dönüştüren kombinyonel bir devredir. n-bit kodlu bilgi kullanılmayan kombinyonlara sahipse, kod çözücü 2^n 'den daha az çıkışa sahip olabilir.

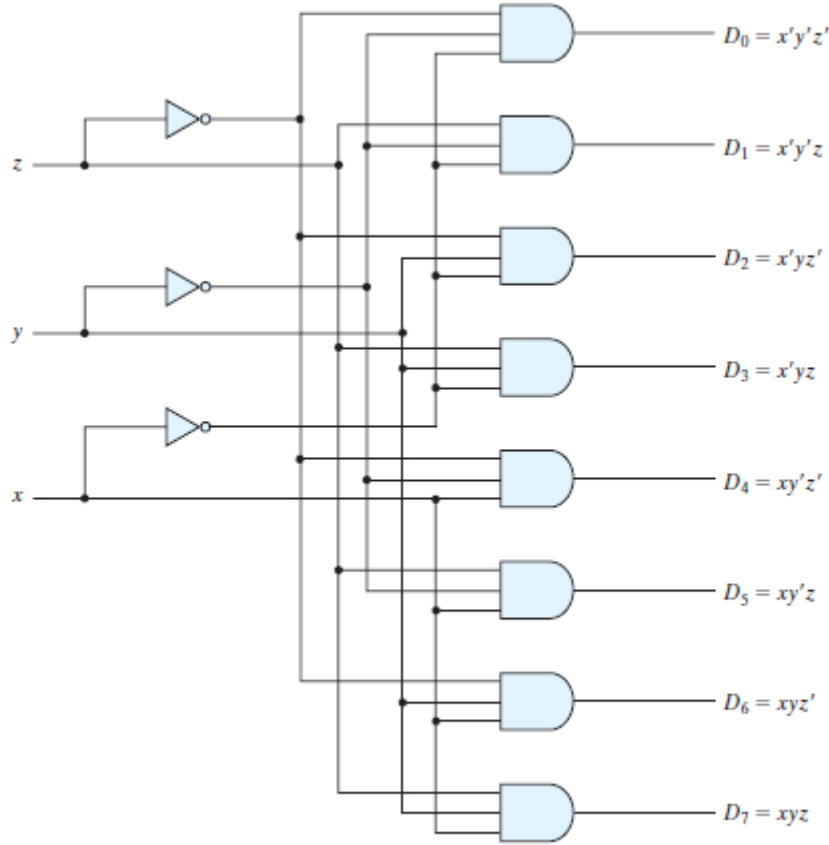


FIGURE 4.18
Three-to-eight-line decoder

Table 4.6
Truth Table of a Three-to-Eight-Line Decoder

Inputs			Outputs							
<i>x</i>	<i>y</i>	<i>z</i>	<i>D</i> ₀	<i>D</i> ₁	<i>D</i> ₂	<i>D</i> ₃	<i>D</i> ₄	<i>D</i> ₅	<i>D</i> ₆	<i>D</i> ₇
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

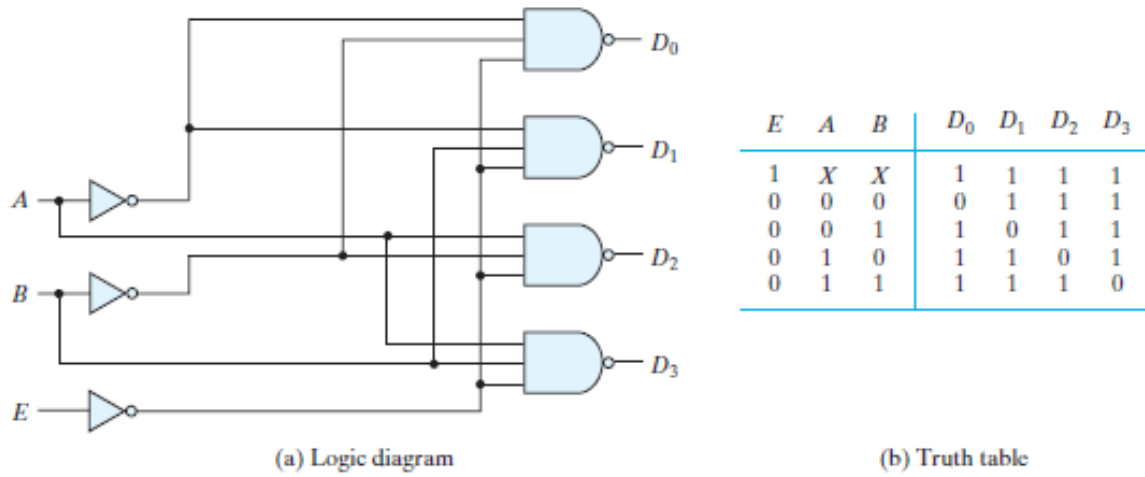


FIGURE 4.19
Two-to-four-line decoder with enable input

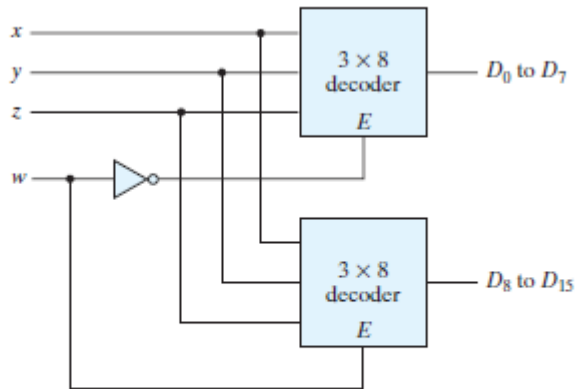


FIGURE 4.20
4 × 16 decoder constructed with two 3 × 8 decoders

Combinational Logic Implementation

Bir kod çözücü, n giriş değişkeninin 2^n mintermini sağlar. Kod çözücünün her çıkışı, benzersiz bir giriş bit modeli ile ilişkilendirilir. Herhangi bir Boole işlevi mintermlerin toplamı biçiminde ifade edilebildiğinden, mantıksal toplamalarını oluşturan harici bir VEYA kapısı ile birlikte fonksiyonun mintermlerini üreten bir kod çözücü, fonksiyonun bir donanım uygulamasını sağlar. Bu şekilde, n girişli ve m çıkışlı herhangi bir kombinasyonel devre, bir “ n -to- 2^n -line decoder” ve m OR kapısı ile gerçekleştirilebilir.

ENCODERS

Kodlayıcı, bir kod çözücünün ters işlemini gerçekleştiren dijital bir devredir.

Table 4.7
Truth Table of an Octal-to-Binary Encoder

Inputs								Outputs		
D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7	x	y	z
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

$$z = D_1 + D_3 + D_5 + D_7$$

$$y = D_2 + D_3 + D_6 + D_7$$

$$x = D_4 + D_5 + D_6 + D_7$$

The encoder can be implemented with three OR gates.

Tablo 4.7'de tanımlanan kodlayıcı, herhangi bir zamanda yalnızca bir girişin etkin olabileceği sınırlamasına sahiptir. İki giriş aynı anda aktifse, çıkış tanımsız bir kombinasyon üretir. Örneğin, D3 ve D6 aynı anda 1 ise, üç çıkışın tümü 1'e eşit olduğundan kodlayıcının çıkışı 111 olacaktır. Çıkış 111, binary 3'ü veya binary 6'yı temsil etmez. Bu belirsizliği çözmek için, kodlayıcı devreleri, yalnızca bir girişin kodlanmasını sağlamak için bir giriş önceliği oluşturmalıdır. Daha yüksek alt-indis numaralarına sahip girişler için daha yüksek bir öncelik belirlersek ve hem D3 hem de D6 aynı anda 1 ise, çıkış 110 olacaktır çünkü D6, D3'ten daha yüksek önceliğe sahiptir. Sekizliden ikiliye kodlayıcıdaki bir diğer belirsizlik, bir çıktının

Sekizliden ikiliye kodlayıcıdaki diğer bir belirsizlik, tüm girişler 0 olduğunda tümü 0 olan bir çıktının üretilmesidir; ancak bu çıktı, D0'ın 1'e eşit olduğu durumla aynıdır. Bu tutarsızlık, en az bir girişin 1'e eşit olup olmadığını belirtmek için bir çıktı daha sağlanarak çözülebilir.

Priority Encoder

Table 4.8
Truth Table of a Priority Encoder

Inputs				Outputs		
D_0	D_1	D_2	D_3	x	y	V
0	0	0	0	X	X	0
1	0	0	0	0	0	1
X	1	0	0	0	1	1
X	X	1	0	1	0	1
X	X	X	1	1	1	1

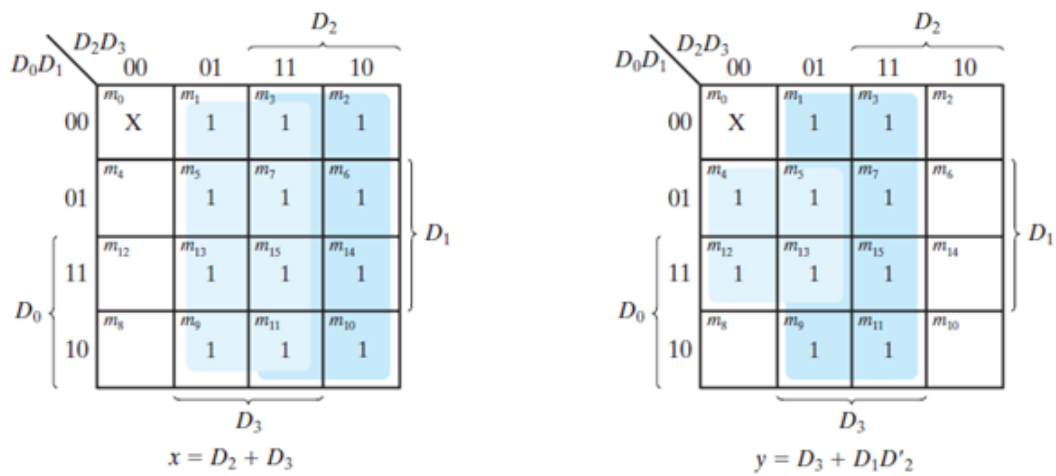


FIGURE 4.22
Maps for a priority encoder

$$\begin{aligned}
 x &= D_2 + D_3 \\
 y &= D_3 + D_1 D_2' \\
 V &= D_0 + D_1 + D_2 + D_3
 \end{aligned}$$

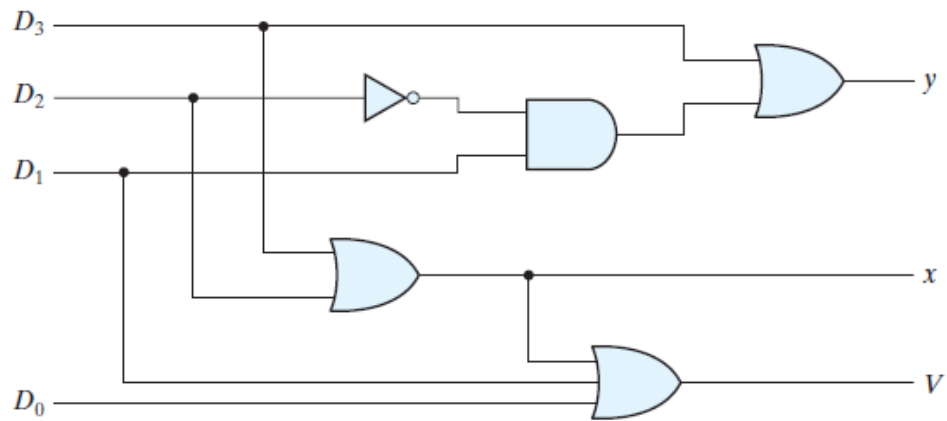


FIGURE 4.23
Four-input priority encoder