

BÖLÜM 8 - MULTİVİBRATÖRLER VE FLİP – FLOPLAR (FLİP-FLOPS)

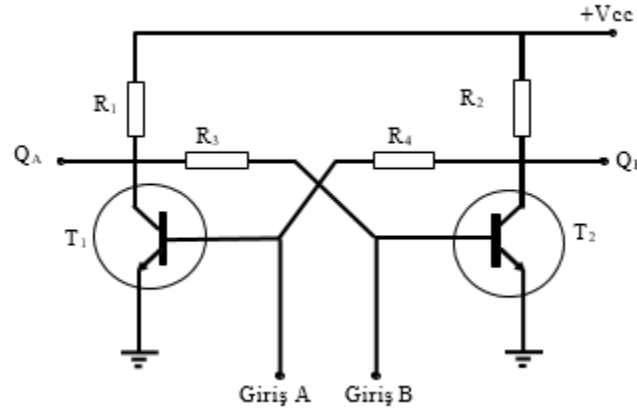
GİRİŞ

- Kare veya dikdörtgen sinyal üreten elektronik devreler, ‘Multivibratör’ olarak adlandırılır.
- Multivibratörlerin ürettiği sinyaller, dijital devrelerde tetikleme / saat (clock) sinyali olarak kullanılır. Multivibratörler üç gruba ayrılır:
 - Serbest çalışan (Astable) multivibratörler,
 - Tek kararlı (Monostable) multivibratörler,
 - Çift kararlı (Bistable) multivibratörler.
- Dışarıdan bir müdahale gereksinim duymadan, belirli aralıklarla durum değiştirerek sinyal üreten multivibratör, ‘**serbest çalışan multivibratör**’ olarak isimlendirilir.

GİRİŞ

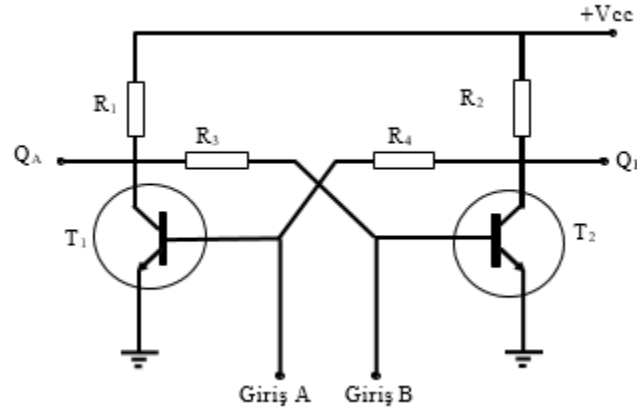
- Dışarıdan uygulanan uygun bir sinyal ile durumunu geçici bir süre değiştirip, bir süre sonra tekrar eski durumuna dönen multivibratör devresi, **‘tek kararlı multivibratör’** olarak adlandırılır. Bu tip multivibratörde, girişe uygulanan sinyal ile devrenin eski durumuna dönme süresi ayarlanarak, istenilen şekilde kare veya dikdörtgen dalga üretilir.
- Dışarıdan bir müdahale yapılmadığı sürece bulunduğu durumu sonsuza dek koruyan multivibratör devresi, **‘çift kararlı multivibratör’** olarak adlandırılır. Bu bölümde inceleyeceğimiz flip-flop devreleri çift kararlı multivibratör uygulamaları olduğundan, öncelikle bu tip multivibratörü oluşturan elektronik devreyi inceleyelim.

GİRİŞ



Şekil 9.1. Çift kararlı multivibratör devresi

- Şekil 9.1’de elektronik devresi görülen çift kararlı multivibratör devresine dışarıdan bir etki yapılmadığı sürece transistörler durumlarını ve çıkışlarda sahip oldukları değerlerini korurlar. Devrede iki transistör aynı çalışma durumunda bulunamaz.
- Devrenin çalışmasını açıklamaya yardımcı olması amacıyla T1’in iletimde, T2’nin yalıtmada olduğunu kabul edelim.



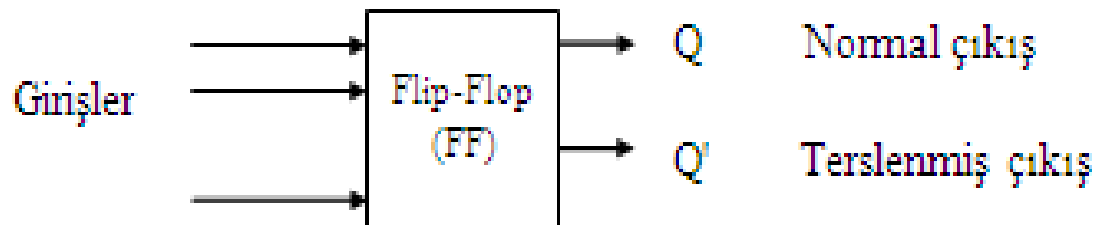
- T1 iletimde iken, T2'nin beyzi R3 üzerinden şase potansiyelindedir (yaklaşık 0 V) ve bu nedenle yalıtkandır. Dışarıdan uygulanacak bir etki (sinyal) ile T1 transistörü yalıtıma götürülürse, T1'in kolektöründe R1 üzerinden +V gerilimi gözükür. Bu durumda lojik '0' değerine sahip olan QA çıkışı durum değiştirir ve QA=1 değerini alır.
- T1'in kolektöründeki gerilim R3 üzerinden T2 transistörünün beyzine uygulandığından, T2 iletime geçer. T2'nin kolektörü şase potansiyeline gelir ve bu noktaya bağlı olan T1 transistörünü yalıtımda tutar. Bu durum, T2'nin girişine bir etki / sinyal uygulanıp yalıtıma götürülünceye kadar devam eder.
- Çalışması anlatılan devre, dijital elektronikte yaygın olarak kullanılan ve bu nedenle geniş olarak inceleyeceğimiz Flip-Flop (FF) devresinin temelini oluşturur.

1. FLİP-FLOP'LAR VE FLİP-FLOP ÇEŞİTLERİ

- Devreye çalışma gerilimi uygulandığı sürece durumunu ve buna bağlı olarak çıkışındaki değeri devamlı olarak koruyabilen multivibratör çeşidi, 'Flip-Flop' olarak adlandırılır ve 'FF' harfleri ile sembolize edilir.
- Lojik kapılarla oluşturulan flip-flop'lar, lojik devrelerde kullanılan en önemli bellek elemanlarıdır.

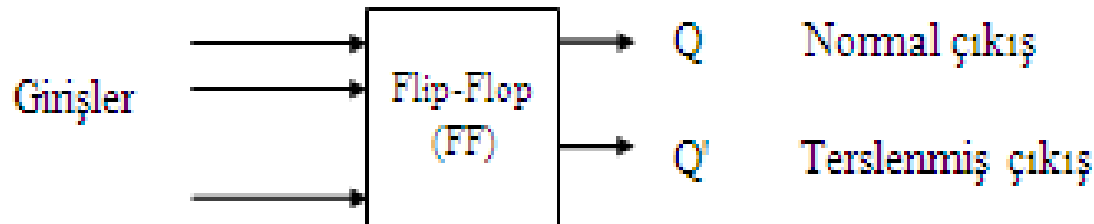
1. FLİP-FLOP'LAR VE FLİP-FLOP ÇEŞİTLERİ

- Bir bitlik bilgi saklama yeteneğine sahip flip-flop devrelerinde, biri saklanan bilginin (bitin) normal değerine, diğeri tümleyen değerine sahip iki çıkış bulunur.
- Aşağıdaki şekilde sembolü görülen FF, Q ve Q' olarak isimlendirilen ve birbirinin tersi olan iki çıkışa sahiptir. (Q çıkışı normal çıkış, Q' ise terslenmiş çıkış) olarak kabul edilir.
- Çıkış dendiği zaman, Q çıkışı referans alınır.
- Örneğin; FF'nin çıkışı '1' dendiği zaman, $Q=1$ kastediliyordur ve bu durumda $Q'=0$ değerine sahiptir.
- İki farklı konumdan (0 veya 1) birisini alabilen FF'de, çıkışların alacağı değerleri, FF'nin konumunu değiştirme kapasitesine sahip girişler belirler. FF'nin çıkış durumunu değiştirmek için, girişin tetiklenmesi gerekir.



1. FLİP-FLOP'LAR VE FLİP-FLOPÇEŞİTLERİ

- FF'nin çıkışını değiştiren tetikleme darbesinin sona ermesinden sonra, **FF'nin çıkışı konumunu korur.**
- Bu durum FF'nin bellek özelliği göstermesini sağlar. Diğer bir deyişle, tetikleme sinyali ile FF'nin durumu değiştirilmediği sürece FF durumunu sonsuza kadar koruyabilir.



Şekil 9.2. Flip - Flop devresi genel sembolü

1. FLİP-FLOP'LAR VE FLİP-FLOP ÇEŞİTLERİ

- FF'ler 'Latch' veya 'çift kararlı multivibratör' gibi diğer isimlerle de adlandırılır. '
- İkili bilgilerin flip-flop'a farklı bağlantıya sahip bileşik devreler üzerinden uygulanması sonucu, flip-flop çeşitleri oluşur.

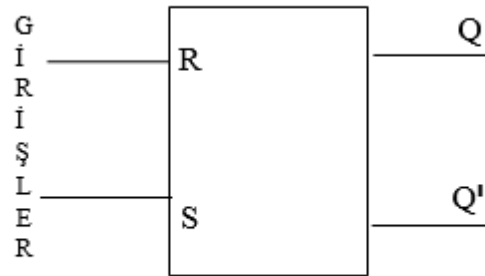
Bunlardan en çok kullanılanlar;

1. R - S (Reset - Set) tipi FF.
2. Tetiklemeli (clocked) R- S tipi FF.
3. J - K tipi FF.
4. Ana - Uydu (Master - Slave) tipi FF.
5. D (Data) tipi FF.
6. T (Toggle) tipi FF.

olarak sıralanabilir.

1.1. RS FLİP-FLOP DEVRESİ

- İki çıkışa sahip FF'de, iki farklı çıkış durumu bulunmaktadır: $Q=0$, $Q'=1$ ve $Q=1$, $Q'=0$ durumları. $Q=0$ ve $Q'=1$ olduğu durum, çıkış '0' veya 'reset-sıfırla' durumu olarak tanımlanır. Oluşabilecek ikinci durumunu ifade eden $Q=1$ ve $Q'=0$ durumu, çıkış '1' veya 'set-kur' durumu olarak adlandırılır.
- Bu durumda, FF'nin çıkışında $Q=0$ olmasını sağlayan girişi 'Reset-R', çıkışın $Q=1$ durumunu oluşturan girişi ise 'Set-S' olarak düşünülebilir.



Şekil 9.3. RS tipi FF sembolü

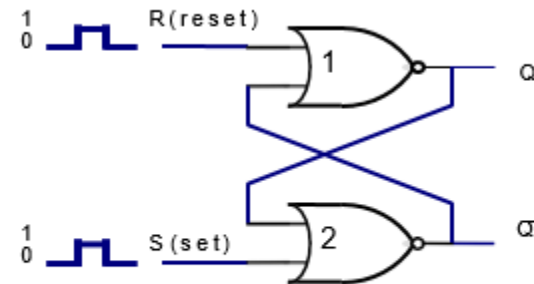
1.1. RS FLİP-FLOP DEVRESİ

- Temel FF devresi, iki ‘VEDEĞİL’ veya iki ‘VEYADEĞİL’ kapısı ile gerçekleştirilebilir.
- Her iki tip ‘latch’ devresinde, kapılardan birinin çıkışı diğerinin girişine çapraz şekilde bağlanmıştır. Q ve Q' olarak isimlendirilen kapı çıkışları, ‘latch’ çıkışlarıdır (Şekil 9.4).
- ‘VEYADEĞİL’ kapısının girişlerinden birisinin ‘1’ olması, çıkışının ‘0’ olması için yeterlidir. Her iki girişin ‘0’ olması durumunda, çıkış ‘1’ olur. ‘VEYADEĞİL’ kapısının özelliğini hatırlattıktan sonra, ‘VEYADEĞİL’ kapıları ile oluşturulan RS FF devresinin çalışmasını inceleyelim (Şekil 9.4).

S	R	Q	Q'
1	0	1	0
0	0	1	0
0	1	0	1
0	0	0	1
1	1	0	0

S=1, R=0 dan sonra

S=0, R=1 den sonra
(yasak)



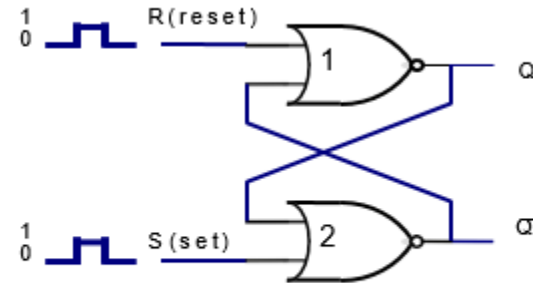
Şekil 9.4. ‘VEYADEĞİL’ kapıları ile yapılan RS-FF devresi ve doğruluk tablosu

1.1. RS FLİP-FLOP DEVRESİ

S	R	Q	Q'
1	0	1	0
0	0	1	0
0	1	0	1
0	0	0	1
1	1	0	0

S=1, R=0 dan sonra

S=0, R=1 den sonra
(yasak)



Şekil 9.4. 'VEYADEĞİL' kapıları ile yapılan RS-FF devresi ve doğruluk tablosu

- 'VEYADEĞİL' kapılarıyla oluşturulan FF devresinde, FF'nin durumu değiştirilmediği sürece her iki giriş '0' değerine sahiptir (Şekil 9.4).
- Set girişine '1' uygulanması, 2 nolu 'VEYADEĞİL' kapısının çıkışının ve 1 nolu 'VEYADEĞİL' kapısının girişlerinin birisinin '0' olmasını sağlar. Bu anda 1 nolu 'VEYADEĞİL' kapısının her iki girişi '0' değerini alır. Her iki girişi '0' olan 1 nolu 'VEYADEĞİL' kapısı çıkışı '1' olur. Bu durum, FF'nin 'set' durumuna (Q=1) geçmesine neden olur.
- Reset girişine '1' uygulanması; 1 nolu 'VEYADEĞİL' kapısının çıkışının ve 2 nolu 'VEYADEĞİL' kapısının girişinden birisinin '0' olmasına neden olur. Aynı anda diğer girişi de '0' olan 2 nolu 'VEYADEĞİL' kapısının çıkışı '1' değerini alır. Bu durum, FF'nin Q=0 (reset) durumuna geçmesini sağlar.

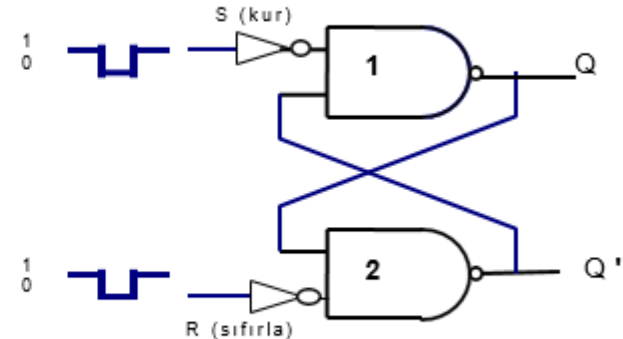
1.1. RS FLİP-FLOP DEVRESİ

- Her iki girişe '0' uygulanması, FF set durumunda iken set girişine '1' uygulanması veya FF reset durumunda iken reset girişine '1' uygulanması durumları, FF' un konumunu (çıkışları) değiştirmez. Her iki girişin '0' olduğu durum, 'belirsizlik' olarak tanımlanır ve bu durumda FF en son bulunduğu konumu korur. Her iki girişe '1' uygulanması durumunda ise iki çıkışta 0'a gider. 'Tanımsız' olarak isimlendirilen bu durumdan kaçınılması gerekir.
- RS FF, 'VEYADEĞİL' kapıları ile oluşturulmasına benzer şekilde, 'VEDEĞİL' kapıları ile de oluşturulabilir. Şekil 9.5'de 'VEDEĞİL' kapılarıyla oluşturulan RS FF devresi ve doğruluk tablosu görülmektedir. 'VEDEĞİL' kapısının girişlerinden biri '0' olduğu durumda çıkış '1' değerini alır.

S	R	Q	Q'
1	0	1	0
0	0	1	0
0	1	0	1
0	0	0	1
1	1	0	0

S=1, R=0 dan sonra

S=0, R=1 den sonra
(yasak)



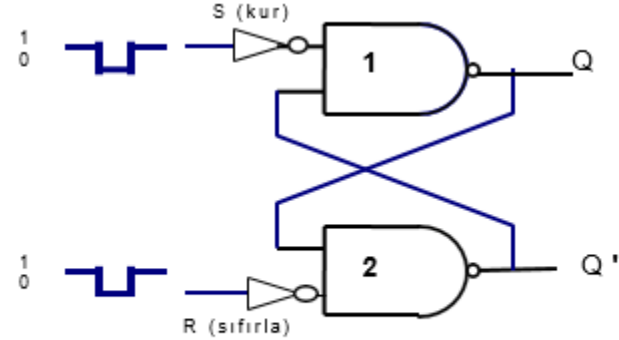
Şekil 9.5. 'VEDEĞİL' kapıları ile oluşturulan RS-FF devresi ve doğruluk tablosu

1.1. RS FLİP-FLOP DEVRESİ

S	R	Q	Q'
1	0	1	0
0	0	1	0
0	1	0	1
0	0	0	1
1	1	0	0

S=1, R=0 dan sonra

S=0, R=1 den sonra
(yasak)



Şekil 9.5. ‘VEDEĞİL’ kapıları ile oluşturulan RS-FF devresi ve doğruluk tablosu

- Girişlere S=0, R=1 uygulanması durumunda, 2 nolu ‘VEDEĞİL’ kapısının girişlerinden birisi ‘0’ olur. Girişlerden birisinin ‘0’ olması, ilgili ‘VEDEĞİL’ kapısının çıkışının ‘1’ olması için yeterlidir. Bu durumda Q'=1 değerini alır. Bu değer ile 1 nolu ‘VEDEĞİL’ kapısının her iki girişi ‘1’ olacağından, Q=0 çıkışı oluşur. Sonuç olarak; S=0, R=1 giriş değerlerinde çıkışlarda Q=0, Q'=1 değerleri okunur. Q=0 ve Q'=1 oluşmasını sağlayan işlem, ‘sıfırlama-(resetting)’ olarak, Q=0 durumu ise ‘sıfır (reset) durumu’ olarak isimlendirilir.
- ‘VEDEĞİL’ kapısı ile oluşturulan FF devresi girişlerine S=1 ve R=0 değerleri uygulandığında; 1 nolu ‘VEDEĞİL’ kapısının ‘DEĞİL’ kapısına bağlı olan girişi ‘0’ olur ve girişlerinden birisi ‘0’ olan bu kapının çıkışı ‘1’ değerlerini alır. Bu durumda, 2 nolu ‘VEDEĞİL’ kapısının her iki girişi ‘1’ olduğundan Q'=0 değeri oluşur.

1.1. RS FLİP-FLOP DEVRESİ

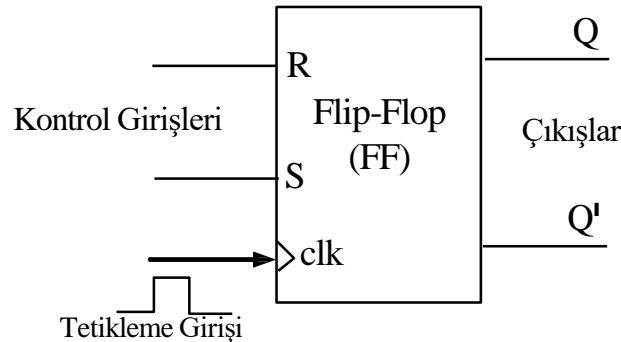
- Her iki girişin aynı anda '1' olması durumunda $Q=Q'=1$ olur ve istenilmeyen bir durum ortaya çıkar. 'Yasak durum' olarak adlandırılan bu durumdaki çalışmadan kaçınmak gerekir. Bu durum, $S=R=1$ durumu 'VEDEĞİL' ile yapılan FF'lerde kullanılamaz diye özetlenebilir.
- Burada açıklanan ve RS (reset-set) Flip-Flop olarak isimlendirilen FF bağlantısının değiştirilmesi ve yeni özellikler eklenmesi ile diğer FF çeşitleri oluşturulur.

1.2. TETİKLEMELİ -SAATLİ (CLOCKED -TRIGGERED) R- S TİPİ FLİP- FLOP

- FF'nin konumunun değiştirilmesi işlemi, 'tetikleme' olarak adlandırılır.
- Tetikleme girişinin bulunmadığı, FF durumlarının kontrol girişlerindeki bilginin değişmesi anında değiştiği FF'ler 'Asenkron FF'ler' olarak isimlendirilir.
- Tetikleme girişine sahip ve FF'nin durumunun tetikleme girişinden uygulanan sinyale bağlı olarak değiştiği FF'ler 'Senkron FF'ler' olarak tanımlanır.
- Senkron sistemlerde herhangi bir çıkışın değerinin değişebileceği zamanlar, 'tetikleme sinyali' (clock - saat) adı verilen, kare veya dikdörtgen şeklindeki sinyal tarafından belirlenir.
- Tetikleme sinyali olarak kullanılan sinyalin aktif durum (kenar) değişimi 0'dan 1'e ise buna 'pozitif kenar değişimi', aktif durum değişimi 1'den 0'a doğru ise 'negatif kenar değişimi' adı verilir.

1.2. TETİKLEMELİ - SAATLİ (CLOCKED - TRIGGERED) R- S TİPİ FLİP- FLOP

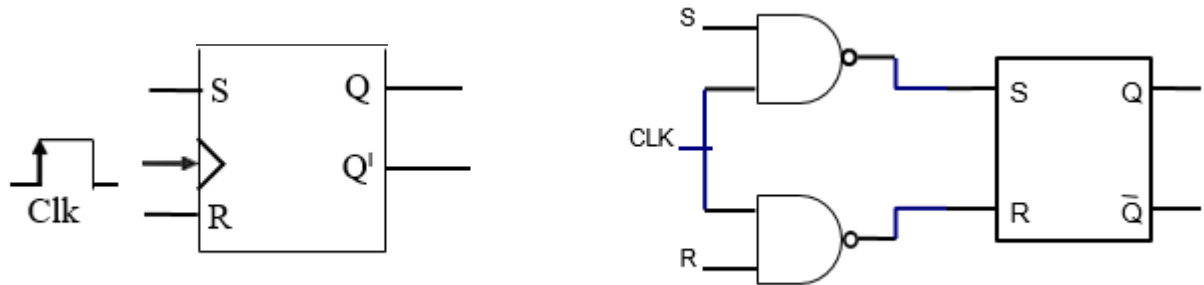
‘Tetikleme sinyali’ olarak isimlendirilen sinyal, tetiklemeli FF’lerde bulunan üçüncü girişe uygulanır. Tetikleme işleminin oluşması için gerekli tetikleme sinyalini FF’ye uygulamak amacıyla FF’de oluşturulan üçüncü giriş, ‘tetikleme girişi’ olarak adlandırılır (Şekil 9.6).



Şekil 9.6. Tetiklemeli RS FF sembolü

1.2. TETİKLEMELİ -SAATLİ (CLOCKED - TRIGGERED) R- S TİPİ FLİP- FLOP

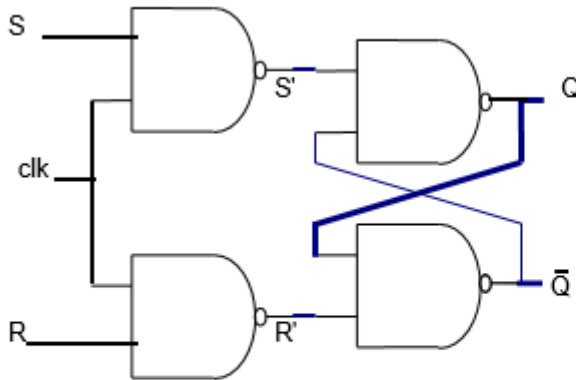
- Tetikleme girişi, 'clk' harfleri ile gösterilir ve 'clk girişi' olarak da isimlendirilir.
- Tetikleme girişinin eklenmesiyle senkron ardışıl devre durumuna gelen R-S FF devresinde, kontrol (R-S) girişlerinin değişmesi çıkışları hemen değiştiremez.
- Çıkışların değişmesi, tetikleme girişine uygulanan işarete bağımlıdır.
- Tetiklemeli RS FF'ler, RS FF devresinin girişlerine kapı devreleri eklemek suretiyle elde edilir.
- Tetikleme girişi eklenmiş R-S FF devresinin sembolü ve 'VEDEĞİL' kapılarıyla tetikleme girişi oluşturulması işlemi Şekil 9.7'de görülmektedir.
- Yapılan işlem, RS FF'nin girişlerine 3. giriş oluşturacak şekilde 'VEDEĞİL' kapıları bağlanmasıdır.



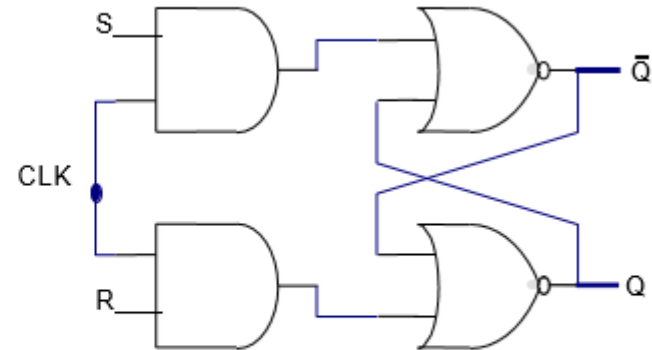
Şekil 9.7. Tetiklemeli R-S FF'nin sembolü ve 'VEDEĞİL' girişi tetiklemeli RS FF oluşturulması

1.2. TETİKLEMELİ - SAATLİ (CLOCKED - TRIGGERED) R-S TİPİ FLİP-FLOP

- Şekil a ve b'de 'VEDEĞİL' kapılarıyla oluşturulan tetikleme girişinin, 'VEYADEĞİL' ve 'VEDEĞİL' kapılarıyla oluşturulan RS FF devresine eklenmesi ile oluşan tetiklemeli RS FF devreleri görülmektedir.



a) 'VEDEĞİL' kapılı tetiklemeli R-S FF.



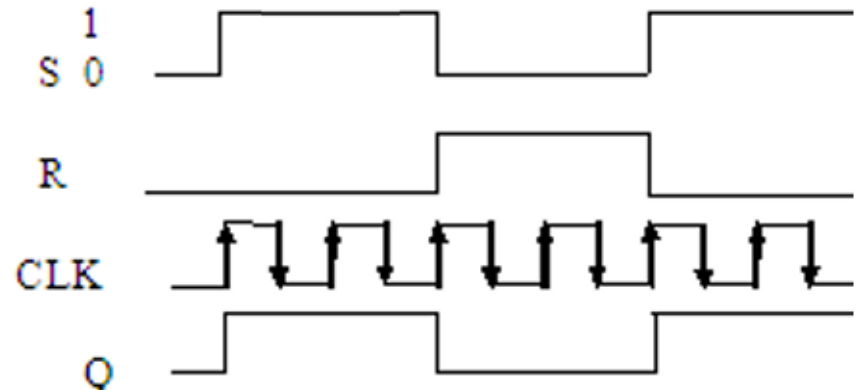
b) 'VE/VEYADEĞİL' kapılı tetiklemeli FF

ŞEKİL 9.8. TETİKLEMELİ R-S FLİP-FLOP LOJİK DEVRELERİ, KARAKTERİSTİK TABLOSU VE ÖRNEK DURUM DEĞİŞİMİ

- Şekil c'deki doğruluk tablosunda, farklı S-R giriş durumlarında 'Clk' sinyalinin etkisi açıklanmaktadır.
- Şekil d'de S ve R girişlerinin aldıkları farklı değerler ve 'Clk' sinyali ile Q çıkışının aldığı durumlar dalga şekilleri olarak gösterilmektedir.

R	S	CLK	Çıkış Q
0	0	1	Q ₀ (Değişiklik yok)
0	1	1	1
1	0	1	0
1	1	1	Belirsiz

c) Doğruluk tablosu.



d) RS FF örnek durum değişimleri

1.2. TETİKLEMELİ - SAATLİ (CLOCKED - TRIGGERED) R- S TİPİ FLİP- FLOP

‘VE’ ve ‘VEYADEĞİL’ kapıları ile oluşturulan tetiklemeli RS FF’de oluşan olaylar aşağıdaki şekilde özetlenebilir:

- Başlangıçta $R=S=0$ ve $Q=0$ iken; $Clk=1$ değerini alsa bile, FF’nin durumu değişmez ve $Q=0$ durumu devam eder. Bu durum, $R=S=0$ girişlerinde FF mevcut durumunu korur şeklinde özetlenebilir.
- $S=1$, $R=0$ girişlerinde, ‘Clk’ sinyalinin yükselen kenarı ile FF etkilenir ve $Q=1$ değerini alır. S, R girişleri durumlarını korurken, ‘Clk’ sinyali durum değiştirse dahi $Q=1$ durumu devam eder. $S=1$, $R=0$ durumunda iken, ‘Clk’ sinyalinin yükselen kenarının oluşturduğu $Q=1$ çıkışı, ‘set’ durumu olarak isimlendirilir.

1.2. TETİKLEMELİ - SAATLİ (CLOCKED - TRIGGERED) R- S TİPİ FLİP- FLOP

- $S=0$, $R=1$ değerlerine sahip iken 'Clk' sinyalinin ilk yükselen kenarı ile $Q=0$, $Q'=1$ değerleri oluşur. Bu durum $S=0$, $R=1$ olduğu sürece devam eder ve 'sıfır (reset)' konumu olarak adlandırılır.
- $S=1$, $R=1$ durumu çıkışta belirsizlik oluşturacağından bu durumdan kaçınılmalıdır. Belirsiz çıkış, FF'nin kullanıldığı devrede düzensiz çalışmaya neden olur.
- Sonuç olarak; senkronize kontrol girişleri olarak isimlendirilen R ve S girişlerinin, 'Clk' sinyali yardımıyla FF'nin çıkış durumunu belirlediği söylenebilir. Negatif tetiklemeli FF'lerde oluşan doğruluk tablosu, pozitif kenar tetiklemeli R-S FF'lerin aynısıdır. Tek fark; durum değişmesini sağlayan işaretin 1'den 0'a giderken FF'nin konumunu değiştirmesidir.

1.2. TETİKLEMELİ - SAATLİ (CLOCKED - TRIGGERED) R- S TİPİ FLİP- FLOP

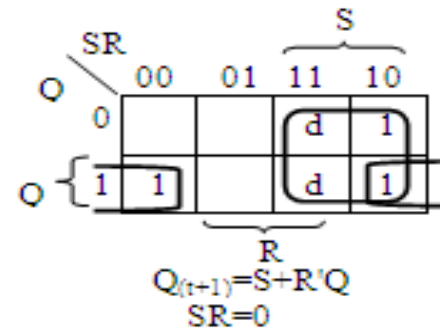
- RS FF'lerin, tetikleme işleminden beklenen işlemleri gerçekleştirmemesi nedeni ile RS FF'ler tetiklemesiz asenkron ardışıl devrelerde kullanılır. Tetikleme işleminin bulunduğu devrelerde ise Tetiklemeli FF olarak D ve JK Flip-Flop'lar ve özellikle daha basit yapıda olması nedeni ile D FF'ler tercih edilmektedir.
- FF doğruluk tablosunda Q çıkışı olarak belirtilen değerler, FF'nin bulunulan andaki durumunu gösterir. S ve R girişlerinin mümkün olan kombinasyonlarına tetikleme sinyali uygulanması durumunda oluşan yeni çıkış durumları, 'Q(t+1) durumu' olarak isimlendirilir. Q değeri göz önünde tutularak (üçüncü giriş olarak kabul edilip) R-S değerlerine göre Q(t+1) çıkışı yazılırsa; oluşan doğruluk tablosu, 'FF karakteristik tablosu' olarak isimlendirilir.
- □

1.2. TETİKLEMELİ - SAATLİ (CLOCKED - TRIGGERED) R- S TİPİ FLİP- FLOP

- Oluşan doğruluk tablosunun Karnaugh haritasına taşınması ile, Şekil 9.9.b'deki Karnaugh haritası ortaya çıkar. Doğruluk tablosunda bulunan belirsiz durumlar, Karnaugh haritasında farketmez-(d) olarak gösterilir. Karnaugh haritasında elde edilen eşitlik, önceki durum 'Q' ve SR girişlerinin fonksiyonu olarak sonraki durumun değerini vermektedir. Elde edilen eşitliğe $SR=0$ tanımlaması, S ve R girişlerinin aynı anda 1 değerini alamayacağını belirtmek için eklenmelidir. Elde edilen eşitlik, ilgili FF'ye ait 'karakteristik denklem' olarak isimlendirilir.

Q	S	R	Q(t+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	Tanımsız
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	Tanımsız

(a)

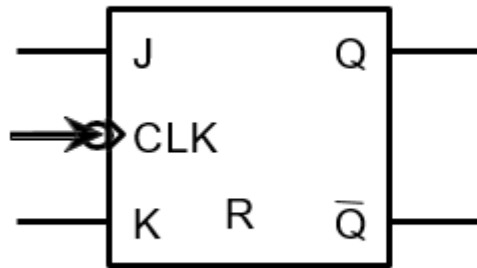


(b)

Şekil 9.9. Tetiklemeli R-S FF'nin karakteristik tablosu ve karakteristik denklemi

1.3. J-K FLİP-FLOP (JK FF)

- J-K Flip-Flop, RS FF'lerin belirsizlik durumunu ortadan kaldırmak amacıyla geliştirilmiş FF çeşididir.
- Tanımsız durumların tanımlı hale geldiği J-K FF'lerde, J ve K girişleri FF'i kurmak ve silmek için S ve R girişleri gibi davranır (Şekil 9.10.a).
- J girişinin S'ye, K girişinin R'ye denk geldiği J-K FF'lerde; J=K=1 durumunda iken, tetikleme sinyalinin her pozitif kenarı ile çıkış bir önceki durumun tersi değerini alır.
- Yani Q=1 ise 0'a, Q=0 ise 1'e geçiş olur. Bu işlem, **'toggle'** (ters çevirme) olarak isimlendirilir. Bu işlemin devamlı gerçekleştirilmesi için, J=1 ve K=1 durumunda bırakılır.
- Şekil 9.10.b'deki doğruluk tablosu, J-K FF'nin çalışmasını özetlemektedir. JK FF doğruluk tablosu, her iki girişin '1' olduğu durum haricinde tetiklemeli RS FF doğruluk tablosunun aynısıdır.

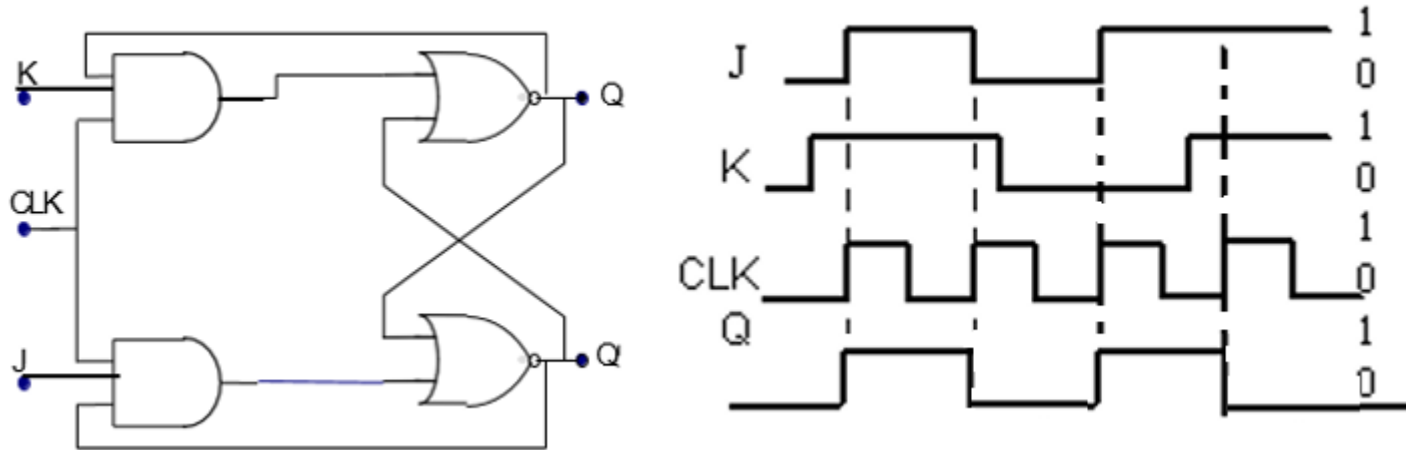


J	K	CLK	Q
0	0	1	Q_0
1	0	1	1
0	1	1	0
1	1	1	Toggle

Şekil 9.10. J-K FF sembolü ve doğruluk tablosu

1.3. J-K FLİP-FLOP (JK FF)

- Şekil 9.11.a'da lojik devre şeması görülen JK Flip- Flop devresinde, Q çıkışı K ve 'Clk' girişleriyle, Q' çıkışı J ve 'Clk' girişleriyle beraber 'VE' işlemine tabi tutulmuştur.
- Q=0 iken, J=K=0 girişlerinin uygulanması ile çıkış bir önceki durumun aynısı olur. Bu durum $Q(t+1) = Q(t)$ şeklinde özetlenebilir.
- J=0, K=1 ve J=1, K=0 giriş durumlarında çıkış J değerlerini izler. Yani J=0, K=1 durumunda Q=0 ve J=1, K=0 durumunda Q=1 değerini alır.



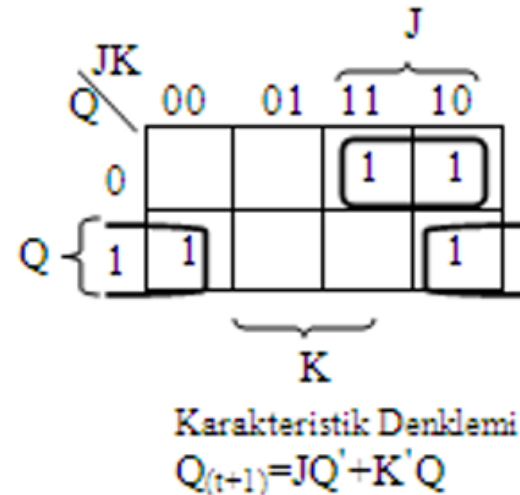
Şekil 9.11. JK FF lojik devre şeması ve örnek durum değişimleri

1.3. J-K FLİP-FLOP (JK FF)

- $J=0$ ve $K=1$ iken; tetikleme sinyali ('clk' palsı) ile FF'nin $Q=0$ değerini alması durumu, 'Reset' olarak tanımlanır. $J=1$, $K=0$ durumunda iken 'Clk' palsı ile $Q=1$ değerini alması durumu ise, 'Set' olarak belirtilir. Farklı JK kombinasyonlarında, 'Clk' sinyali ile Q çıkışında oluşacak durum değişimleri Şekil 9.11.b'de görülmektedir.
- JK FF'nin çalışması Q çıkışının önceki durumu göz önünde tutularak doğruluk tablosunda gösterilirse, Şekil 9.12.a'daki karakteristik tablo ortaya çıkar. Bu tablonun Karnaugh haritasına taşınması ile, $Q(t+1)$ durumu fonksiyon olarak tanımlanabilir (Şekil 9.12.b).

Q	J	K	$Q_{(t+1)}$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

(a)



(b)

Şekil 9.12. J-K FF karakteristik tablosu ve karakteristik denklemi

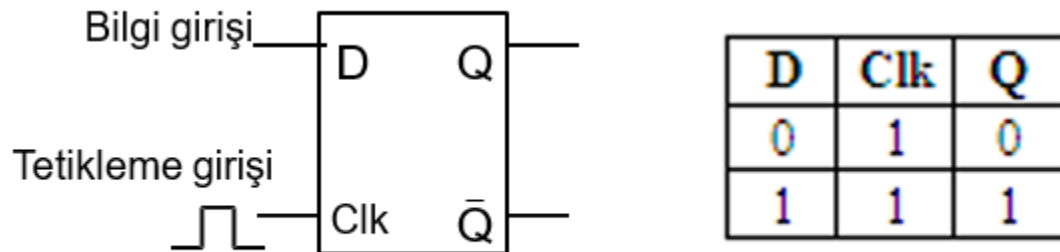
1.3. J-K FLİP-FLOP (JK FF)

JK FF’de yapılan işlem;

- $J=0, K=1$ ve $J=1, K=0$ durumlarında çıkış J değerini izler.
- $J=K=0$ durumunda önceki Q çıkışını koruyan devre, $J=K=1$ durumunda önceki çıkışın tersine sahip olur şeklinde özetlenebilir.
- Bu açıklamalardan; ‘RS FF’de bulunan yasak durum JK FF’de ortadan kalkmıştır’ genellemesi yapılabilir.
- Negatif tetiklemeli JK FF’nin çalışması ve çıkış durumu, FF’nin durum değiştirme anının tetikleme sinyalinin negatife giden kenarında olması haricinde pozitif tetiklemeli devrenin aynısıdır.

1.4 D TİPİ FLİP-FLOP (D FF)

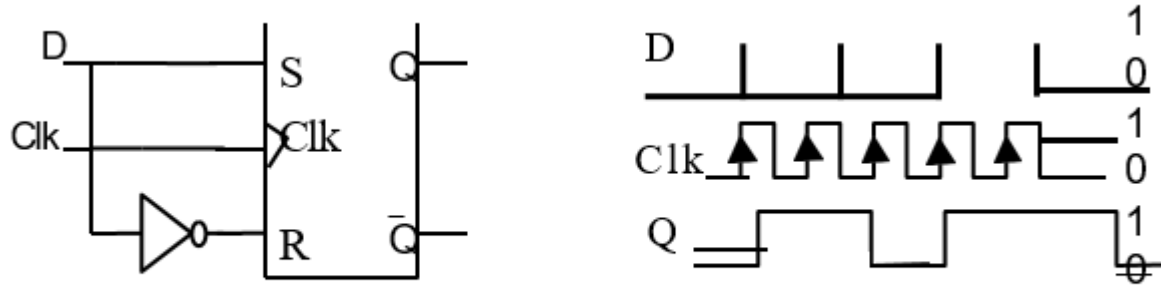
- Temel RS FF'den üretilen diğer bir FF çeşidi, tek bir senkron kontrol girişine sahip olan D (Data) tipi FF devresidir (Şekil 9.13.a).
- D tipi FF'de oluşan işlemler basittir;
 - Q çıkışı tetikleme sinyalinin gelmesi ile D kontrol girişinin sahip olduğu değeri alır (Şekil 9.13.b).
 - Bunun anlamı; D=0 iken, tetikleme sinyalinin gelmesi ile Q çıkışı '0' değerine sahip olur demektir.
 - D=0 durumu devam ettiği sürece, 'Clk' sinyalinin durumu değişse bile Q=0 değerini korur.
 - D=1 değerini alması durumunda, ilk gelen tetikleme sinyalinin pozitif kenarında Q=1 değerini alır.
 - Burada, Q çıkışının yalnızca tetikleme sinyalinin pozitif kenarlarında durum değiştirdiği unutulmamalıdır (Şekil 9.14.b).



Şekil 9.13. D tipi FF'nin sembolü ve doğruluk tablosu

1.4 D TİPİ FLİP-FLOP (D FF)

- D tipi FF devresi, RS FF'nin girişine 'DEĞİL' kapısı bağlanarak elde edilebilir (Şekil 9.14.a).
- Eklenen 'DEĞİL' kapısı, hem RS FF'lerde belirsiz durum oluşturan $R=S=1$ durumunu ortadan kaldırır, hem de çıkışın D girişini takip etmesini sağlar.



Şekil 9.14. D tipi FF'nin RS ile elde edilmesi ve örnek durum değişimleri

1.4 D TİPİ FLİP-FLOP (D FF)

- D tipi FF'nin Q çıkışı dikkate alınarak doğruluk tablosu oluşturulur (Şekil 9.15.a).
- Oluşan doğruluk tablosu Karnaugh haritalarına taşınırsa, Şekil 9.15.b'deki karakteristik denklem elde edilir.
- Elde edilen denklemden görüleceği üzere, FF'nin alacağı yeni durum D'ye bağlıdır.
- D tipi FF özelliğinden dolayı, paralel çıkışa sahip devrelerde çıkışlar arasında senkronizasyonu sağlamak amacıyla kullanılır.
- Birleşik devrenin çıkışları, tampon olarak kullanılan D tipi FF'nin girişlerine uygulanarak tetikleme sinyali ile senkronizasyon sağlanır.

Q	D	Q(t+1)
0	0	0
0	1	1
1	0	0
1	1	1

D FF karakteristik tablosu

Q \ D	0	1
0		1
1		1

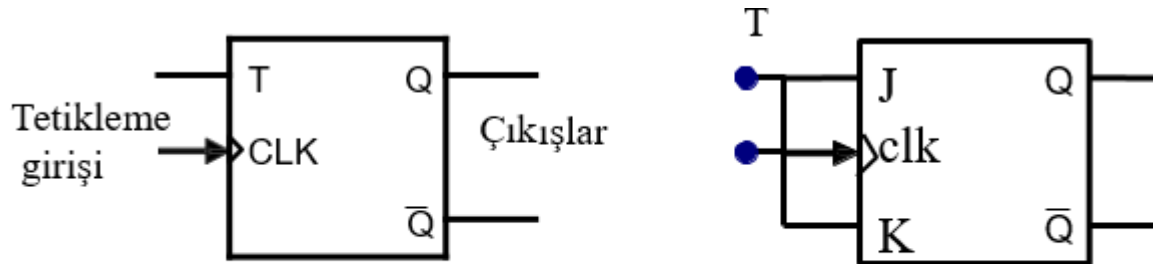
Karakteristik Denklemi

$$Q_{(t+1)} = D$$

Şekil 9.15. D tipi FF karakteristik tablosu ve karakteristik denklemi

1.5. T TİPİ FLİP FLOP (T FF)

- J-K FF'nin girişlerinin birleştirilip tek giriş olarak kullanılmasıyla oluşan devre, 'Toggle FF' (T tipi FF) olarak isimlendirilir (Şekil 9.16).
- 'Toggle', durumdan duruma geçme demektir. T tipi FF'de; T=1 iken, tetikleme sinyalinin uygulanmasıyla sahip olunan çıkışın terslenmiş hali elde edilir.
- T tipi FF'de Q=0 ve T=0 iken, 'Clk' sinyalinin gelmesi durumunda çıkışta Q=0 değeri korunur. Q=0 ve T=1 değerlerinde, ilk gelen 'Clk' sinyali ile çıkış durum değiştirerek bir önceki durumun tersi olur ve Q=1 değerini alır.
- Q=1 ve T=0 iken, 'Clk' sinyali uygulansa bile devre sahip olduğu çıkışı korur ve Q=1 değerini alır. Q=1, T=1 iken 'Clk' sinyali ile çıkış terslenir ve Q=0 olur.

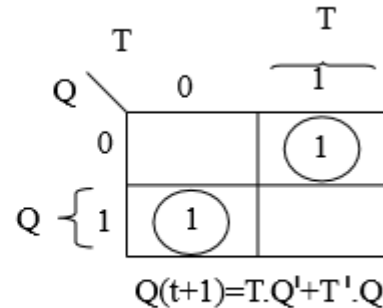


Şekil 9.16. T Tipi FF'nin sembolü ve JK FF'den T FF elde edilişi

1.5.T TİPİ FLİP FLOP (T FF)

- Anlatılan işlemlerin doğruluk tablosuna taşınması ile Şekil 9.17.a'daki karakteristik tablo oluşur.
- Tablodaki değerlerin Karnaugh haritasına taşınması ile karakteristik denklem elde edilir (Şekil 9.17.b).
- T tipi FF'de oluşan işlemler; 'T=0 iken FF önceki konumunu korurken, T=1 durumunda çıkış mevcut durumunun tersi olur' şeklinde özetlenebilir.

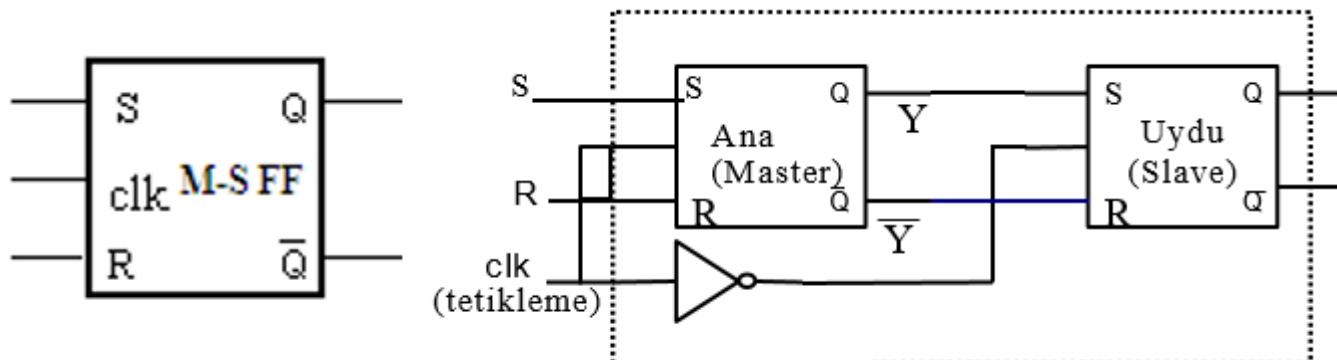
Q	T	Q(t+1)
0	0	0
0	1	1
1	0	1
1	1	0



Şekil 9.17. T FF karakteristik tablosu ve karakteristik denklemi

1.6. ANA UYDU (MASTER-SLAVE) FLIP-FLOP

- Ana-Uydu (Master-Slave) tipi FF devresi, Şekil 9.18’de görüldüğü gibi iki RS Flip-Flop ve bir ‘DEĞİL’ kapısı ile oluşturulur.
- Devrede kullanılan FF’lerden birisi ana devreyi, diğeri ise ana devreye bağlı olarak çalışan uydu FF’yi oluşturur.
- Ana-Uydu FF devresi, ‘Clk’ girişi ‘1’ olduğunda ‘Ana FF’ devresi, ‘0’ olduğunda ‘Uydu FF’ devresi çalışacak şekilde düzenlenmiştir.
- Tetikleme girişine ‘0’ uygulandığı zaman, ‘DEĞİL’ kapısının çıkışı uydu FF’nin ‘Clk’ girişini ‘1’ yapar.
- Bu durumda Q çıkışı Y’ye, Q’ çıkışı da Y’ çıkışına eşittir. Bu anda ana FF’nin tetikleme girişi ‘0’ olduğundan bu FF çalışmaz ve bir önceki konumu korur.
- Bunun anlamı; uydu FF’nin Q ve Q’ çıkış değerlerinin, ana FF’nin bir önceki değerlerine sahip olmasıdır.



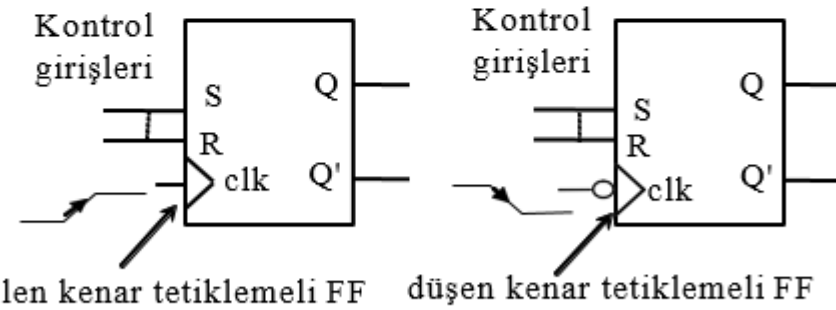
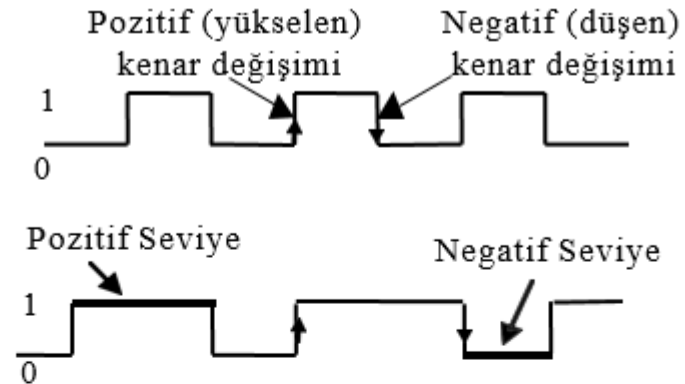
Şekil 9.18. Ana-Uydu FF sembolü ve lojik şeması

1.6. ANA UYDU (MASTER-SLAVE)FLİP-FLOP

- Tetikleme girişinin '1' yapılması durumunda, ana FF etkin duruma gelirken, uydu FF etkisizdir.
- Ana FF'nin çıkışları, girişlerin durumuna göre değerler alır. Devrenin çıkışı, uydu FF'nin durumuna eşittir.
- Ana-Uydu Flip-Floplar genelde negatif kenar tetiklemeli olarak çalışırlar.
- RS Tipi FF'lerle oluşturulan Ana-Uydu FF'nin diğer FF çeşitleri ile oluşturulması mümkündür.

2. TETİKLEME SİNYALİ VE FF'LERDE TETİKLEME

- FF'lerin tetikleme girişine uygulanan kare veya dikdörtgen şeklindeki sinyaller, 'tetikleme sinyali / palsı' olarak adlandırılır.
- Diğer bir deyişle; bir ardışıl devrenin durumunu değiştirip yeni bir duruma geçmesi için (bir sonraki durum) dışarıdan uygulanan uyarma işaretine 'tetikleme sinyali' denir.
- FF'lerdeki tetikleme işlemi, tetikleme sinyalinin durum değişimi veya 0/1 seviyeleri sırasında gerçekleşir (Şekil 9.19.a).
- FF devresini etkileyen sinyalin değişim yönü, FF sembolü üzerinde belirtilir. FF sembolündeki '>' işareti, tetikleme sinyalinin 0'dan 1'e veya 1'den 0'a geçişi sırasında FF girişlerinin etkili olacağını gösterir. '>' işaretinin önündeki daire (o) bulunması, FF'nin düşen kenar ile tetikleneceğini gösterir (Şekil 9.19.b).

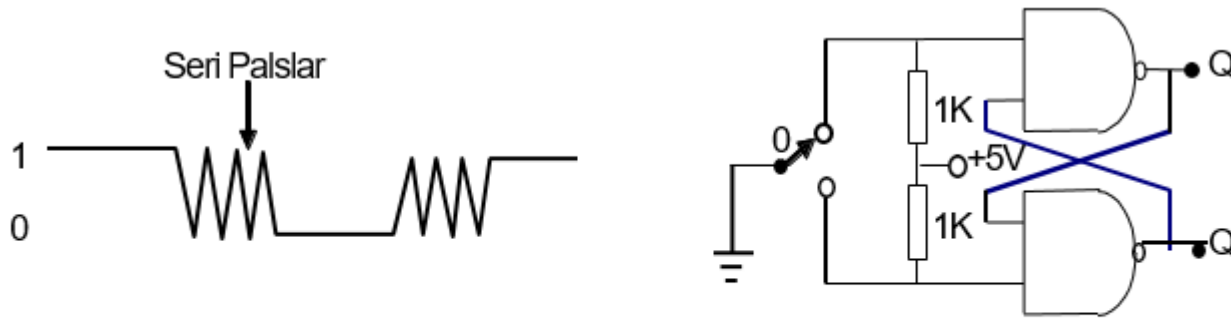


yükselen kenar tetiklemeli FF düşen kenar tetiklemeli FF

Şekil 9.19. Tetikleme sinyalleri ve tetikleme sinyallerinin FF'lere uygulanması

2. TETİKLEME SİNYALİ VE FF'LERDE TETİKLEME

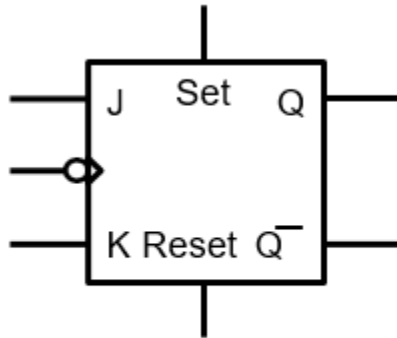
- FF devresi, tetikleme sinyalinin pozitif kenarında tetikleniyorsa 'pozitif kenar tetiklemeli', sinyalin negatif kenarında tetikleniyorsa 'negatif kenar tetiklemeli' devre olarak tanımlanır. Tetikleme işlemi 1 veya 0 değeri sırasında gerçekleşiyorsa, düşey tetiklemeli devre olarak adlandırılır.
- FF devrelerine tetikleme sinyali anahtar yardımıyla uygulanırsa, anahtarın kapatılması ve açılması sırasında, anahtarın mekaniksel yapısı nedeniyle sıçramalar oluşur (Şekil 9.20.a).
- Tetikleme sinyalinde meydana gelen sıçramalar, senkronizasyonlu devrelerde karışıklıklara neden olabilir. Çünkü kısa süreli seri palslar, sistemin çalışmasına etki eden parazitler oluşturulabilir. Parazitlerin oluşması olayı, 'Sıçrama Olayı' (Bouncing) olarak adlandırılır. Parazitlerin oluşmasını engellemek için yapılan işlem ise, 'anahtarlı sıçrama önleme' (Switch Debouncing) diye tanımlanır (Şekil 9.20.b).



Şekil 9.20. Anahtar kontaklarının açılması ve kapanması sırasında oluşan sıçrama etkisi ve etkiyi kaldırmak için kullanılan anahtarlı sıçrama önleme devresi.

3. FF'LERDE ASENKRON GİRİŞLER

- Buraya kadar incelediğimiz RS, JK, D, T, Ana-Uydu tipi Flip-Flop'ların sahip oldukları girişler, 'kontrol girişleri' veya 'senkronize girişler' olarak isimlendirilir. Bu girişler, tetikleme girişi (Clk) ile ilişkili olarak çalışırlar. Bununla beraber tetiklemeli FF'lerin çoğu, senkronize girişler ve tetikleme girişi ile bağımsız olarak çalışan bir veya daha fazla asenkron girişe sahiptir.
- 'Asenkron girişler', FF'nin çıkış durumunu '1' konumuna getiren 'set işlemi' veya çıkışın durumunu '0' konumuna getiren 'reset işlemi' için kullanılır. Set ve reset işlemleri yapan asenkron girişler, diğer girişlere göre daha üstündürler ve diğer girişlerin durumuna bakmaksızın FF'nin çıkış durumunu belirlerler.
- Şekil 9.21'de, set ve reset asenkron girişlerine sahip tetiklemeli J-K FF'nin sembolü ve doğruluk tablosu görülmektedir.
- Negatif kenar tetiklemeli bu devrede, her iki asenkron girişin '0' olması durumunda tetiklemeli J-K FF işlemi gerçekleştirilir. Set=0, Reset=1 olması durumunda, diğer girişlerin durumuna bakılmaksızın FF çıkışı $Q=0$ konumuna getirilir.
- Reset=0, Set=1 durumunda ise, başka bir etkene bakılmaksızın FF'nin çıkışı $Q=1$ değerini alır. Set=1, Reset=1 durumu ise belirsiz bir çıkışa neden olacağından kullanılmaz.



Set	Reset	FF'nin tepkisi
0	0	Normal işlem
0	1	$Q=0$
1	0	$Q=1$
1	1	Kullanılmaz

Şekil 9.21. Asenkron girişli J-K FF sembolü ve doğruluk tablosu

4. FLİP-FLOP PARAMETRELERİ

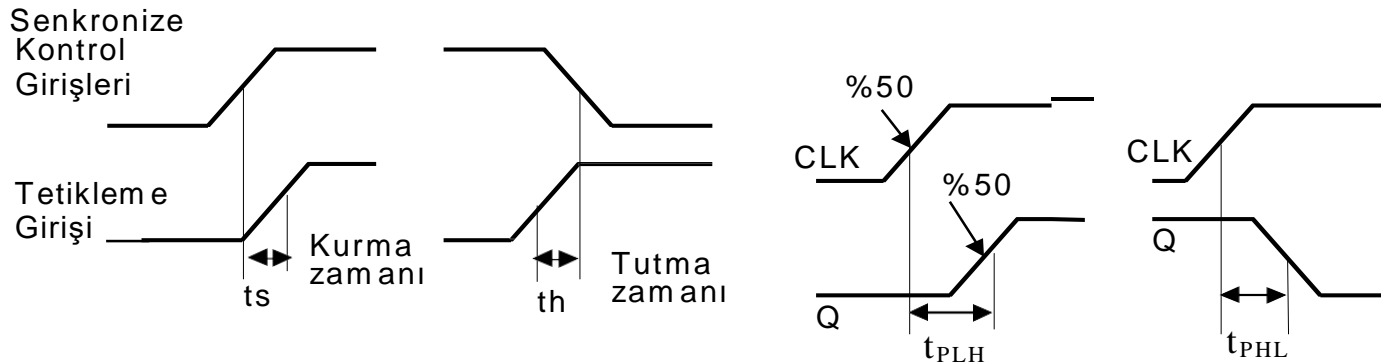
- Flip-Flop entegre devre üreticileri, FF'lerin sahip oldukları özellikleri açıklayan zamanlama parametreleri ve karakteristikler belirlemişlerdir. Bunlardan önemli olanları, TTL ve CMOS ailelerindeki elamanlar üzerinde inceleyelim.

i- Kurma ve Tutma Zamanları (Setup and Holding Times):

- Kurma zamanı (setup time-ts), tetikleme sinyalinin devrenin durumunu değiştirmesi için geçen zamandır. Entegre devre üreticileri genelde izin verilebilen minimum kurma zamanını belirtirler. Eğer bu zaman gereksinimi sağlanmazsa, devre tetikleme sinyallerinin durum değişikliklerine güvenli tepki vermeyebilir.

4. FLİP-FLOP PARAMETRELERİ

- ‘Tutma zamanı’ (holding time- t_h), tetikleme sinyalinin senkronize girişlerdeki durum değişikliğini hissedebilmesi için gerekli zaman aralığıdır. Üreticiler tarafından minimum sınırı belirlenen bu zamanın sağlanamaması durumunda FF güvenli olarak tetiklenemez.



Şekil 9.23. FF kontrol girişleri için kurma - tutma zamanları ve FF yayılım gecikmeleri

4. FLİP-FLOP PARAMETRELERİ

- Tetiklemeli FF'nin tetikleme sinyaline düzgün tepki verebilmesi için, senkronize girişlerin belirli bir süre değişmeden durması gerekir (kurma ve tutma zamanlarından dolayı). Bu süre, tetikleme sinyalinin durum değiştirmesinden önce 'ts' kadar, durum değişikliğinden sonra 'th' kadar olmalıdır (Şekil 9.23.a). FF'lerde genelde kurma zamanı 5-50 nsn, tutma zamanı 1-10 nsn arasında değişir. Senkron sistemlerde çok önemli olan bu zamanların ölçümünde, durum değişikliklerinin %50 seviyesi referans olarak alınır.

4. FLİP-FLOP PARAMETRELERİ

- ii- Yayılım Gecikmesi (Propagation Delay):
 - FF'lerde tetikleme sinyalinin uygulandığı an ile, çıkışın konum değiştirdiği an arasındaki zaman farkına 'yayılım gecikmesi' denir. FF'nin durumunun 0'dan 1'e geçerken ve 1'den 0'a geçerken oluşan yayılım gecikmeleri, üretici kataloglarında t_{PHL} ve t_{PLH} şeklinde maksimum değerler olarak verilir (Şekil 9.23.b).
 - Yeni tasarlanan FF entegrelerinde yayılım gecikmesi birkaç nano saniye ile $1\mu s$ n arasında değişir. Genelde aynı değere sahip olmayan t_{PHL} ve t_{PLH} zamanları, Q çıkışından sürülen yüklerin artması ile orantılı olarak yükselir.

4. FLİP-FLOP PARAMETRELERİ

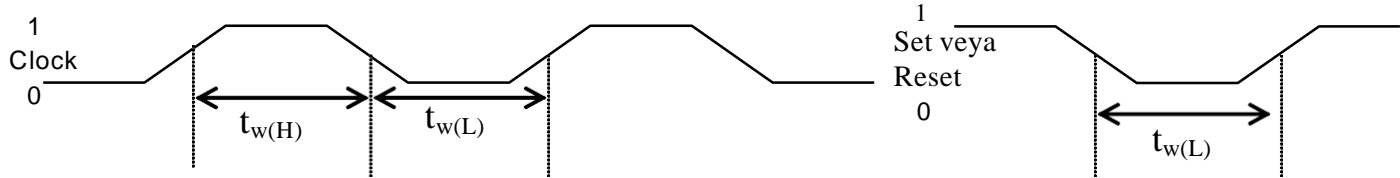
iii- Maksimum Tetikleme Frekansı (Maximum Clocking Frequency – f_{max}):

- ‘Tetikleme frekansı’, FF’nin tetikleme girişine güvenli bir tetikleme için uygulanabilecek en yüksek frekansı ifade eder. F_{max} ’ın temsil ettiği değer, aynı seri numaralı FF’lerde dahi farklılık gösterebilir. Verilen sınırın altındaki frekanslarda devre randımanlı çalışırken, bunun üzerindeki değerlerde olumsuz durumlarla karşılaşılabilir.

iv- Tetikleme sinyali ‘1’ -‘0’ zamanları ve Asenkron Giriş Sinyal Genişliği:

- Üretici firmalar, tetikleme sinyalinin ‘1’ ve ‘0’ durumlarında kalması gerekli minimum zamanı (Clock pulse High and Low Times) belirlerler.

4. FLİP-FLOP PARAMETRELERİ



Şekil 9.24.

- '0' durumunda kalması gerekli minimum zaman ' $t_{w(L)}$ ' olarak, '1' durumunda kalması gerekli minimum zaman ' $t_{w(H)}$ ' olarak isimlendirilir. Durum değiştirmelerin %50 seviyeleri arasındaki zaman olarak tanımlanan bu sürelerin sağlanamaması durumunda güvenli bir tetikleme işlemi oluşmayabilir (Şekil 9.24.a).

Üreticilerin belirlediği diğer bir parametre, 'set' ve 'reset' girişlerinin (aşenkron girişlerin) aktif tutulma zamanlarıdır. Minimum değer olarak verilen bu zamanların sağlanamaması durumunda 'set' ve 'reset' işlemleri gerçekleşmeyebilir (Şekil 9.24.b).

4. FLİP-FLOP PARAMETRELERİ

v- Tetikleme sinyali durum değiştirme zamanı :

- Durum değiştirme zamanı (Clock Transition Times), tetikleme sinyalinin 1'den 0'a veya 0'dan 1 durumuna geçişirken geçen zamandır. Güvenli bir tetikleme işlemi için, tetikleme sinyali durum değişim zamanlarının çok küçük tutulması gereklidir. Durum değiştirme zamanının uzun olması durumunda tetikleme işlemi yanlış yorumlanabilir veya tetikleme işlemi oluşmayabilir.
- Üreticiler her bir entegre için gerekli maksimum durum değiştirme zamanını vermeseler de, lojik aileler için ortalama değerler vermişlerdir. Örneğin; TTL ailesi için durum değiştirme zamanı $\square 50$ nsn ve CMOS ailesi için $\square 200$ nsn olmalıdır.

5. FLİP-FLOP DURUM GEÇİŞ TABLOLARI

- ‘Flip-Flop doğruluk tablosu’, FF’nin özelliğini ve çalışmasını tanımlar. Flip-flop’ların özelliklerini tanımlayan RS, JK D ve T FF’lere ait doğruluk tabloları Şekil 9.25’de verilmiştir.
- Flip-Flop’ların çalışma durumunu analiz etmede oldukça kullanışlı olan doğruluk tabloları yardımıyla, giriş ve mevcut durum değerlerinden faydalanılarak sonraki durum kolayca bulunabilir. Tablodaki $Q(t)$ mevcut durumu, $Q(t+1)$ ise tetikleme sinyali uygulanınca meydana gelen yeni durumu açıklar.

S	R	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	B ?
a) R-S FF		

J	K	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	$\overline{Q(t)}$
b) J-K FF		

D	$Q(t+1)$
0	0
1	1
c) D FF	

T	$Q(t+1)$
0	$Q(t)$
1	$\overline{Q(t)}$
d) T FF	

Şekil 9.25. Flip Flop’ların doğruluk tabloları

5. FLİP-FLOP DURUM GEÇİŞTABLOLARI

Şimdi Flip-Flop'lara ait doğruluk tabloları inceleyelim:

- Şekil 9.25.a'da görülen RS Flip-Flop'un doğruluk tablosundan; $R=S=0$ durumunda önceki ile sonraki lojik seviyelerin aynı olduğunu görürüz. $S=1$ yapıldığında FF çıkışı $Q=1$ pozisyonunu alırken, $R=1$ olduğunda FF'nin çıkışı $Q=0$ durumunu alır. $S=R=1$ durumunda ise çıkış durumu belirsizdir.
- J-K FF'e ait doğruluk tablosu, tanımsız durum haricinde R-S FF'ninki ile aynıdır. Kontrol girişlerinin $J=K=1$ olması durumunda, yeni durum mevcut durumun lojik olarak tersidir.
- D tipi FF'lerde $Q(t+1)$ durumu tamamen D girişine bağlıdır. Mevcut durumun çıkışa bir etkisi yoktur.
- T tipi FF'lerin yeni durumu $T=0$ olduğunda mevcut durum ile aynı iken, $T=1$ olduğunda mevcut durumun tersidir.

5. FLİP-FLOP DURUM GEÇİŞ TABLOLARI

- Lojik devre tasarımı sırasında, FF durumlarında gerekli değişmeyi sağlayacak giriş değişkenlerini belirlemek önemlidir. Giriş değişken değerlerinin belirlenmesinde, FF'lerde durum değişikliğini sağlayacak giriş seviyelerini gösteren (her bir tip FF için farklı olan) tablolardan faydalanılır. Doğruluk tablolarından faydalanılarak oluşturulan bu tablolara, 'durum geçiş tabloları' adı verilir.

S	R	$Q_{(t+1)}$	J	K	$Q_{(t+1)}$	D	$Q_{(t+1)}$	T	$Q_{(t+1)}$
0	0	$Q_{(t)}$	0	0	$Q_{(t)}$	0	0	0	$Q_{(t)}$
0	1	0	0	1	0	1	1	1	$\overline{Q_{(t)}}$
1	0	1	1	0	1				
1	1	B ?	1	1	$\overline{Q_{(t)}}$				
a) R-S FF			b) J-K FF			c) D FF		d) T FF	

Şekil 9.25. Flip Flop'ların doğruluk tabloları

5. FLİP-FLOP DURUM GEÇİŞ TABLOLARI

- Şekil 9.26'da 4 çeşit FF'e ait durum geçiş tabloları görülmektedir. Tablolarda $Q(t)$ ve $Q(t+1)$ olarak gösterilen kolonlar, sırasıyla mevcut durumu ve istenilen durum (sonraki durum) değişikliğini gösterir. Mevcut durumdan sonraki duruma geçiş sırasında, dört farklı geçişten biri oluşabilir. Dört farklı geçiş işlemi için gerekli giriş değerlerini gösteren bilgiler durum geçiş tablosundan alınabilir.
- Durum geçiş sırasında, giriş değerlerinin önemli olmadığı durumlar 'fark etmezlik' olarak ifade edilir ve 'X' veya 'd' ile gösterilir. 'X' ile ifade edilen bilginin '1' veya '0' olmasında bir farklılık yoktur.

5. FLİP-FLOP DURUM GEÇİŞ TABLOLARI

- RS FF'lerde mevcut ve yeni durumun aynı olması isteniyorsa, RS FF doğruluk tablosundan $R=S=0$ giriş değerlerine sahip olması gerektiği bulunur (Şekil 9.26.a). Bununla beraber, $S=0$ olması çıkışın '0' olması için yeterli olduğundan, 0'dan 0'a durum değişikliğinde R'nin alacağı değer önemi yoktur. Bu nedenle, geçiş tablosuna $S=0$, $R=X$ değerleri yazılabilir. Durum geçiş tablosundan, FF'in '0' dan '1' durumuna geçmesi isteniyorsa; $S=1$ ve $R=0$ değerlerinin, aynı şekilde 1'den 0'a geçiş isteniyorsa; $S=0$ ve $R=1$ değerlerinin uygulanması gerektiği bulunabilir. '1' konumundaki çıkışın durumunu '1' olarak koruması için $R=0$ değeri uygulanırken, S'ye uygulanacak bilginin önemi yoktur.

5. FLİP-FLOP DURUM GEÇİŞ TABLOLARI

Q(t)	Q(t+1)	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

a) RS FF

Q(t)	Q(t+1)	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

b) JK FF

Q(t)	Q(t+1)	D
0	0	0
0	1	1
1	0	0
1	1	1

c) D FF

Q(t)	Q(t+1)	T
0	0	0
0	1	1
1	0	1
1	1	0

d) T FF

Şekil 9.26. Flip- Flop'ların durum geçiş tabloları

5. FLİP-FLOP DURUM GEÇİŞ TABLOLARI

- JK FF'lerde mevcut ve yeni durumun '0' olması durumunda; $J=0$, $K=X$ uygulanmalıdır (Şekil 9.26.b). Aynı şekilde, çıkış '1' durumunda iken konumunun devam etmesi isteniyorsa girişlerde $K=0$, $J=X$ değerleri bulunmalıdır. FF çıkışının 0'dan 1'e değişmesi isteniyorsa; $J=1$ değerinin uygulanması yeterlidir ve K 'ya uygulanacak değer önemi yoktur. Çıkış konumunun 1'den 0'a geçmesi isteniyorsa; $K=1$ uygulanması çıkışın '0' değerini alması için yeterli olduğundan, J girişinin değeri önemsizdir.
- D tipi FF geçiş tablosundan (Şekil 9.26.c), FF'nin sonraki durumunun her zaman D girişine eşit olduğu söyleyebiliriz. Yani mevcut durumun bir etkisi yoktur. $Q_{(t+1)}$ değerinin ne olması isteniyorsa, D'ye aynı bilginin uygulanması yeterlidir.

5. FLİP-FLOP DURUM GEÇİŞ TABLOLARI

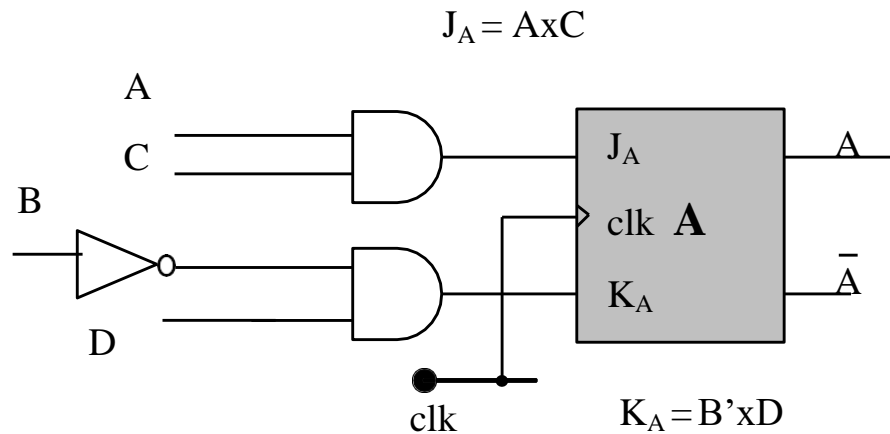
- T tipi FF'ye ait durum geçiş tablosundan (Şekil 9.26.d); $T=1$ durumunda FF'nin durum değiştirdiğini, $T=0$ olduğunda ise FF'nin çıkışının bir önceki durumunu koruduğunu bulabiliriz. Bu nedenle; T tipi FF'nin çıkışının bir önceki durumunu koruması isteniyorsa $T=0$, durumunu değiştirmesi isteniyorsa $T=1$ yapılmalıdır.
- Durum geçiş tabloları sayıcı tasarımında önemli bir yere sahip olduğundan, sayıcılar konusunda sıkça kullanılacaktır.

6. FLİP-FLOP GİRİŞ FONKSİYONLARI

- Bir FF'nin giriş fonksiyonu dendiğinde, FF devresinin giriş katında bulunan birleşik devrelerce üretilip FF girişlerine uygulanan ve FF'nin istenen yeni durumlara ulaşmasını sağlayan lojik kapı devreleri anlaşılır. FF'lerin giriş fonksiyonlarını ifade eden denklemler, hem harici girişlerin hem de şimdiki (mevcut) durumların fonksiyonu olarak yazılır. FF devresinin giriş değişkenleri iki harfli bir simge ile gösterilir ve birinci harf girişin adını, ikinci harf ise FF'nin adını simgeler. Örneğin; bir devrede bulunan J-K FF'lere ait girişler J_A , J_B , J_C ve K_A , K_B , K_C simgeleri ile belirtilir. Aynı durum diğer FF çeşitleri için de geçerlidir.

6. FLİP-FLOP GİRİŞ FONKSİYONLARI

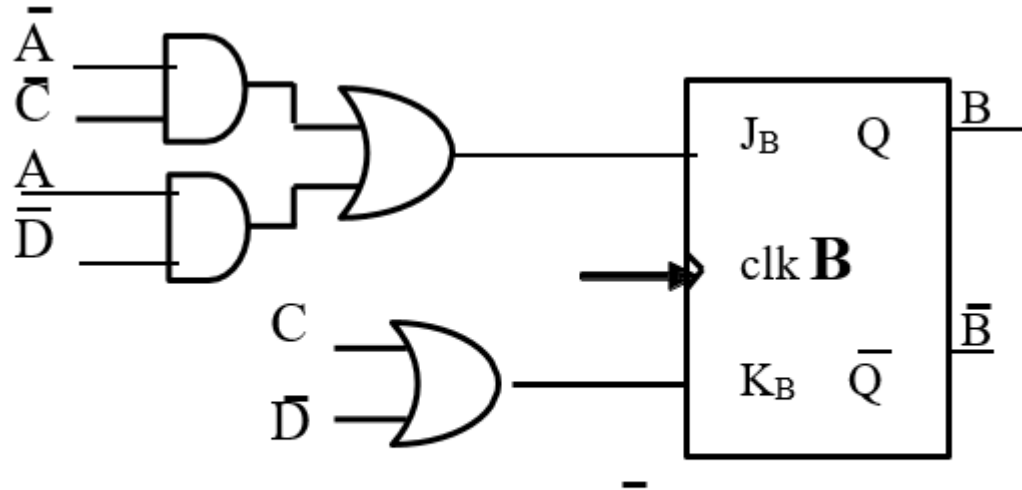
- Şekil 9.27'deki devrede bulunan FF giriş fonksiyonlarının;
 $J_A = AC$ ve $K_A = B'D$
olduğu bulunabilir.



Şekil 9.27. J_A ve K_A giriş fonksiyonlarının oluşturulması

6. FLİP-FLOP GİRİŞ FONKSİYONLARI

- $J_B = A'C' + AD'$ ve $K_B = CD'$
eşitliklerinin FF girişlerine uygulanması ile Şekil 7.28'deki devre oluşur.

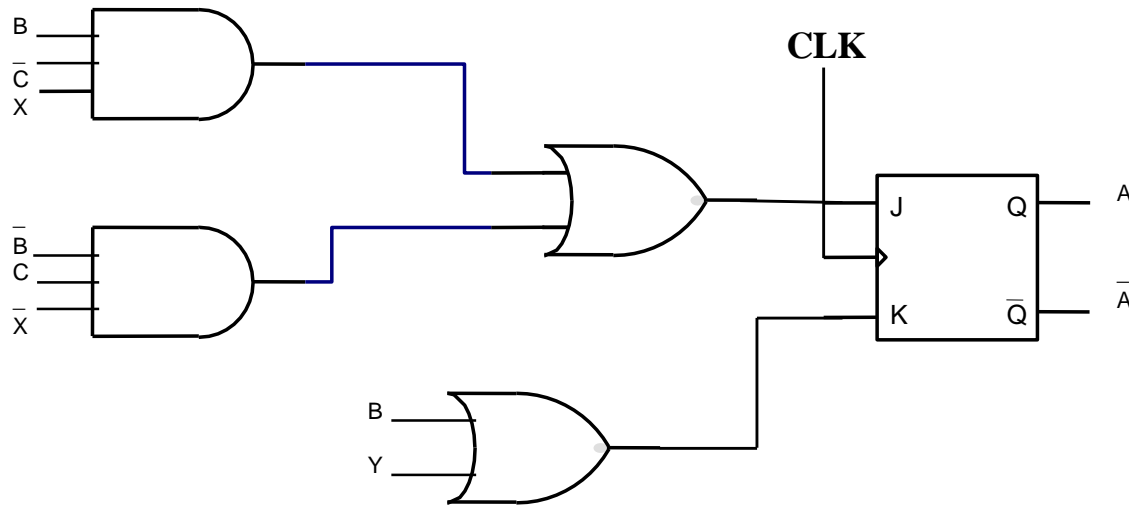


Şekil 9.28. FF giriş fonksiyonlarının oluşturulması

6. FLİP-FLOP GİRİŞ FONKSİYONLARI

- Örnek olarak Şekil 9.29'daki devrede bulunan FF giriş fonksiyonlarını ele alalım:

$J_A = BC'X + B'CX'$ ve $K_A = B + y$
denklemlerinde, J_A ve K_A iki Boolean eşitliğini gösterirler.



Şekil 9.29. J_A ve K_A giriş fonksiyonlarının uygulanması

6. FLİP-FLOP GİRİŞ FONKSİYONLARI

- Bu eşitliklerdeki J ve K harfleri FF'nin girişlerini, 'A' ise FF'nin adını gösterir. Denklemlerdeki ifadeler Boolean fonksiyonları olduğundan, birleşik devre olarak kapı devreleri ile gerçekleştirilebilir. Gerçekleştirilen devre 'A' çıkışına sahip bir FF'nin J-K girişlerine uygulanırsa, Şekil 9.29'daki devre elde edilir. Fonksiyonlardan oluşturulan birleşik devreler, FF'nin ilgili girişlerine uygulanır.
- FF giriş fonksiyonları, sıralı (ardışıl) bir devrenin lojik devresinin tanımlanabilmesi için uygun bir cebirsel eşitlik sağlar. Bu eşitlik, FF'yi çalıştıran devreyi tam olarak tanımlar. Bazı durumlarda, ardışıl bir devreyi mantık devresi çizerek belirtmek yerine, FF'lerin giriş fonksiyonları ile belirtmek daha kolaydır.