

# Pruebas de CI's aplicando un pulso en las Fuentes de Polarización.

Por:

Sergio Feliciano Mendoza Barrera

Supervisada por:

Dr. Víctor Champac Vilela

Dr. Mónico Linares Aranda

# Contenido

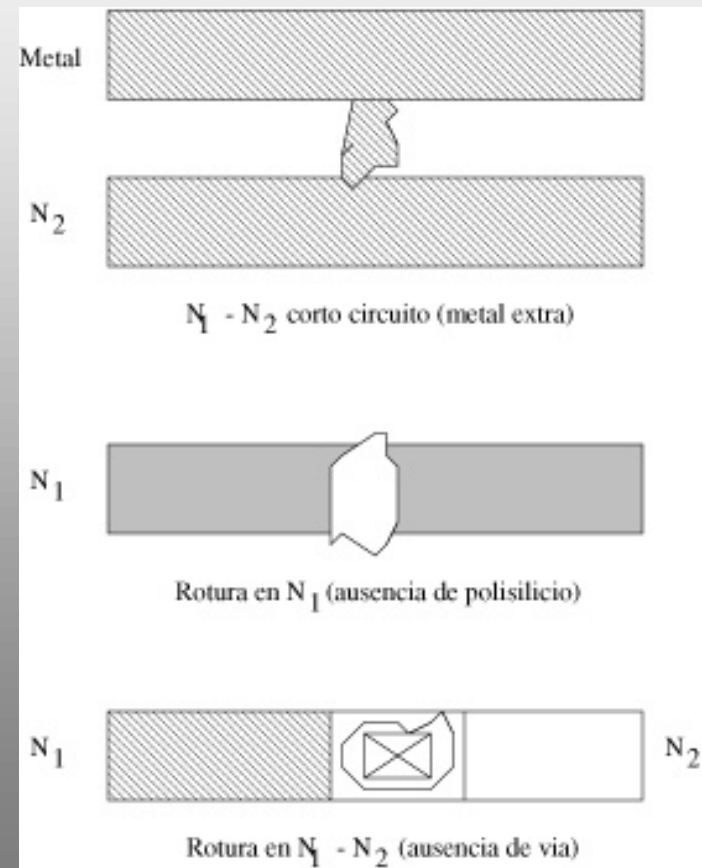
- Estado del Arte.
  - Defectos en CI's
  - Prueba de CI's
  - Prueba de  $i_{DDQ}$
- Análisis de DC.
  - Descripción de la técnica de prueba
  - Análisis de Voltaje
  - Análisis de Corriente

# Contenido

- Pruebas de  $i_{DD}$  en un módulo combinacional.
  - Circuito bajo prueba
  - Respuesta a la aplicación del vector de prueba
- Conclusiones

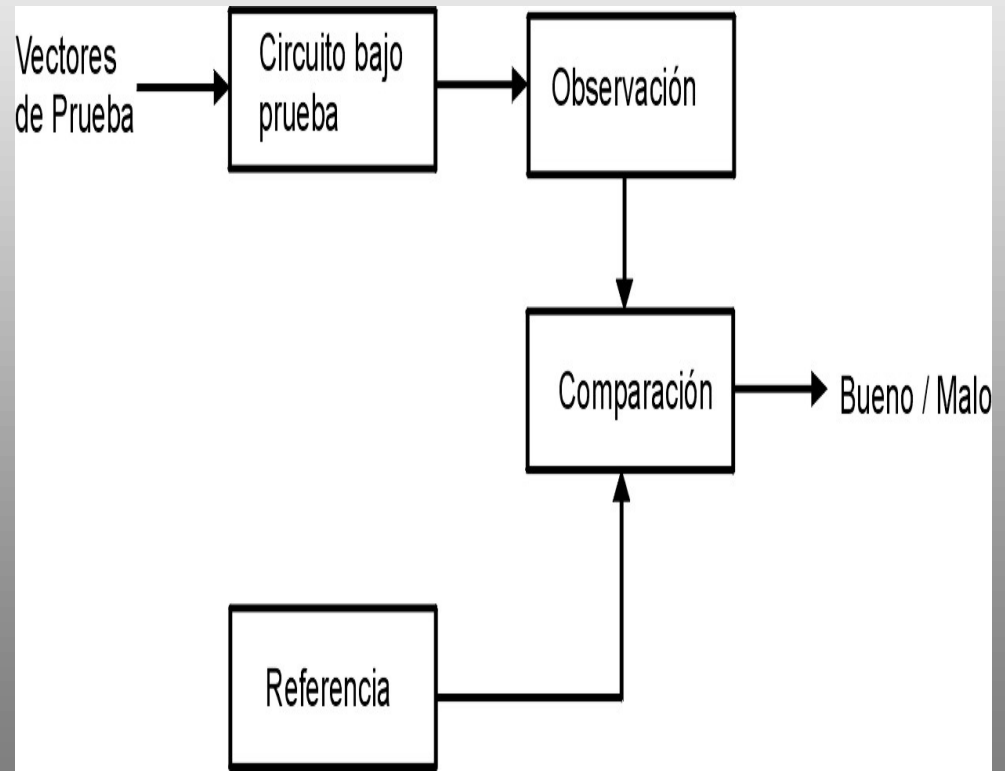
# Defectos de CI's

- Corto-circuitos entre conductores
- Roturas en los conductores
- Roturas en los contactos o vías
- Uniones P-N defectuosas.



# Esquema General de Pruebas

- Aplicación de vectores de prueba
- La medición en un punto observable
- Comparación con respecto a la referencia

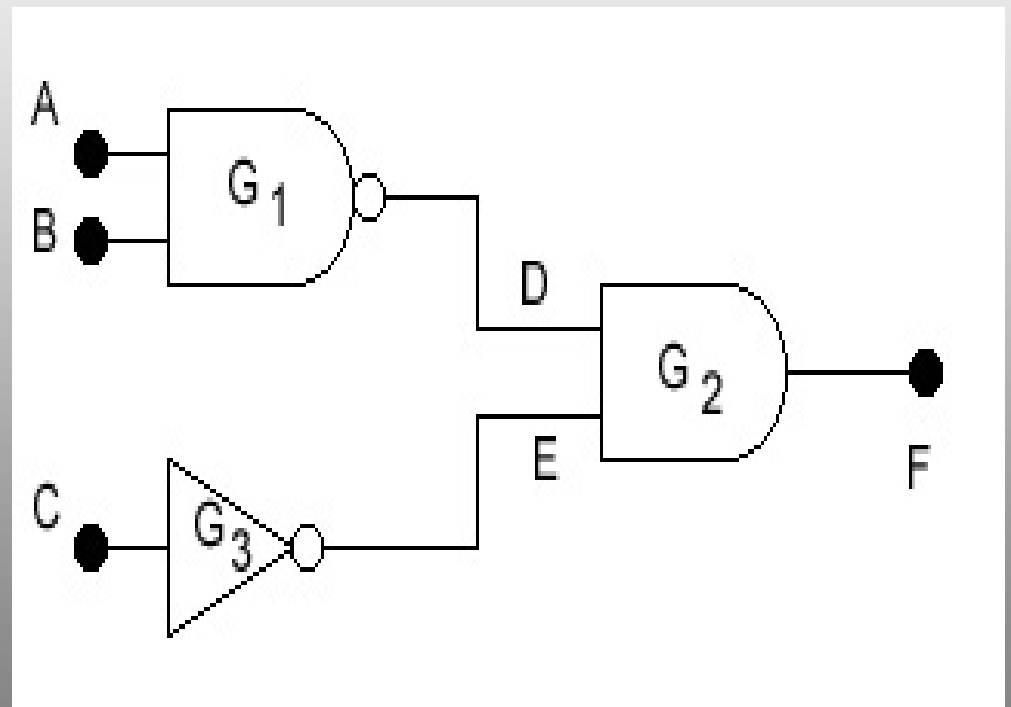


# Modelos de fallas

- Modelo de fallas *stuck-at*
- Modelo de fallas *stuck-open*
- Modelo de fallas *stuck-on*
- Modelo de fallas *bridging*

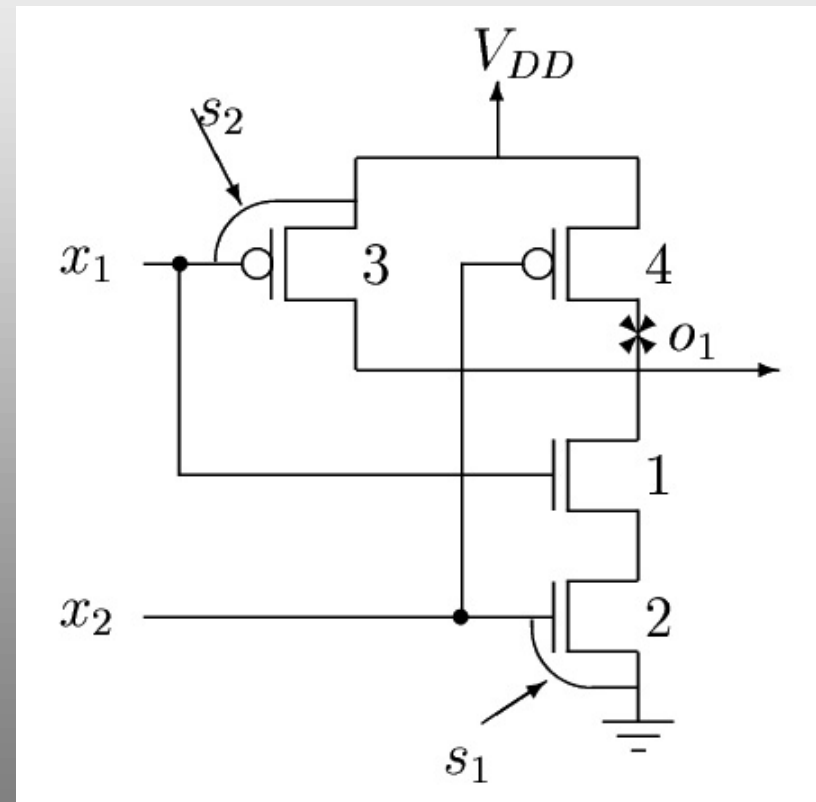
# Modelo *stuck-at*

- Un vector puede detectar más de una falla
- Diferentes vectores detectan la misma falla



# Modelo *stuck-open*

- Prueba de doble patrón
- Propagación del error
- Generación automática de vectores

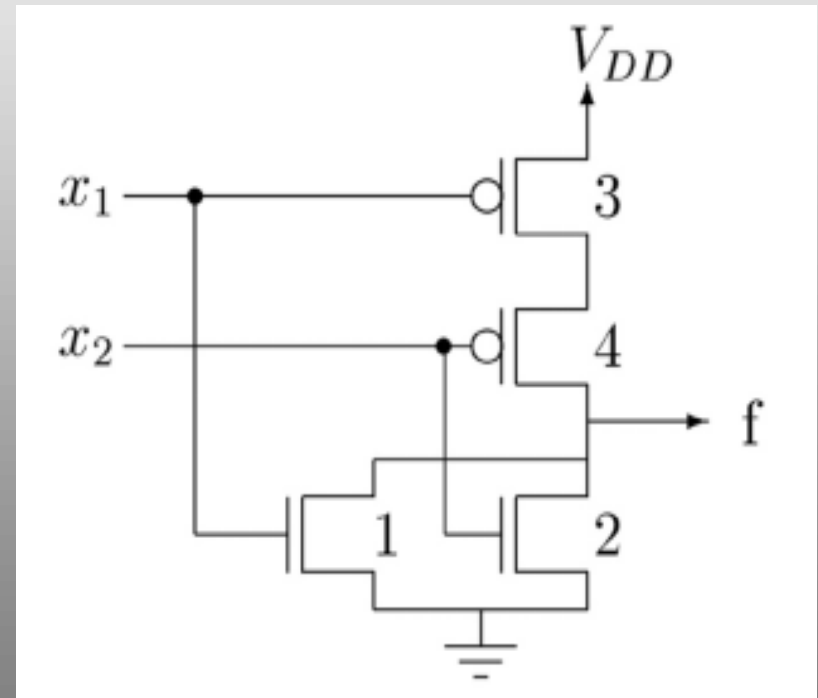




# Modelo *stuck-on*

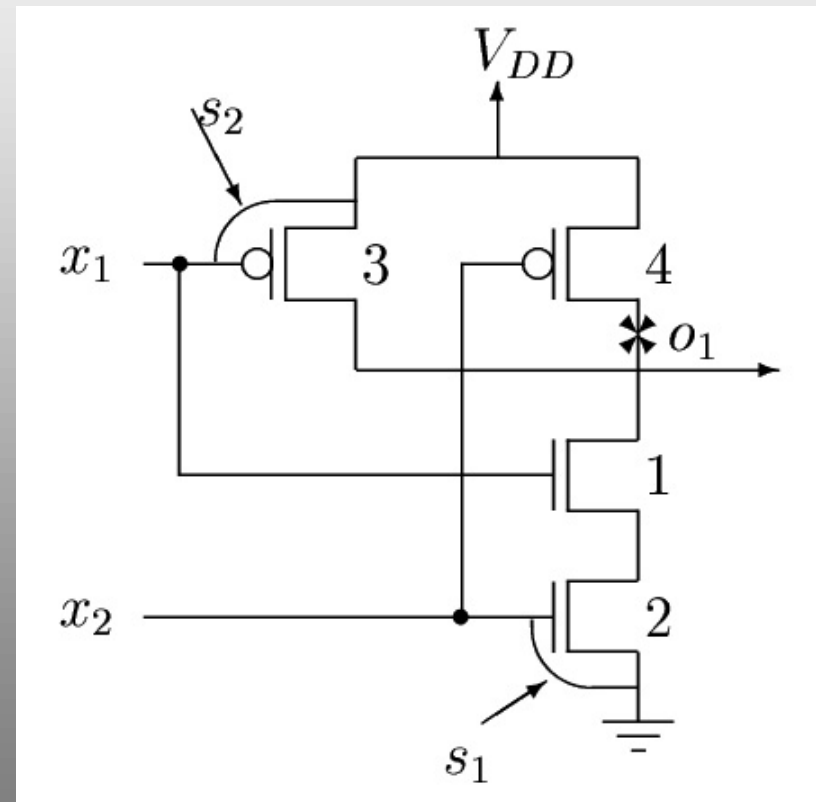
$$V_f = \frac{R_n}{R_n + 2R_p} V_{DD}$$

- Algún transistor permanece encendido
- Selección adecuada de vectores de prueba



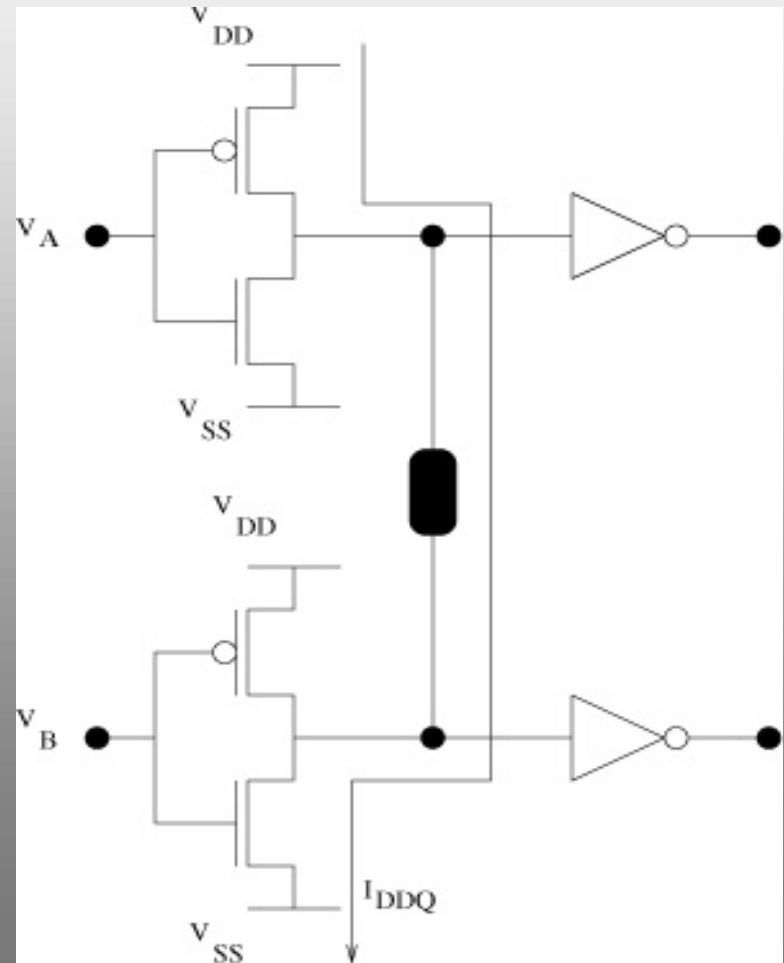
# Falla de *corto-circuito*

- Falla de tipo no retroalimentante en un elemento lógico
- Falla de tipo no retroalimentante entre dos elementos
- Fallas con retroalimentación



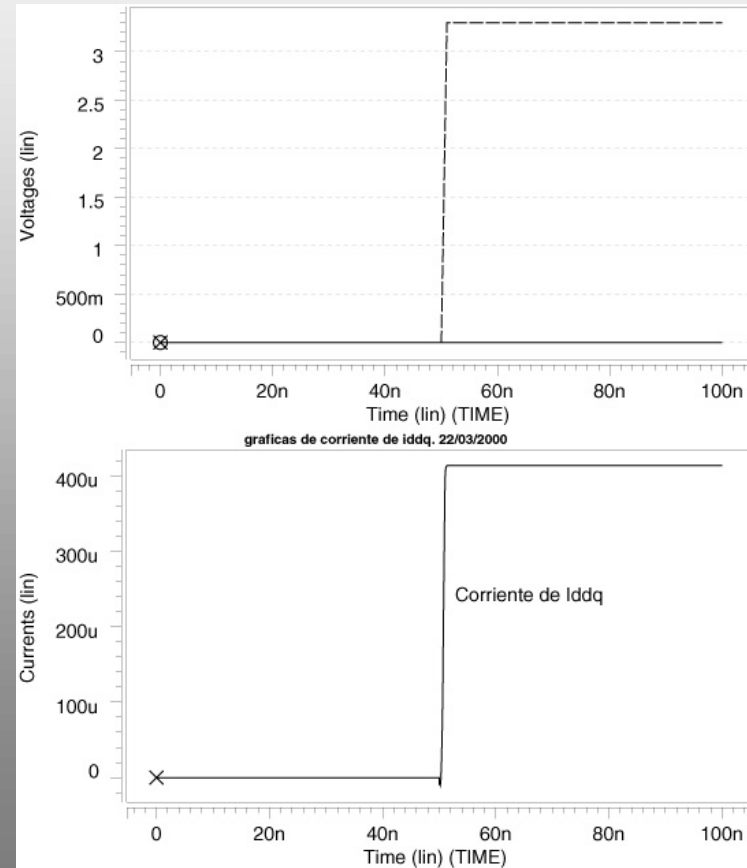
# Prueba de $i_{DDQ}$

- Monitoreo de corriente
- Consumo mayor de corriente
- Usado en células CMOS estáticas



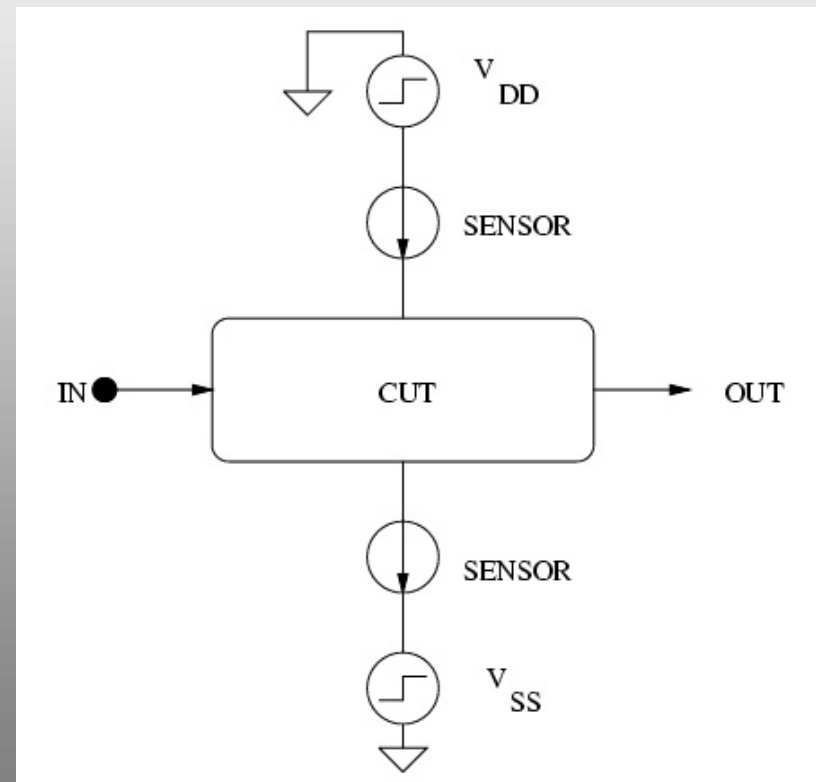
# Corriente de $i_{DDQ}$

- Corriente resultante de la prueba de  $i_{DDQ}$



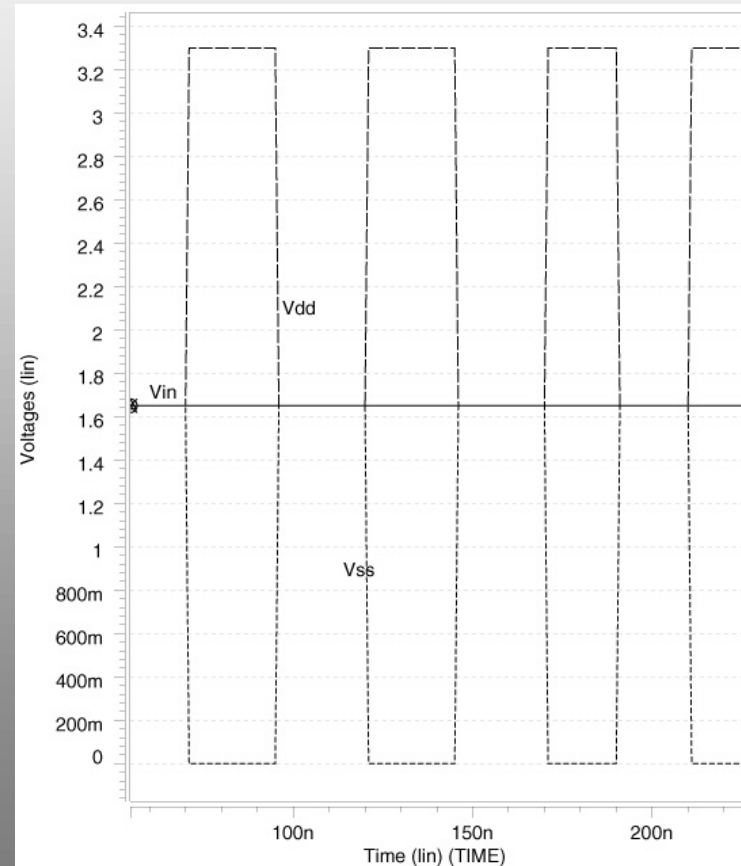
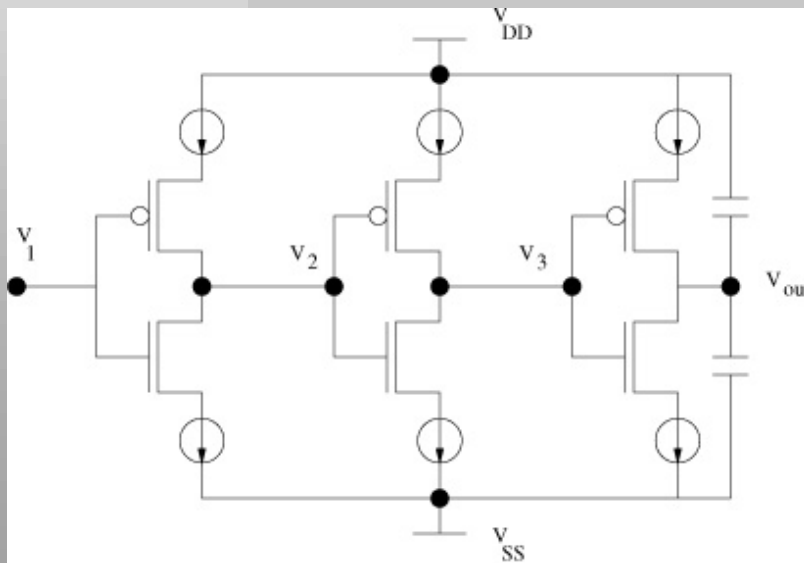
# Descripción de la técnica de Prueba

- Pulsos simultáneos en  $V_{DD}$  y  $V_{SS}$
- Monitoreo de la corriente de  $i_{DD}$
- Mismos vectores de prueba para cualquier falla



# Vectores de prueba

- Se aplica sólo un vector de prueba



# Modelo de primer orden

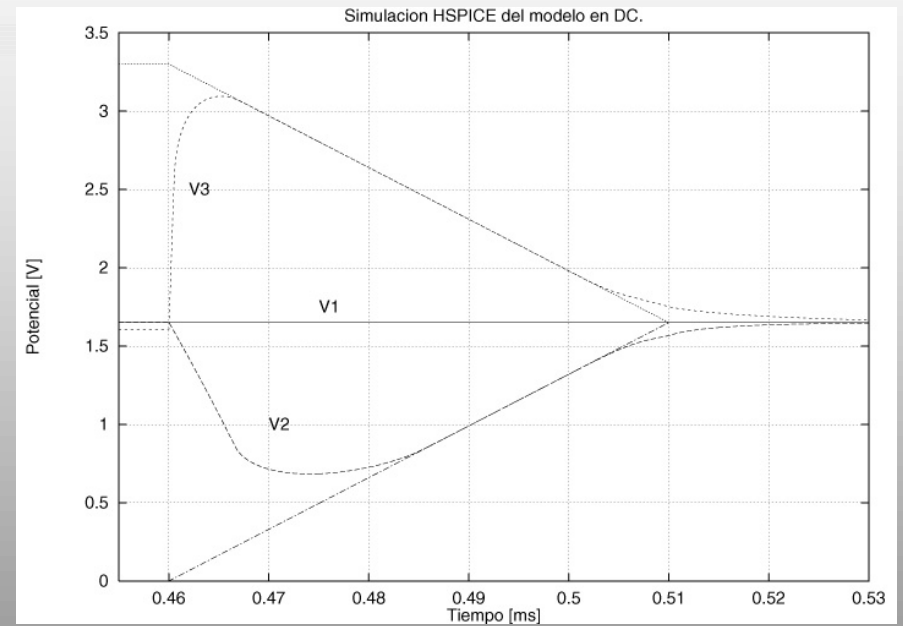
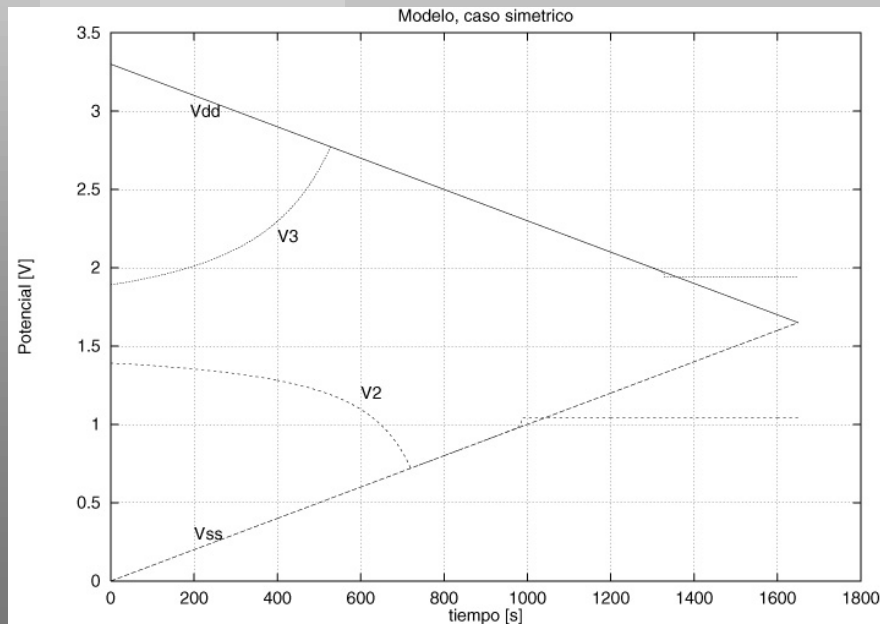
$$I_{DS} = \mu C_{ox} \frac{W}{L} (V_{GS} - V_t) V_{DS} - \frac{1}{2} V_{DS}^2$$

$$R_{transistor} \cong \frac{1}{\mu C_{ox} \frac{W}{L} (V_{GS} - V_t)}$$

$$V_O = V_{DD} \frac{R_n}{R_n + R_p} + V_{SS} \frac{R_p}{R_n + R_p}$$

# Caso simétrico

## Modelo de primer orden

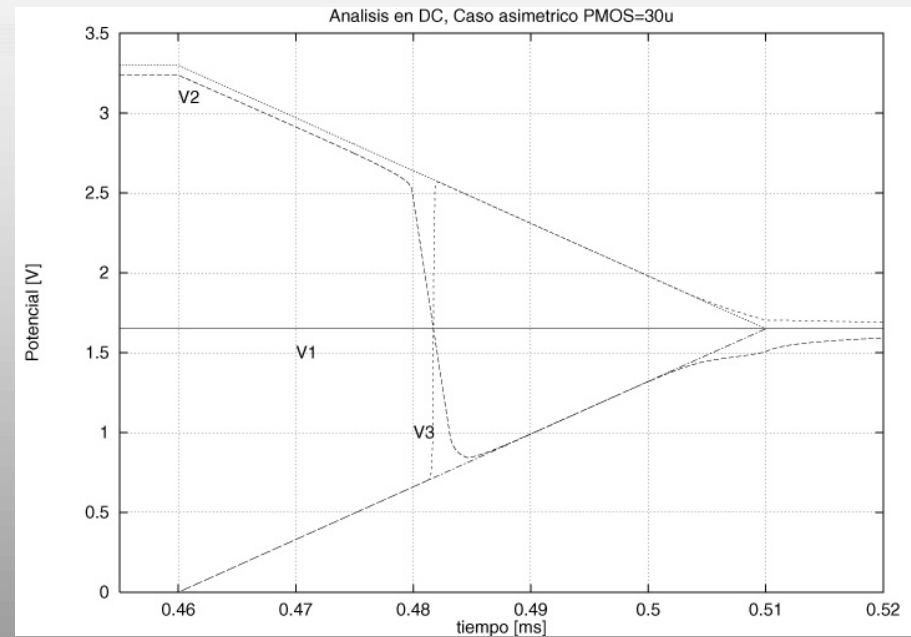
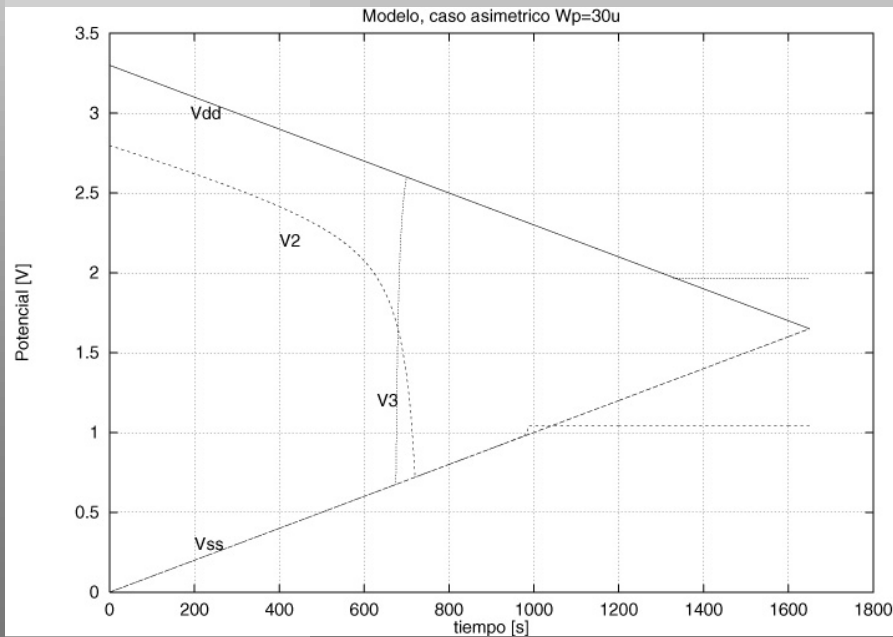


Simulación



# Caso asimétrico (a)

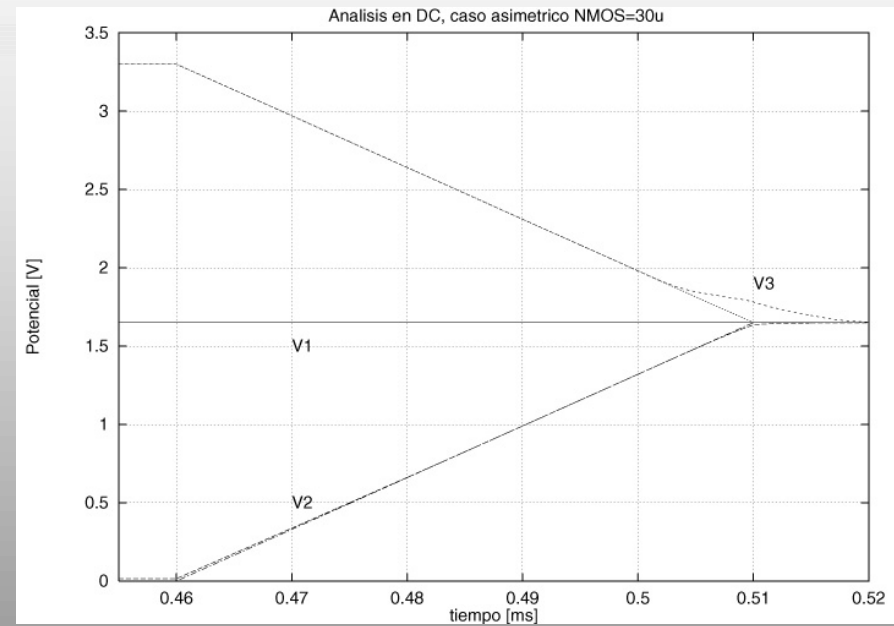
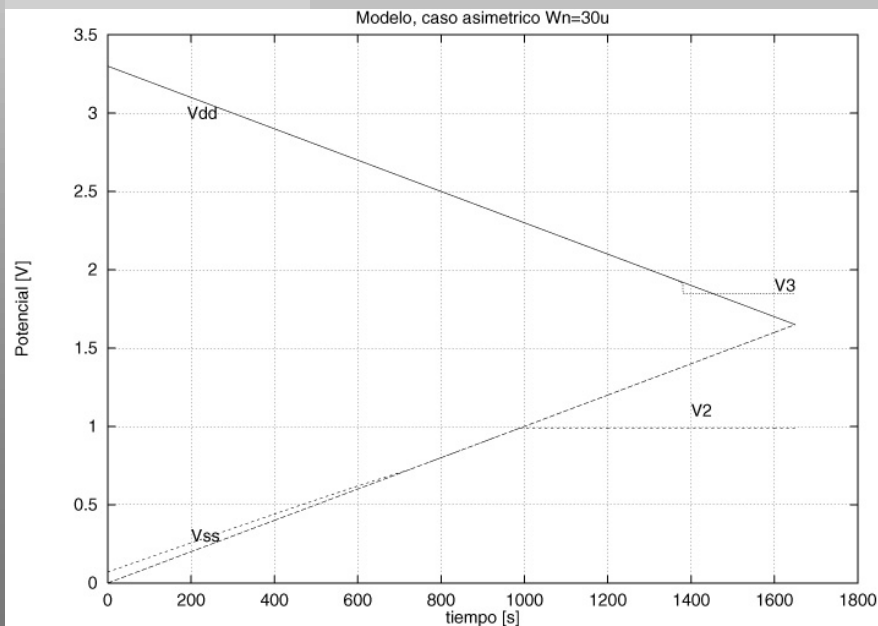
## Modelo de primer orden



Simulación

# Caso asimétrico (b)

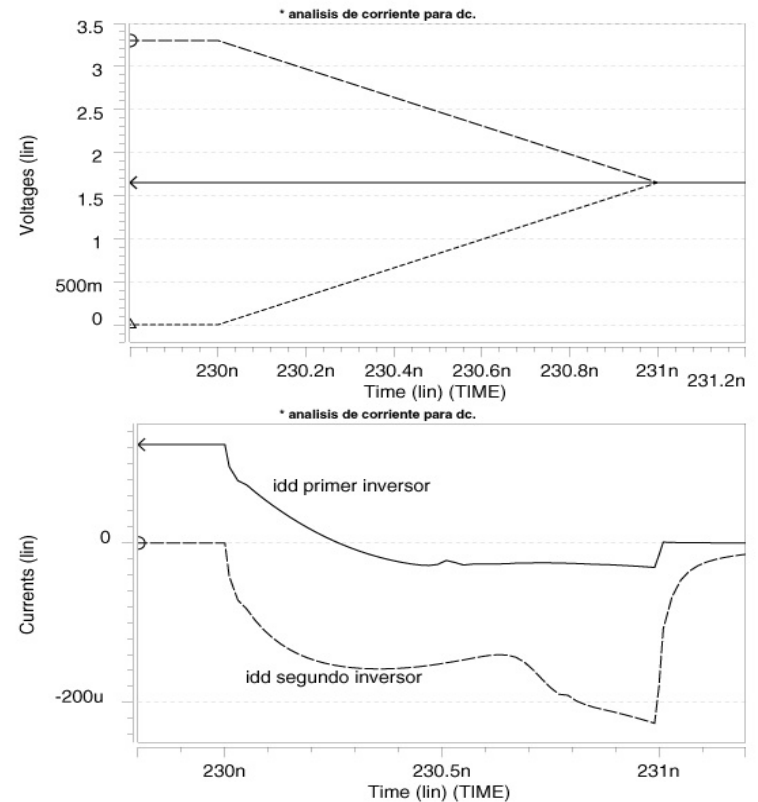
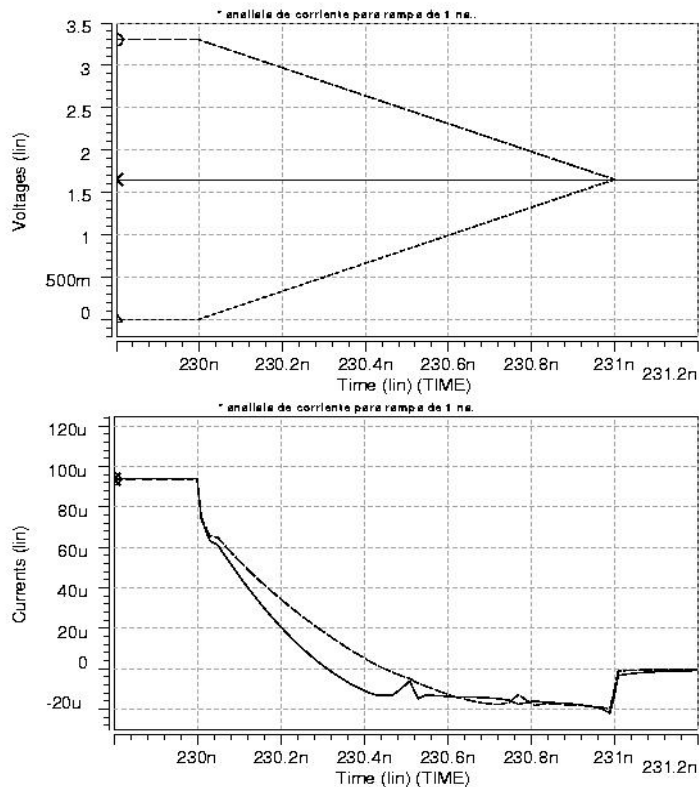
## Modelo de primer orden



## Simulación

# Análisis de Corriente

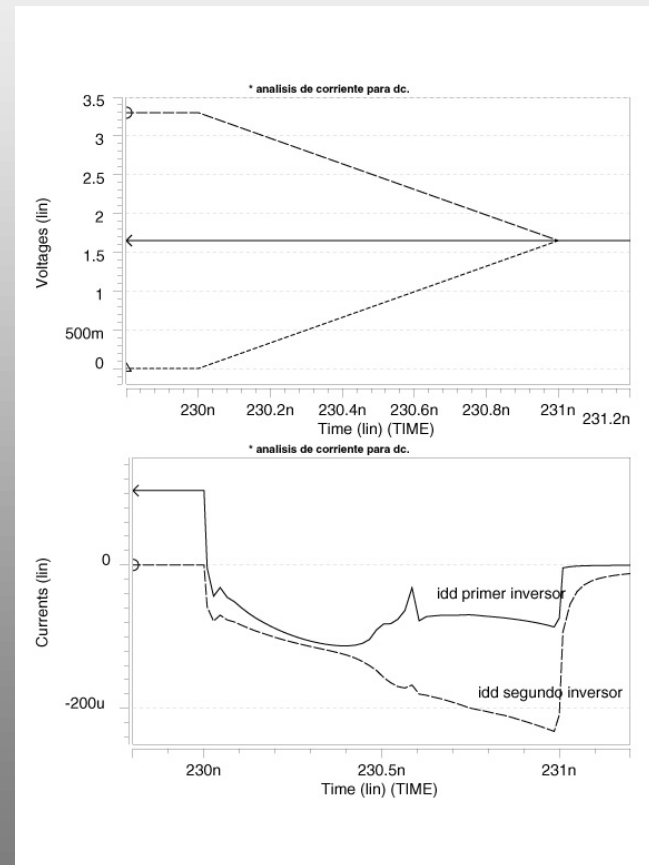
## Caso simétrico



Caso asimétrico  $W_n \gg W_p$

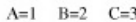
# Análisis de Corriente

- Existe corriente en la parte estable y durante la rampa del vector de prueba



Caso asimétrico  $W_p \gg W_n$

- Circuito sumador completo optimizado

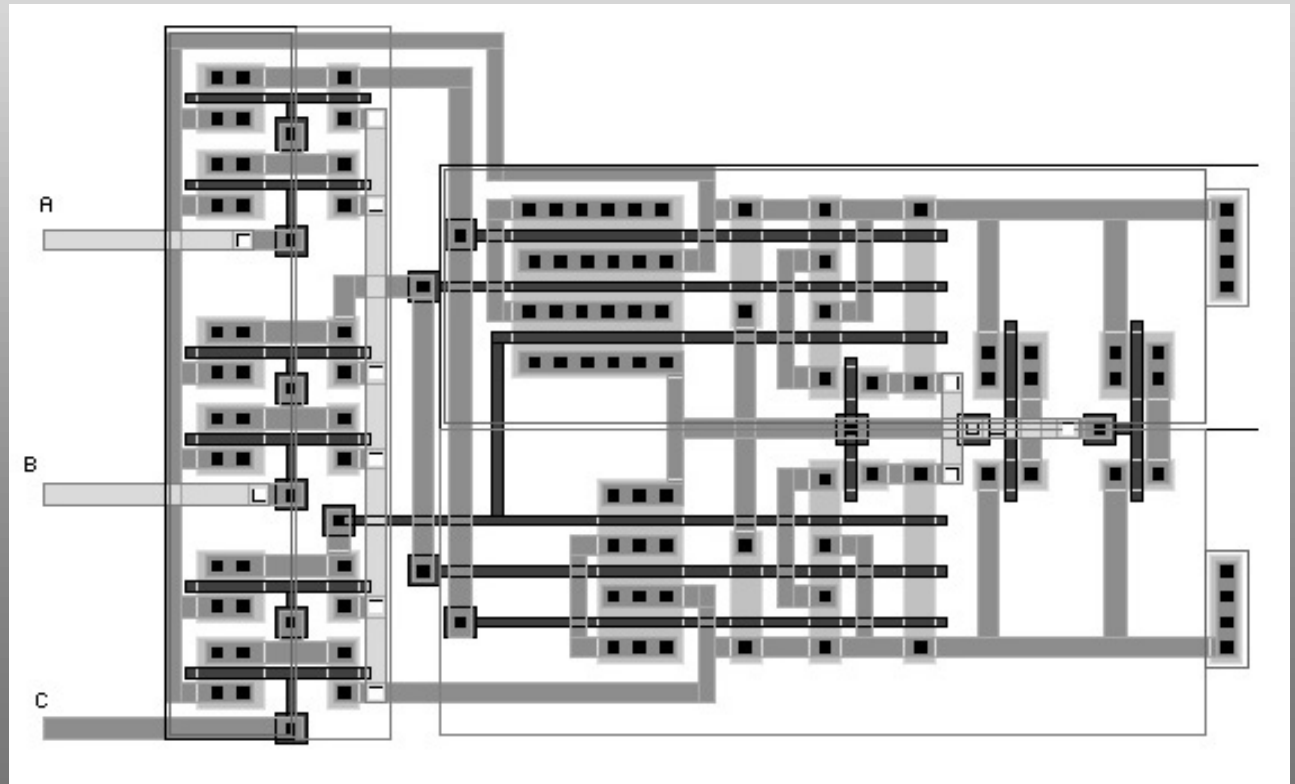


# Elección de fallas

- Layout de circuito sumador

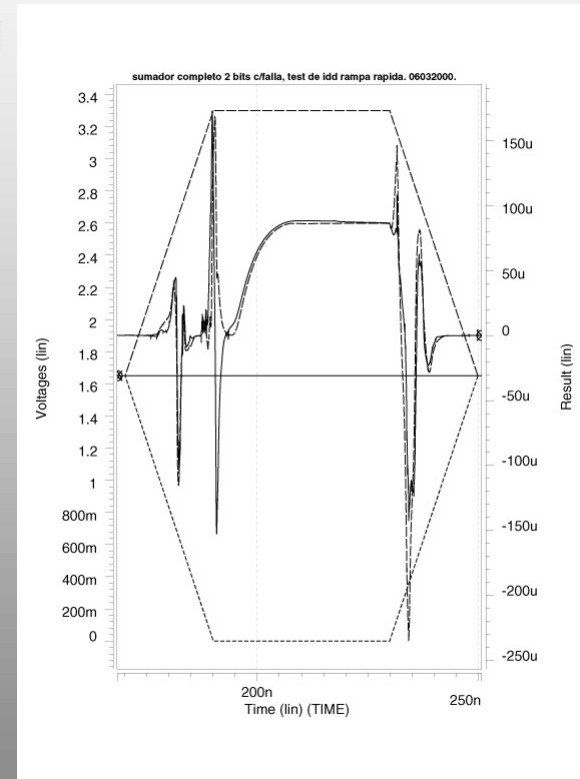
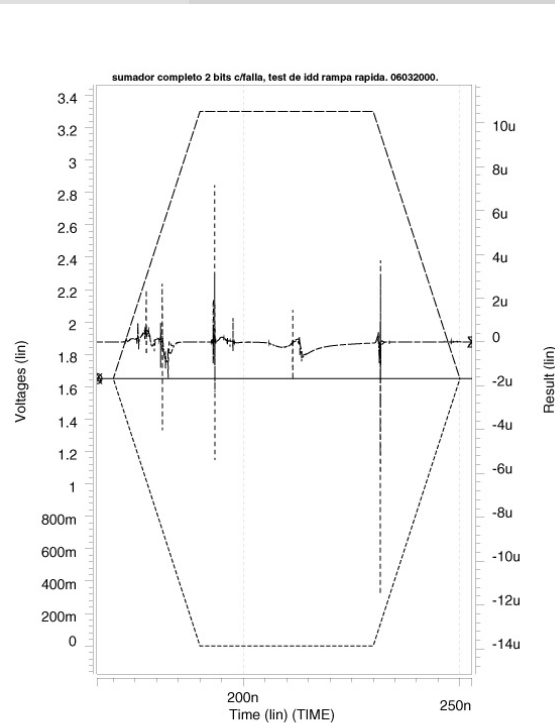
## Fallas elegidas

f 50-1	f 1-2	f 1-4	f 60-6
f 50-4	f 5 -9	f 5-11	f 10-5
f 50-9	f 60-11	f 1-3	f 2-3



# Fallas entre $V_{DD}$ ( $V_{SS}$ ) y entradas

- Falla entre  $V_{DD}$  y la entrada A

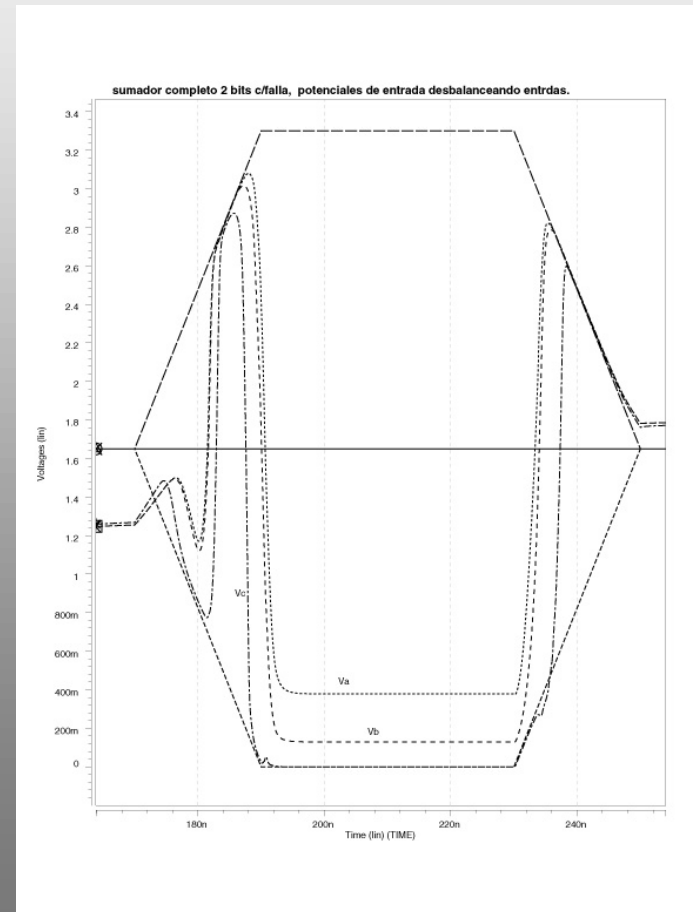
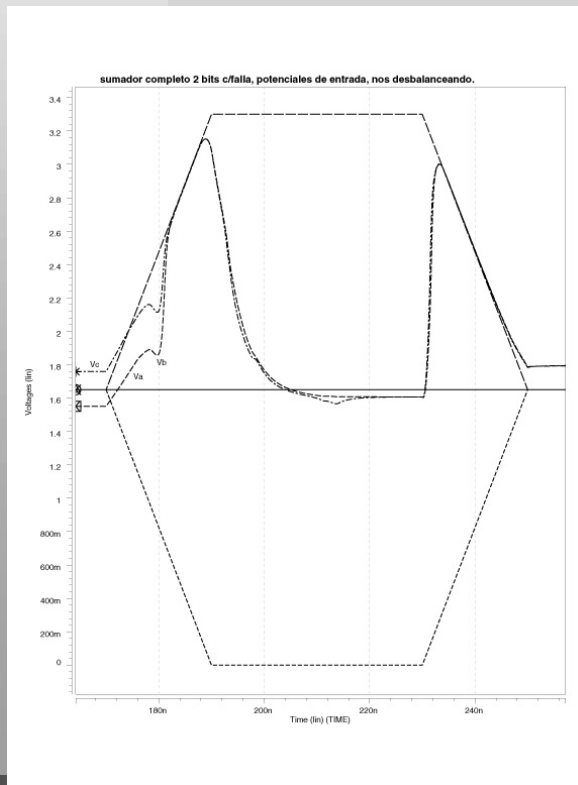


Rutas desbalanceadas

Rutas no desbalanceadas

# Desbalanceo de rutas a las entradas

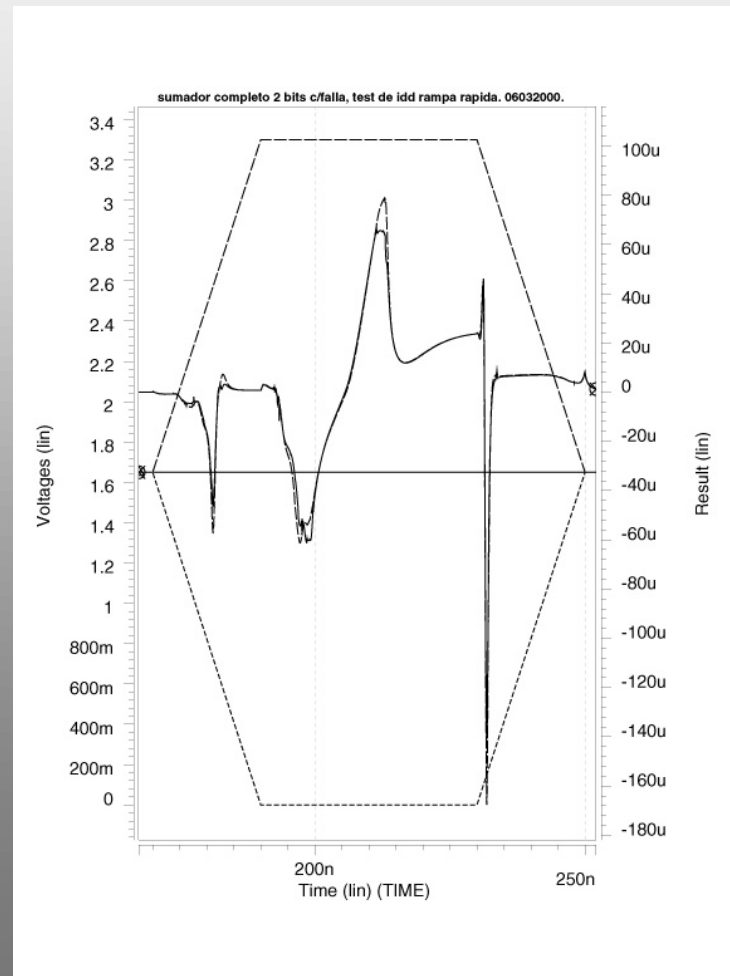
- Falla de difícil detección, se desbalancean rutas.





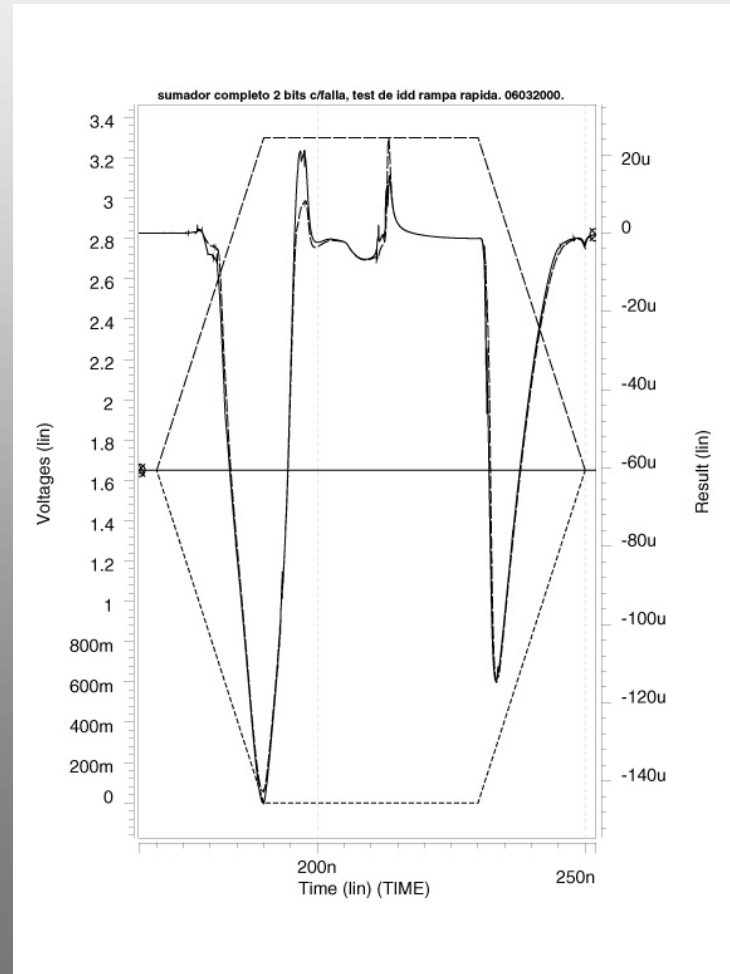
# Fallas entre nodos internos

- Fallas de fácil detección



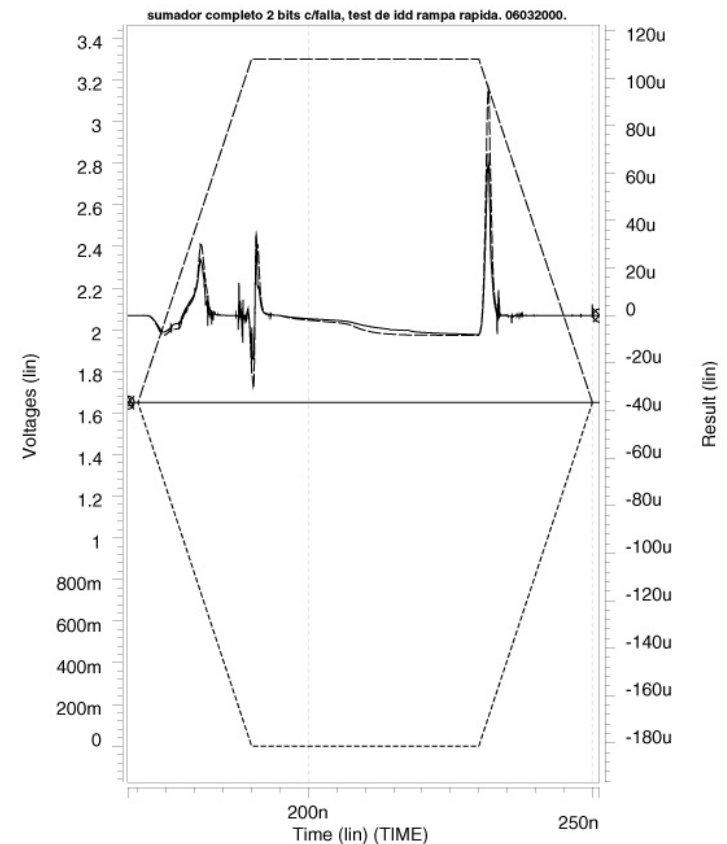
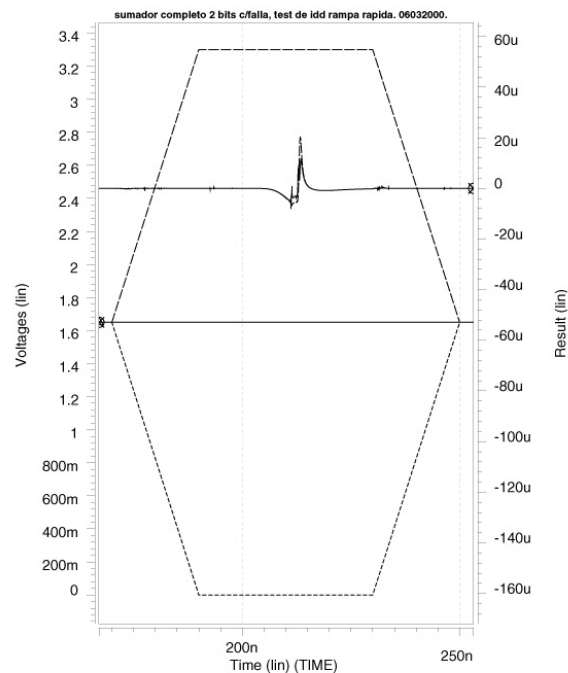
# Fallas entre $V_{DD}$ ( $V_{SS}$ ) y nodos internos

- Falla de fácil detección



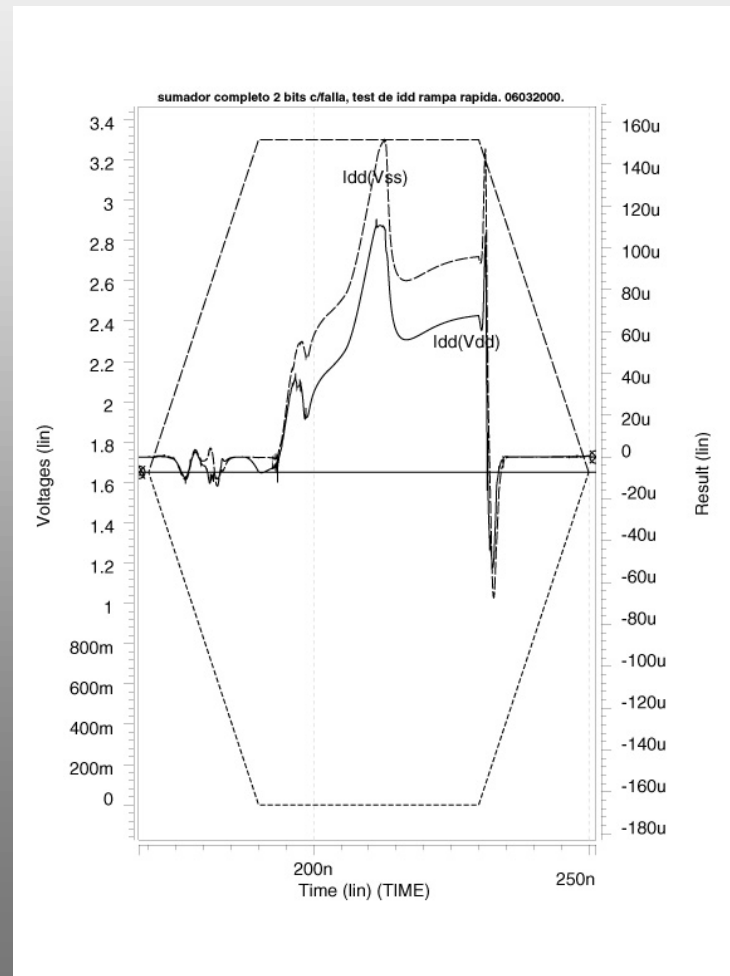
# Fallas entre $V_{DD}$ ( $V_{SS}$ ) y nodos internos

- Falla de difícil detección, nodo (60,11)



# Fallas entre entradas y nodos internos

- Falla de fácil detección



# Resumen

- Fallas fáciles de detectar:
  - Fallas entre  $V_{DD}$  ( $V_{SS}$ ) y entradas
  - Fallas entre nodos internos
  - Fallas entre entradas y nodos internos
  - La mayoría de las fallas entre  $V_{DD}$  ( $V_{SS}$ ) y nodos internos

# Resumen

- Fallas de detección difícil:
  - Fallas entre entradas
  - Fallas entre nodos en los cuales existan transistores en paralelo
- Al variar la pendiente, se mejora la detectabilidad de fallas entre alimentaciones y nodos internos
- La zona estable del vector de prueba es importante para la detectabilidad

# Conclusiones

- Se desarrolló un modelo de primer orden para predecir el comportamiento de las celdas CMOS estáticas en la aplicación de la prueba
- Se desarrolló una optimización de tiempos de aplicación del vector de prueba para máxima detección
- Se desarrolló una técnica que permite encontrar fallas de difícil detección