

Solicitud de Ingreso. Tesis de Maestría.

Sergio-Feliciano Mendoza-Barrera

Julio 29, 2014

Outline

Datos de la Tesis de Maestría

Estado del Arte (2000): Defectos en CI's

Pruebas de CI's

Modelos de fallas

Prueba de i_{DDQ}

Ventajas de la técnica de i_{DDQ}

Un único vector de prueba

Modelo de primer orden

Caso simétrico: Modelo vs. Simulación

Potenciales: Modelo y simulación del caso asimétrico (a)

Potenciales: Modelo y simulación del caso asimétrico (b)

Análisis de Corriente (a) Cuasi-simétrico (b) Asimétrico
 i_{DD} en un celda básica real
Resumen de fallas analizadas

Conclusiones

Datos de la Tesis de Maestría

“Pruebas de CI’s aplicando un pulso en las Fuentes de Polarización”

Por:

Sergio-Feliciano Mendoza-Barrera

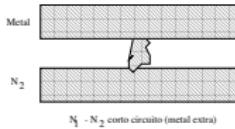
Supervisada por:

Dr. Víctor Champac-Vilela

Dr. Mónico Linares-Aranda

Estado del Arte (2000): Defectos en CI's

- Corto-circuitos entre conductores
- Roturas en los conductores
- Roturas en los contactos o vías
- Uniones P-N defectuosas



N₁ - N₂ corto circuito (metal extra)



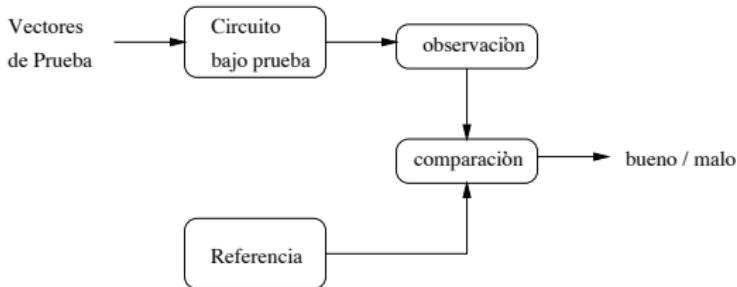
Rotura en N₁ (ausencia de polisilicio)



Rotura en N₁ - N₂ (ausencia de vía)

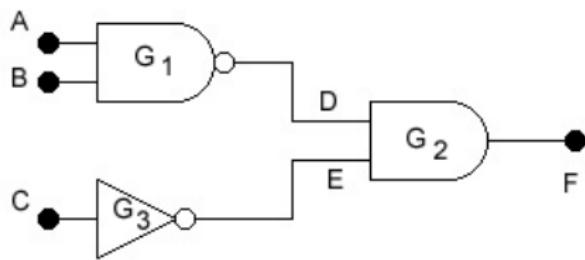
Pruebas de CI's

- Esquema General de pruebas a CI's
 - Aplicación de vectores de prueba
 - La medición en un punto observable
 - Comparación con respecto a la referencia



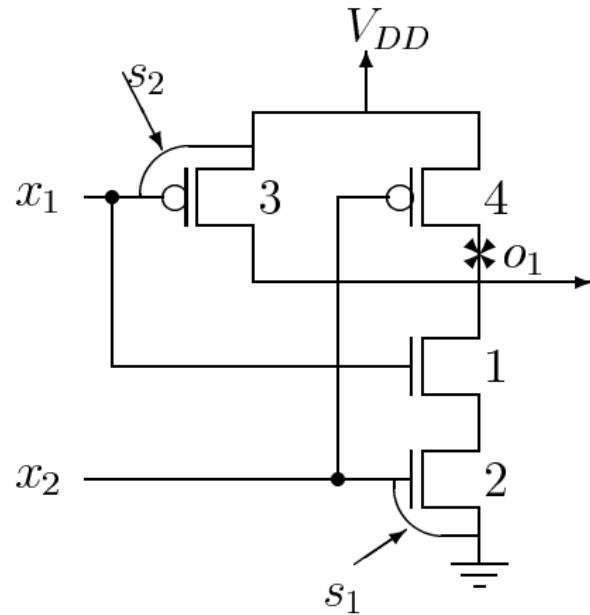
Modelos de fallas

- Fallas tipo Stuck-at
 - Un vector puede detectar mas de una falla
 - Diferentes vectores detectan la misma falla



- Fallas Stuck-Open
 - Prueba de doble patrón
 - Propagación del error
 - Generación automática de vectores de test

Solicitud de Ingreso al Doctorado en Nanociencias y Nanotecnología

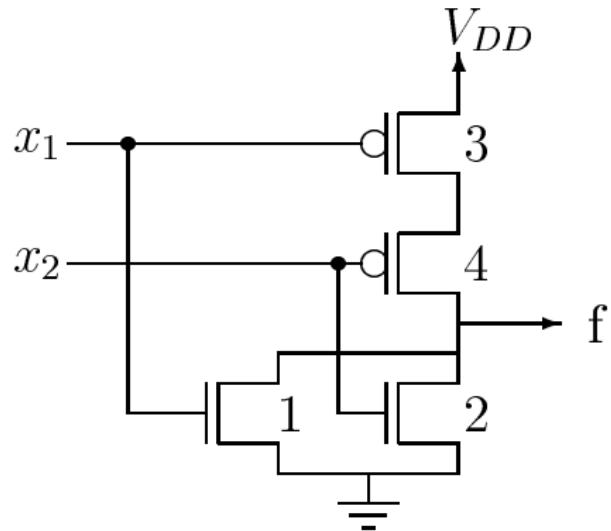


- **Fallas Stuck-on**

$$V_f = \frac{R_n}{R_n + 2R_p} V_{DD}$$

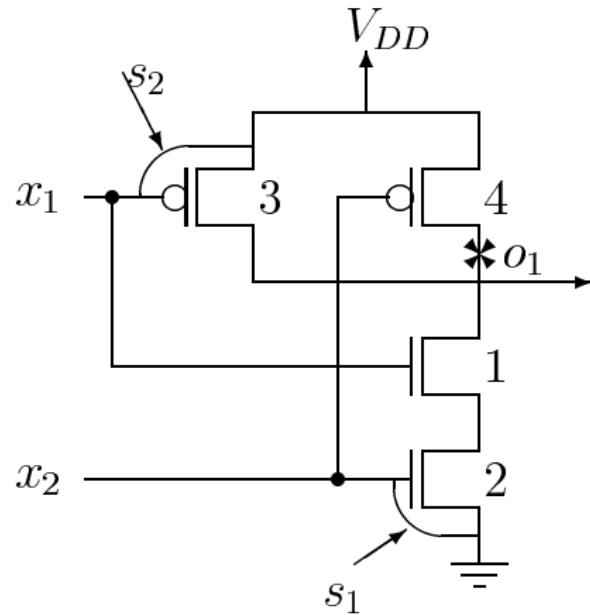
- Algún transistor permanece encendido
- Selección adecuada de vectores de prueba

Solicitud de Ingreso al Doctorado en Nanociencias y Nanotecnología



- Fallas de tipo puente o corto circuito
 - Tipo no retroalimentante en un elemento
 - Tipo no retroalimentante entre dos elementos
 - Retroalimentante

Solicitud de Ingreso al Doctorado en Nanociencias y Nanotecnología

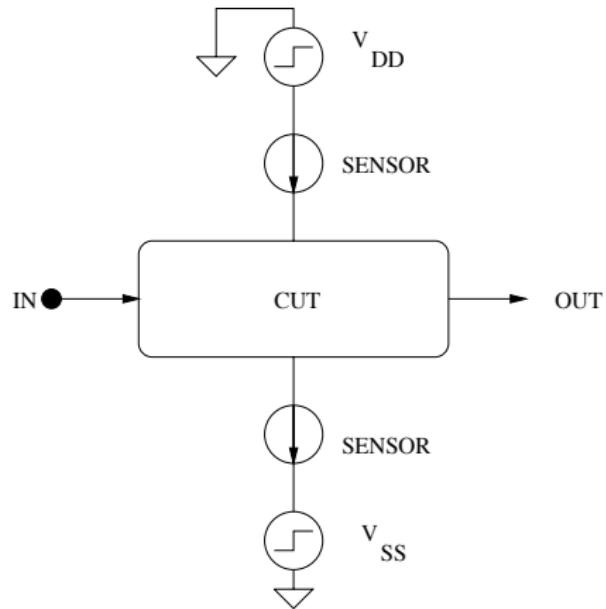


Prueba de i_{DDQ}

Descripción de la prueba

- Pulso simultáneos en V_{DD} y V_{SS}
- Monitoreo de la corriente de i_{DD}
- Mismos vectores de pruebas para cualquier falla
- Aplicación de un único vector de prueba

Solicitud de Ingreso al Doctorado en Nanociencias y Nanotecnología

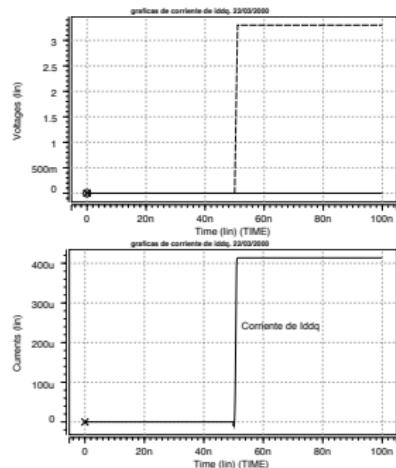
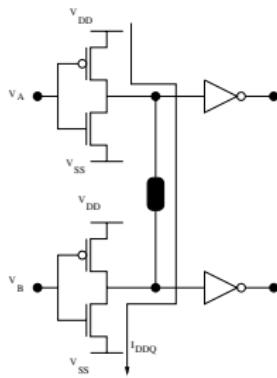


Ventajas de la técnica de i_{DDQ}

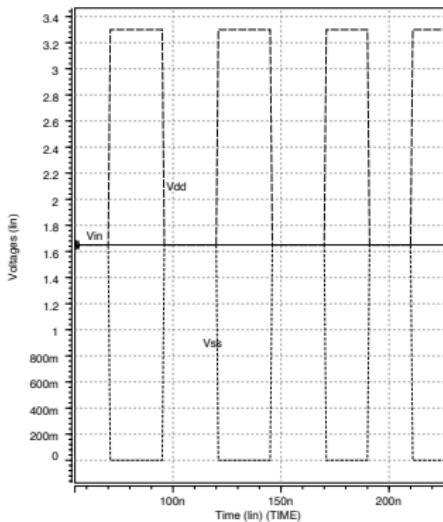
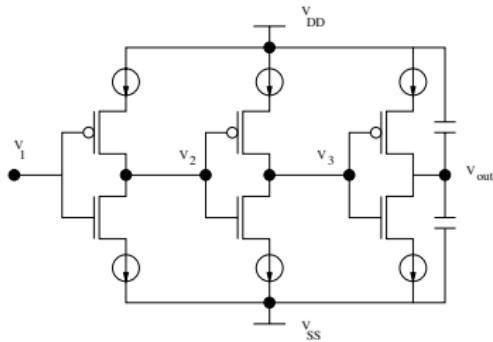
- Monitoreo de corriente
- Consumo de corriente mayor
- Usado en estructuras CMOS estáticas

Solicitud de Ingreso al Doctorado en Nanociencias y Nanotecnología

Flujo de corriente:



Un único vector de prueba



Modelo de primer orden

$$I_{DS} = \mu C_{ox} \frac{W}{L} (V_{GS} - V_t) V_{DS} - \frac{1}{2} V_{DS}^2 \quad (1)$$

Así, para V_{DS} pequeños,

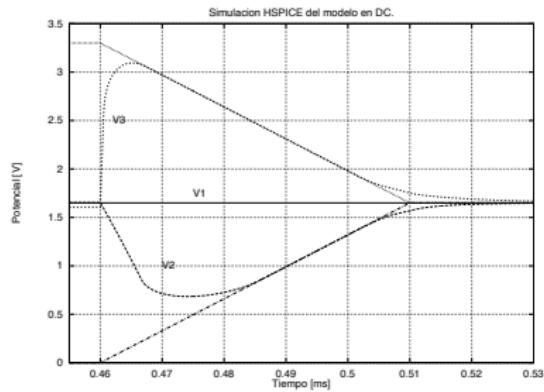
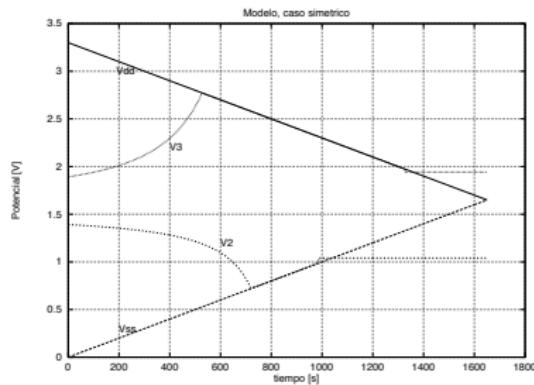
$$R_{transistor} \cong \frac{1}{\mu C_{ox} \frac{W}{L} (V_{GS} - V_t)} \quad (2)$$

la cual es la resistencia del transistor en función de V_{GS} . De tal forma que podemos derivar:

$$V_o = V_{DD} \frac{R_n}{R_n + R_p} + V_{SS} \frac{R_p}{R_n + R_p} \quad (3)$$

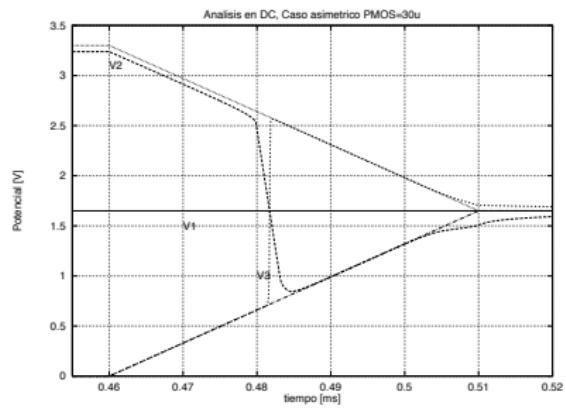
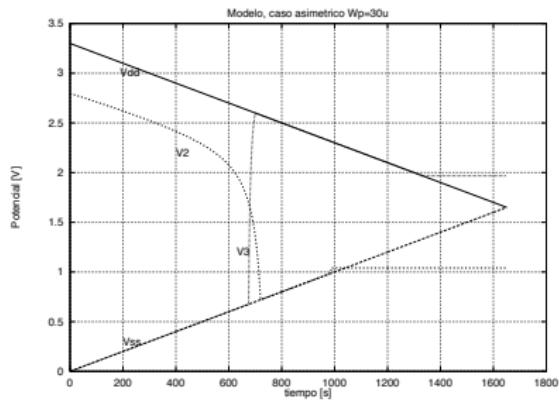
Solicitud de Ingreso al Doctorado en Nanociencias y Nanotecnología

Caso simétrico: Modelo vs. Simulación



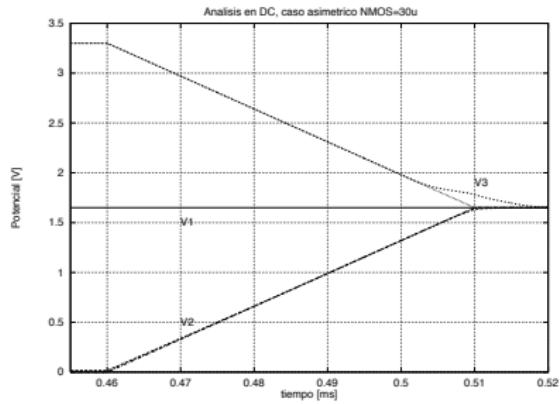
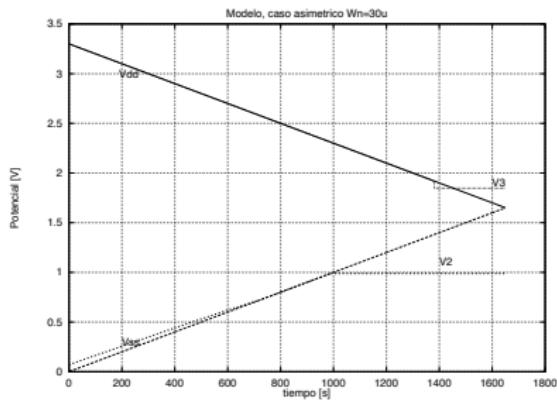
Solicitud de Ingreso al Doctorado en Nanociencias y Nanotecnología

Potenciales: Modelo y simulación del caso asimétrico (a)



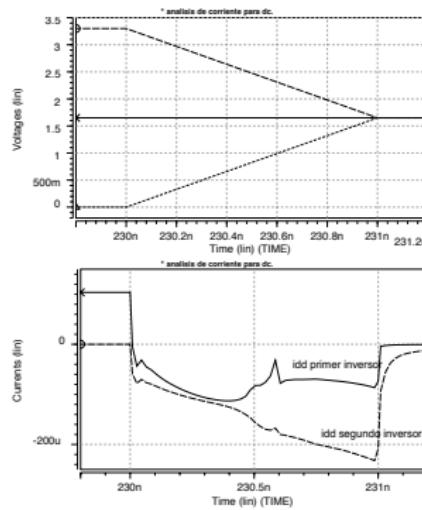
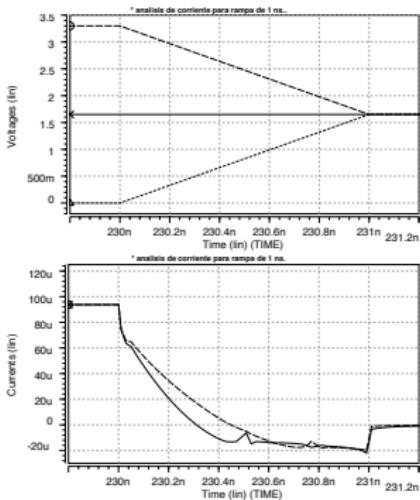
Solicitud de Ingreso al Doctorado en Nanociencias y Nanotecnología

Potenciales: Modelo y simulación del caso asimétrico (b)



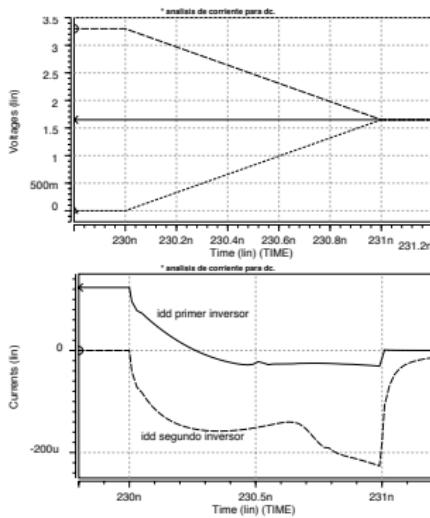
Solicitud de Ingreso al Doctorado en Nanociencias y Nanotecnología

Análisis de Corriente (a) Cuasi-simétrico (b) Asimétrico



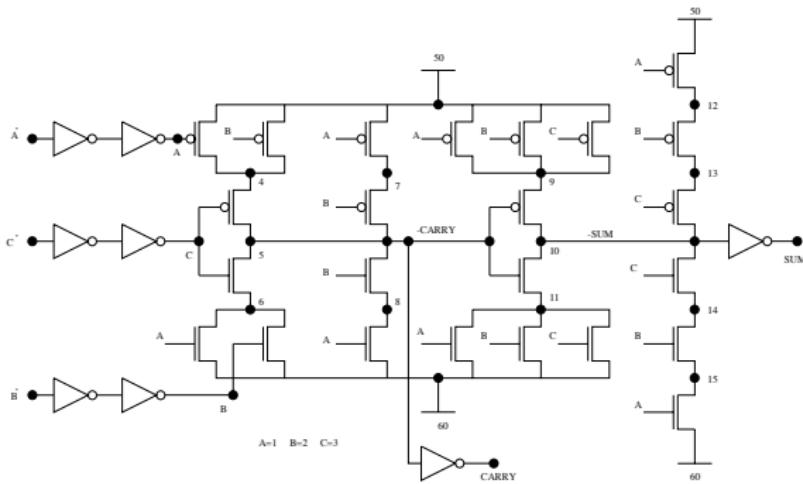
Solicitud de Ingreso al Doctorado en Nanociencias y Nanotecnología

Tanto la zona estable como la rampa del vector de prueba presentan flujo de corriente:



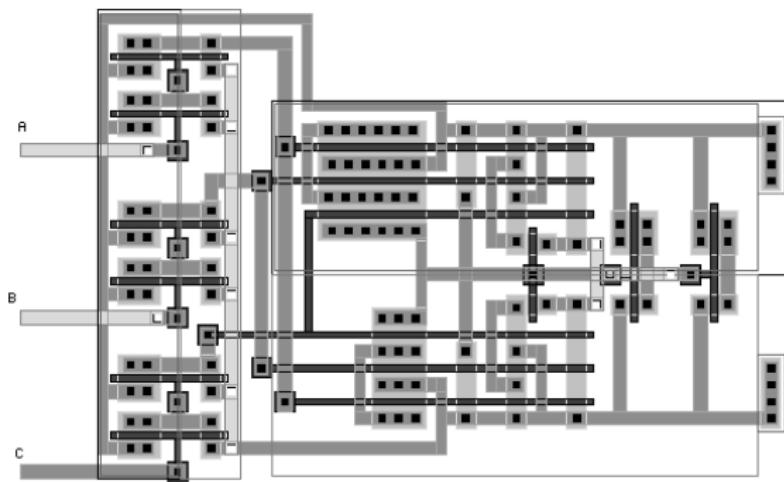
Solicitud de Ingreso al Doctorado en Nanociencias y Nanotecnología

i_{DD} en un celda básica real



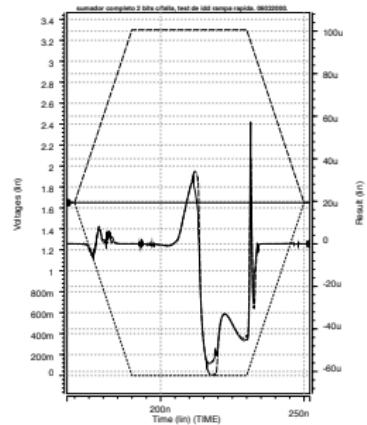
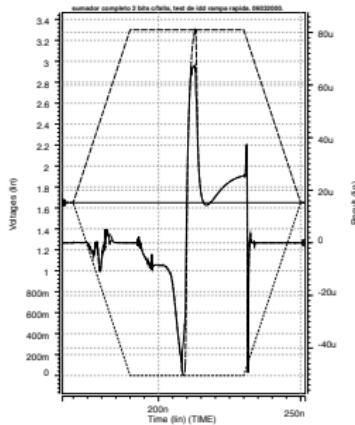
Solicitud de Ingreso al Doctorado en Nanociencias y Nanotecnología

Layout del Circuito Sumador completo optimizado:



Solicitud de Ingreso al Doctorado en Nanociencias y Nanotecnología

Ejemplos de resultados:



Resumen de fallas analizadas

- Fallas fáciles de detectar
 - Fallas entre V_{DD} (V_{SS}) y entradas
 - Fallas entre nodos internos
 - Fallas entre entradas y nodos internos
 - La mayoría de las fallas entre V_{DD} (V_{SS}) y nodos internos
- Fallas de detección difícil
 - Fallas entre entradas
 - Fallas entre nodos en los cuales existan transistores en paralelo
- Al variar la pendiente, se mejora la facilidad de detección de fallas entre alimentaciones y nodos internos
- La zona estable del vector de prueba es importante para la detección.

Conclusiones

1. Se desarrolló un modelo de primer orden para predecir el comportamiento de las celdas CMOS estáticas en la aplicación de la prueba
2. Se desarrolló una optimización de tiempos de aplicación del vector de prueba para máxima detección
3. Se desarrolló una técnica que permite encontrar fallas de difícil detección
4. Según los resultados obtenidos se predice su aplicación en circuitos analógicos y mixtos

Para mas información vea [1].

References

- [1] S. F. Mendoza-Barrera. *Pruebas de CI's aplicando un pulso en las Fuentes de Polarización.* INAOE, 2000.

¿Preguntas?