

SERGIO FELICIANO MENDOZA BARRERA

PRUEBAS DE CI'S  
APLICANDO UN PULSO  
EN LAS FUENTES DE  
POLARIZACIÓN  
- RESUMEN -

INAOE

# Resumen de Tesis de Maestría

Este documento contiene el resumen de la tesis de maestría sometida como requisito parcial para obtener el grado de Maestría en Ciencias con especialidad en Electrónica en el Instituto Nacional de Astrofísica, Óptica y Electrónica. Supervisada por:

El Dr. Víctor H. Champac Vilela y el Dr. Mónico Linares Aranda.

## Problema y soluciones

En la actualidad, la electrónica ha desplazado numerosas funciones mecánicas debido a que ofrece ventajas de costo, exactitud y confiabilidad. Esto, sin embargo, ha incrementado enormemente la complejidad y la densidad de la integración de los circuitos, y esto a llevado a que la garantía de producir circuitos con altos márgenes de calidad a bajo costo se convierta en una prioridad. Las aplicaciones críticas requieren garantizar altos estándares de calidad y confiabilidad, deben realizarse tareas de pruebas a diferentes niveles durante el proceso de fabricación de todo circuito integrado.

Estas pruebas se realizan para asegurar las características de los dispositivos electrónicos como de las diferentes capas de material sean las esperadas.

Existen las pruebas para asegurar el flujo correcto del proceso de fabricación, pruebas de envejecimiento, pruebas de funcionalidad, pruebas para la identificación de defectos físicos [1](#).

Los defectos físicos que se presentan durante el proceso de fabricación (litografía), pueden ser de dos tipos, globales o localizados <sup>1, 2</sup>. Los defectos globales afectan una gran parte del área total de la oblea, y su detección es relativamente sencilla durante el proceso de fabricación.

Los defectos localizados afectan una pequeña parte de área contenida en la oblea, como la de un solo transistor o interconexiones adyacentes. Dichos defectos localizados o puntuales han sido identificados como los causantes de que los circuitos integrados fabricados tengan una operación incorrecta. En la figura [1](#) se muestran los defectos puntuales o localizados, los cuales pueden ser: Corto-circuitos entre conductores, roturas en los conductores, roturas en los contactos o vías, defectos del óxido de

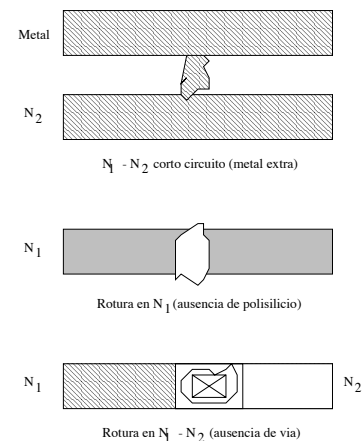


Figura 1: Defectos físicos.

<sup>1</sup> W. Maly. Modeling of lithography related yield losses for cad of vlsi circuits. *IEEE Transactions on Computer-Aided Design*, 1985

<sup>2</sup> W. Maly & F. J. Ferguson J. P. Shen. Inductive fault analysis of mos integrated circuits. *IEEE Design & Test of Computers*, 1985

compuerta, uniones p-n defectuosas, etc.

Las imperfecciones creadas durante el proceso de fabricación son la falta de material en lugares donde debería existir, o la existencia de material en lugares donde no debería haber; resultando en *circuitos abiertos* y *corto-circuitos* respectivamente. El *defecto de cortocircuito*, es una de las fallas con una mayor probabilidad de estar presentes que otro tipo de fallas<sup>3</sup>.

Esta falla tiene una mayor probabilidad de ocurrencia en pistas adyacentes de metal o polisilicio, sobre todo en tecnologías submicrométricas.

### Prueba de Circuitos Integrados

Un esquema general de prueba de un circuito integrado se muestra en la figura 2. Y consiste de la aplicación de vectores de prueba a las entradas controlables del circuito para sensibilizar el defecto y propagar el posible error a un punto de acceso, de la medición es tomada en un punto observable y de la comparación de la medida obtenida con el valor de referencia para determinar la calidad del circuito bajo prueba.

Para circuitos de densidad *VLSI* (*Very Large Scale of Integration*) se tiene una completa imposibilidad de hacerlo por este método, debido a esto se realiza esta operación por medio de herramientas automáticas (*Automatic Test Pattern Generation*)<sup>4</sup>.

En la figura 3, se muestra un circuito típico usado para el desarrollo de técnicas de pruebas de CI.

### Principales modelos de fallas para buscar fallas a nivel circuito

Si se tratan de derivar vectores para todas las posibles fallas que pueden producirse dentro de un integrado con densidad *VLSI*, el problema es demasiado complicado. Por lo cual se utilizan los modelos de fallas: Modelo de fallas *stuck-at*, modelo de fallas *stuck-open*, modelo de fallas *stuck-on* y modelo de fallas *bridging*.

Circuitos como el mostrado en la figura 4 son usados para investigar los modelos de falla.

El modelo de fallas de cortocircuito es uno de las prioridades dentro del test de CI, son provocados por una máscara con defectos, o por imperfecciones en el proceso fotolitográfico, en la oxidación, electromigración en el aluminio, fracturas en las diferentes capas, etc. Y pueden ser retroalimentantes o no retroalimentantes.

### Prueba de $i_{DDQ}$

La forma de tratar el problema se enfoca de forma distinta a las pruebas de retardo y a las pruebas lógicas, se monitorea el consumo de corriente. Cuando se introduce el vector de prueba correcto en las entradas del

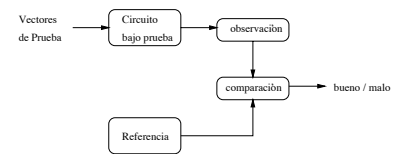


Figura 2: Esquema general de pruebas.

<sup>3</sup> P. K. Nag W. Maly. Testing oriented analysis of cmos ics with opens. *Proc. Int. Conf. on Computer-Aided Design*, 1988

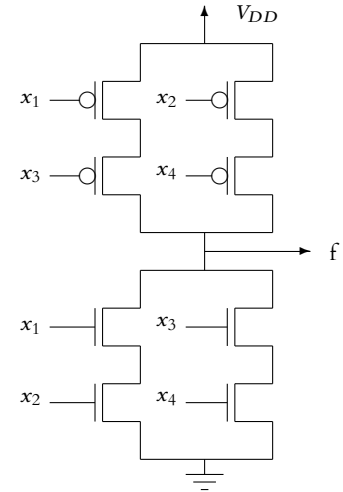


Figura 3: Puerta compleja CMOS estática.

<sup>4</sup> M. Abramovici and M. P. R. Menon. A practical approach to fault simulation and test generation for bridging faults. *proc. Int. Test Conf.*, 1983

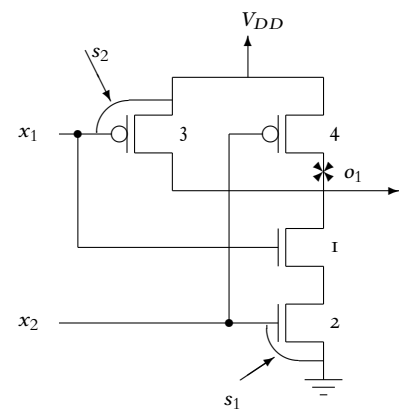


Figura 4: Puerta NAND de dos entradas de tecnología CMOS.

circuito en presencia de la falla *stuck-on*, el consumo de corriente es generalmente mayor en unos cuantos órdenes de magnitud que la corriente normal. Este monitoreo de corriente o Prueba de Corriente es el más efectivo para detectar la falla tipo *stuck-on*. La desventaja principal de la prueba de corriente es la lentitud con respecto a la prueba lógica.

La prueba de corriente  $i_{DDQ}$  es la única técnica conocida para la detección relativamente segura de este tipo de fallas. En la figura 6 se muestra la corriente  $i_{DDQ}$  resultante del circuito mostrado en la figura 5.

Una posibilidad de acelerar la velocidad de la prueba de  $i_{DDQ}$ , es que se programen sistemas computarizados, que basados en la experiencia previa, realicen la generación de vectores adecuados de prueba de forma mas veloz y sencilla.

Hoy en día, las compañías han visto a la prueba  $i_{DDQ}$  como una alternativa a la tradicional prueba digital.

### Diseño, implementación de la prueba $i_{DD}$ en las fuentes de polarización

Dada la diversidad de posibles fallas dentro de los circuitos integrados, se propuso la realización de un tipo de prueba que pudiera detectar la mayoría de las fallas sin la necesidad de cambiar la infraestructura de prueba para cada uno de los tipos de fallas.

Pensamos entonces que la solución unificada podría ser la creación de un nuevo tipo de test basado en las corrientes de fuga  $i_{DD}$ .

Se realizó el diseño e implementación de la técnica de “**Respuesta al Pulso en  $i_{DD}$** ” para la detección de fallas en CI, además se desarrolló un modelo teórico de primer orden de la evolución de los voltajes en las compuertas durante la conmutación de las fuentes de alimentación.

La técnica de *Respuesta en  $i_{DD}$  al Pulso de Voltaje* consiste en aplicar simultáneamente Pulsos de Voltaje en  $V_{DD}$  y  $V_{SS}$  a partir de un voltaje medio hasta sus valores nominales, manteniendo un voltaje fijo en las entradas del circuito a  $(\frac{V_{DD}}{2})$ .

El circuito bajo prueba (*Circuit Under Test: CUT*) se muestra en la figura 7.

El voltaje aplicado a los nodos de polarización comienzan en el voltaje  $(\frac{V_{DD}}{2})$ , y en determinado momento y simultáneamente son llevados a sus valores nominales. De esta forma, la observación de las corrientes en las fuentes de alimentación ( $V_{DD}$  y  $V_{SS}$ ) permite determinar el estado del circuito integrado. Esta técnica en particular, necesita que todos los dispositivos en el circuito integrado sean momentáneamente encendidos durante el proceso de pulsado de los voltajes de polarización. En términos de la prueba, este procedimiento provee controlabilidad y observabilidad, monitoreando las corrientes  $i_{DD}$ . La figura 8 representa dichos voltajes de polarización.

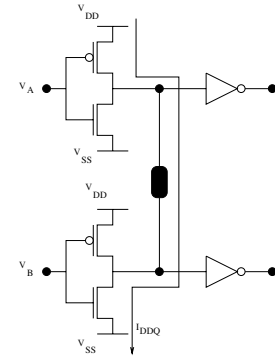


Figura 5: Prueba de  $i_{DDQ}$ .

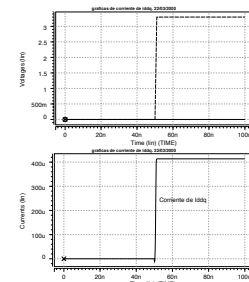


Figura 6: Corriente resultante en la prueba de  $i_{DDQ}$ .

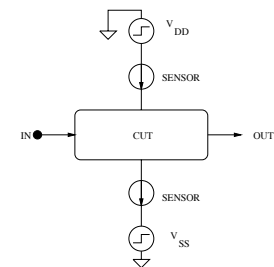


Figura 7: Circuito bajo prueba, CUT.

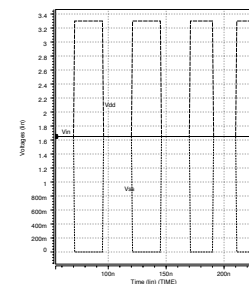


Figura 8: Polarización para aplicar la técnica de Prueba de Respuesta al Pulso  $i_{DD}$ .

Para los circuitos CMOS, los dispositivos entran en uno o mas de los estados de operación: inversión débil, zona lineal o de saturación.

Momentáneamente se encienden todos los dispositivos del circuito, y con ello, las características de cada dispositivo se vuelven observables. Entre las fallas detectadas se encuentran los cortocircuitos en el óxido de compuerta, los abiertos, puentes de silicio, y puentes de metal.

### Modelo de primer orden

El circuito mostrado en la figura 9 fue utilizado para la derivación del modelo de primer orden, modelando los transistores como resistencias (utilizando la transconductancia del transistor) en la zona lineal.

$$I_{DS} = \mu C_{ox} \frac{W}{L} (V_{GS} - V_t) V_{DS} - \frac{1}{2} V_{DS}^2 \quad (1)$$

Así, para  $V_{DS}$  pequeños,

$$R_{transistor} \cong \frac{1}{\mu C_{ox} \frac{W}{L} (V_{GS} - V_t)} \quad (2)$$

la cual da la resistencia del transistor en función de  $V_{GS}$ . De tal forma que podemos derivar:

$$V_o = V_{DD} \frac{R_n}{R_n + R_p} + V_{SS} \frac{R_p}{R_n + R_p} \quad (3)$$

Este modelo se usa para calcular los voltajes en los nodos de salida de cada uno de los inversores en cascada (vea la figura 9), para los diferentes casos ( $NMOS \gg PMOS$ ,  $PMOS \gg NMOS$ ,  $NMOS = PMOS$ ).

Se realizaron múltiples hipótesis y correcciones a la aplicación del modelo, y se puede decir que el modelo permite encender los caminos directos entre  $V_{DD}$  y  $V_{SS}$  en un momento dado, permitiendo la observabilidad de prácticamente todos los casos, otra variable importante fue el periodo del pulso, el diseño de la prueba puede ser ocupado tanto para altas como para frecuencias medias (nano a microsegundos).

Con el fin de comprobar la efectividad de la técnica, se aplicó a un circuito sumador optimizado al que se le introdujeron fallas de cortocircuito, con el objetivo de medir la corriente dinámica. Aplicando las mejoras a la prueba con el desbalanceo de las rutas de entrada, aplicando pulsos lentos y pulsos rápidos a las entradas.

En las figuras 10 y 11 se muestra el circuito de prueba como la planta (sumador optimizado de 1 bit) que fue el objeto de prueba, respectivamente. El layout nos permite saber las capacitancias de ruteado que nos permiten investigar el comportamiento del modelo en un circuito más real. Las fallas de corto-circuito se variaron desde los  $0 \Omega$  hasta los  $10K\Omega$ . Se realizó una ponderación de las fallas, dando preferencia en el estudio a las de ocurrencia mas probable.

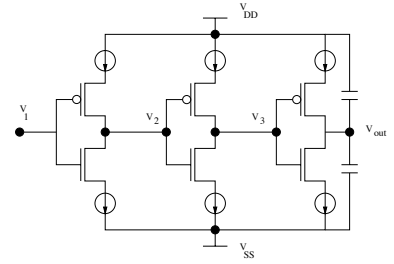


Figura 9: Cadena de inversores utilizado para la derivación del modelo.

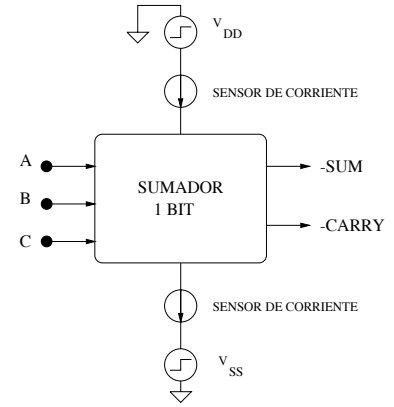


Figura 10: Diagrama a bloques del método de medición del circuito combinacional analizado.

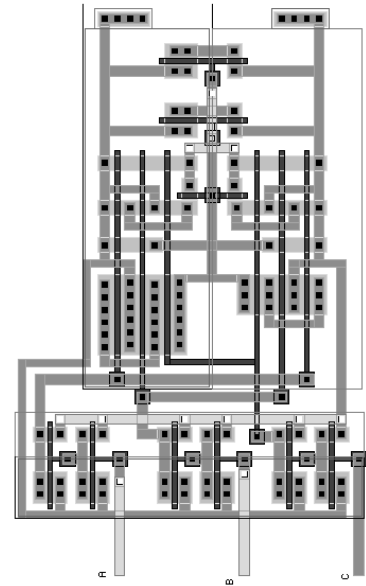


Figura 11: Layout del sumador optimizado utilizado.

## Conclusiones

Se desarrolló y caracterizó la técnica llamada **Respuesta de  $i_{DD}$  al pulso**, que permita la detección de fallas de corto circuito en circuitos integrados digitales CMOS.

La aportación más importante en este trabajo y al estado del arte, es la caracterización de la técnica de prueba. Con el uso de la celda típica, se ha demostrado que la técnica es efectiva para la detección de la mayoría de fallas de corto-circuito.

Los pasos específicos involucrados en el circuito diseñado fueron:

- La selección de una celda típica que tuviese las características de la mayoría de los circuitos de este tipo, en tecnología CMOS.
- El diseño del circuito combinacional con dimensiones mínimas para acercarse lo más posible a un circuito de uso general real.
- La identificación de los nodos más susceptibles a sufrir este tipo de fallas. Esto se realizó mediante el diseño del *layout* y la selección de fallas más probables debido al patrón geométrico.
- El desarrollo de un modelo teórico de primer orden con el fin de predecir el comportamiento del circuito como respuesta a la aplicación de la técnica de test.
- El desarrollo de una optimización de tiempos de aplicación del vector de prueba, para máxima detección.
- El desarrollo de una técnica de desbalanceo en las entradas para algunas fallas de difícil detección.

Esta técnica demuestra que es robusta en la detección de la mayoría de las fallas introducidas en el circuito combinacional. Los tiempos de realización de la prueba son de un par de decenas de nanosegundos, lo que le da una aplicación real en su aplicación a nivel industrial.

Se desarrolló una metodología de medición que facilita la lectura de los datos que se basa en la lectura de las diferencias de corriente de los circuitos con y sin defectos físicos.

La máxima eficiencia de la técnica de test se encuentra en las rampas que se encuentran en el rango de tiempo que van de 1 ns a 20 ns. Una gran mayoría de las fallas introducidas fue detectada. Para fallas de difícil detección se encontró que las rutas desbalanceadas en geometría de etapas previas a cualquier circuito bajo prueba ayuda a la detección de ciertas fallas.

**Nota:** Se presentan algunos resultados en las figuras 12 a 14.

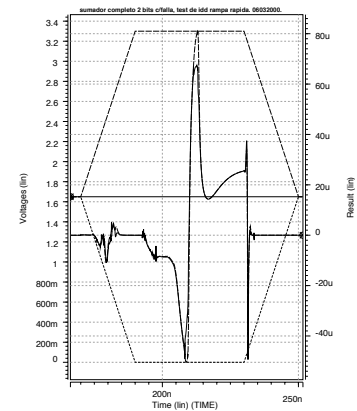


Figura 12: Falla entre los nodos (50, 4).

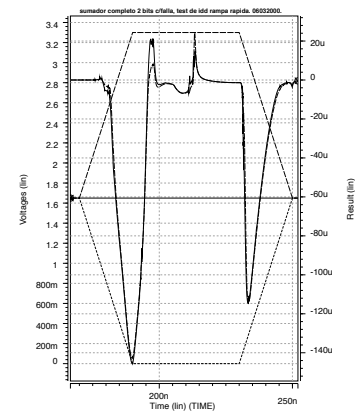


Figura 13: Falla entre los nodos (50, 9).

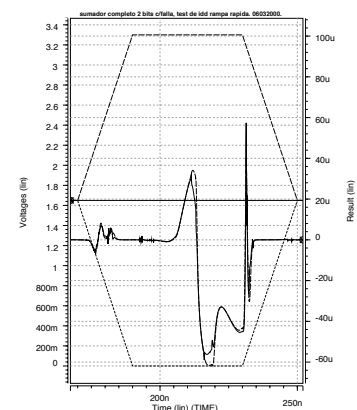


Figura 14: Falla entre los nodos (60, 6).