

“Pruebas de CI’s aplicando un Pulso en las Fuentes de Polarización”

Por

Sergio Feliciano Mendoza Barrera

Tesis sometida como requisito parcial para obtener el grado de Maestría en Ciencias en la especialidad de Electrónica en el Instituto Nacional de Astrofísica, Óptica y Electrónica.

Supervisada por:

Dr. Víctor H. Champac V. - Dr. Mónico Linares Aranda
INAOE

Tonantzintla, Pue.

Abril 2000

Agradecimientos

AL CONSEJO NACIONAL DE CIENCIA Y
TECNOLOGIA (CONACYT)

Por el apoyo económico y las facilidades otorgadas

Este trabajo fue realizado bajo el Proyecto de Investigación
No. C105-A.

AL INSTITUTO NACIONAL DE ASTROFISICA,
OPTICA Y ELECTRONICA (INAOE).

Por las facilidades brindadas.

A los Doctores:

Víctor H. Champac Vilela
Mónico Linares Aranda.

Por la dirección de tesis.

A los Doctores:

Arturo Sarmiento Reyes
Gordana Jovanovic Dolecek

Por la revisión y corrección del documento.

Dedicatoria

Dedico esta Tesis a:

Mi mamá, que es el alma de mi vida.....
Mi papá, el ejemplo intachable.....
Mis hermanas, los sueños compartidos.....
Mi hermano, la inocencia de mi vida.....
Mi cómplice en esta vida.....

**Gracias a todos, en especial a mi madre y a mi
padre.....**

Contenido

Agradecimientos	i
Dedicatoria	iii
Contenido	v
1 Estado del Arte	1
1.1 Defectos en circuitos integrados	2
1.2 Prueba de Circuitos Integrados	4
1.2.1 Principales modelos de fallas para buscar fallas a nivel circuito	7
1.2.2 Prueba del defecto de compuerta flotante	13
1.3 Prueba de i_{DDQ}	18
2 Análisis de DC	23
2.1 Descripción de la técnica de Prueba	23
2.2 Análisis de voltaje	24
2.2.1 Modelo de primer orden	26
2.2.2 Caso simétrico	27
2.2.3 Caso no simétrico	29
2.2.4 Caso no simétrico, $W_n = 30\mu$	32
2.2.5 Resumen de los efectos del tiempo en la técnica de prueba	34
2.3 Análisis de corriente	36
3 Pruebas i_{DD} en un módulo combinacional	43
3.1 Circuito bajo prueba	43
3.2 Flancos rápidos en las alimentaciones	47
3.2.1 Fallas entre V_{DD} (V_{SS}) y entradas	48

3.2.2	Fallas entre entradas	49
3.2.3	Fallas entre nodos internos	55
3.2.4	Fallas entre V_{DD} (V_{SS}) y nodos internos	58
3.2.5	Fallas entre entradas y nodos internos	63
3.3	Flancos lentos en las alimentaciones	64
3.3.1	Fallas entre V_{DD} (V_{SS}) y entradas	64
3.3.2	Fallas entre entradas	65
3.3.3	Fallas entre nodos internos	71
3.3.4	Fallas entre V_{DD} (V_{SS}) y nodos internos	74
3.3.5	Fallas entre nodos internos y entradas	78
3.4	Conclusiones	79
4	Conclusiones	81
A	Netlist HSPICE	83
B	Desbalanceo de rutas para el test de i_{DD}	89
	Lista de Figuras	91
	Lista de Tablas	95
	Bibliografía	97

Capítulo 1

Estado del Arte

En la actualidad la ciencia de la electrónica tiene un papel primordial en todos los aspectos de la vida humana. Ha desplazado numerosas funciones mecánicas debido a que ofrece ventajas de costo, exactitud y confiabilidad. Esto, sin embargo, ha causado que haya un exagerado aumento en la complejidad y la densidad de la integración de los circuitos, y esto a llevado a que la garantía de producir circuitos con altos márgenes de calidad a bajo costo se convierta en una tarea de primordial importancia. Y, si además de esto, se le añade que existen aplicaciones donde la confiabilidad del producto electrónico es aún mayor como por ejemplo: en las aplicaciones espaciales, militares, médicas, automotrices y de transportación pública; entonces, para garantizar altos estándares de calidad y confiabilidad, deben realizarse tareas de pruebas a diferentes niveles durante el proceso de fabricación de todo circuito integrado.

Estas pruebas se realizan para asegurar el correcto flujo del proceso de fabricación, es decir, que tanto las características de los dispositivos electrónicos como de las diferentes capas de material (por ejemplo polisilicio, metal) sean las esperadas.

También se realizan pruebas de envejecimiento para predecir la calidad del producto a lo largo de las diferentes etapas de su ciclo de vida. Además, se realizan pruebas de funcionalidad con el objeto de garantizar el comportamiento de las especificaciones de AC y DC. Es norma que se hagan pruebas exhaustivas de funcionalidad durante la fase de prototipo del nuevo circuito integrado. Cuando el nuevo circuito integrado se encuentra en la fase de producción, es de primordial importancia realizar pruebas con el fin de identificar los defectos físicos que puedan haberse generado durante el proceso de

fabricación.

En resumen, las pruebas que se realizan para asegurar el funcionamiento correcto del circuito integrado bajo prueba son:

- Pruebas para asegurar el flujo correcto del proceso de fabricación.
- Pruebas de envejecimiento.
- Pruebas de funcionalidad.
- Pruebas para la identificación de defectos físicos.

El presente trabajo está enfocado a este último punto, y específicamente a los circuitos integrados digitales, aunque algunos de los conceptos y técnicas que se analizan podrían ser extendidas a aplicaciones analógicas y mixtas.

En este capítulo, primero se presentan los tipos de defectos que existen y la forma de modelarlos, así como la descripción de algunos mecanismos que los producen.

Se discuten los modelos *stuck-at*, *stuck-on*, *stuck-open* y fallas de tipo puente. Finalmente, se discute ampliamente el defecto de cortocircuito que es en el que nos enfocaremos a lo largo de todo el trabajo.

1.1 Defectos en circuitos integrados

Como se sabe, la litografía microelectrónica es el proceso de transferir el patrón de cada capa de material en el circuito integrado (CI). La resolución de la litografía limita las dimensiones mínimas de las líneas más pequeñas en el circuito integrado, y constituye una medida mínima para las dimensiones de la superficie. Una de las técnicas litográficas más utilizadas es la llamada *litografía óptica*, que utiliza una luz ultravioleta para transferir el patrón hasta el CI. Alternativas a ésta, son por *haz de electrones* y fuentes de *rayos X*.

Los defectos físicos que se presentan durante el proceso de fabricación (litografía), pueden ser de dos tipos, globales o localizados [MAL85], [SHE85]. Los llamados defectos globales afectan una gran parte del área total de la oblea, por lo que su detección es relativamente sencilla durante el proceso de fabricación. Estos defectos, como se ha explicado antes, se producen durante los procesos físicos, químicos y térmicos presentes en dicho procedimiento, y se utilizan técnicas de DC y AC para su detección.

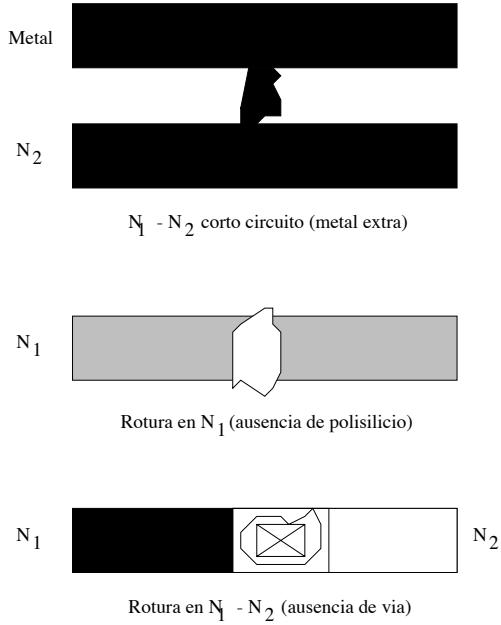


Figura 1.1: Defectos físicos.

En cambio, los defectos localizados afectan una pequeña parte de área contenida en la oblea, como la de un solo transistor o interconexiones adyacentes. Dichos defectos localizados o puntuales han sido identificados como los causantes de que los circuitos integrados fabricados tengan una operación incorrecta. En la figura 1.1 se muestran los defectos puntuales o localizados, los cuales pueden ser:

- Corto-circuitos entre conductores
- Roturas en los conductores
- Roturas en los contactos o vías
- Defectos del óxido de compuerta
- Uniones p-n defectuosas, etc.

Las imperfecciones creadas durante el proceso de fabricación son la falta de material en lugares donde debería existir, o la existencia de material en

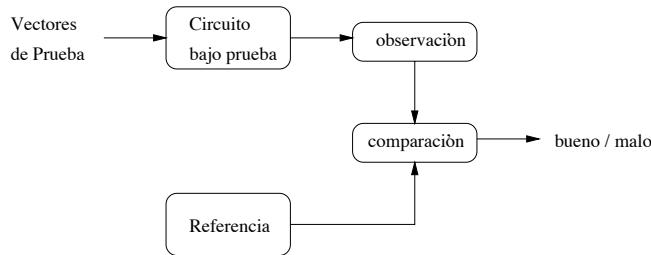


Figura 1.2: Esquema general de pruebas.

lugares donde no debería haber; resultando en *circuitos abiertos y cortocircuitos* respectivamente.

Los circuitos abiertos o desconexiones pueden afectar a las pistas del surtidor, drenador y la pista de polisilicio que controla la compuerta del transistor (*Defecto de compuerta flotante*).

Partiendo de las tecnologías de layout actuales el *defecto de cortocircuito*, es una de las fallas con una mayor probabilidad de estar presentes que otro tipo de fallas [MAL88a]. Esta falla tiene una mayor probabilidad de ocurrir en pistas adyacentes de metal o polisilicio, con el desarrollo de tecnologías submicrométricas.

1.2 Prueba de Circuitos Integrados

El objetivo de la prueba de Circuitos Integrados (*CI*) es permitir conocer si la funcionalidad y las propiedades del circuito fabricado están de acuerdo con las especificaciones de dicho circuito. Un esquema general de prueba de un circuito integrado se muestra en la figura 1.2. Primero, se aplica un vector de prueba, luego se mide la respuesta a la salida del circuito y finalmente se compara con la respuesta esperada. Si la respuesta medida y la respuesta esperada es la misma, se acepta como correcto; en cambio si existe una diferencia se rechaza el circuito. La prueba del *CI* se realiza mediante los siguientes pasos:

1. Aplicación de vectores de prueba a las entradas controlables del circuito para sensibilizar el defecto y propagar el posible error a un punto de acceso.
2. La medición es tomada en un punto observable.

3. Comparación de la medida obtenida con el valor de referencia para determinar la calidad del circuito bajo prueba.

En la estrategia de prueba, los defectos físicos son representados adecuadamente en un nivel superior de abstracción, de tal forma que esta representación se pueda utilizar para la generación de vectores y simulación del circuito con defecto. Para realizar esto, se hacen *modelos de fallas*, que describen el efecto que los defectos físicos tienen en el comportamiento del circuito [CHA93]. Los *modelos de fallas* son posibles de realizar en diferentes niveles de abstracción:

- Eléctrico, por ejemplo los defectos caracterizados por cambios de voltaje.
- Lógico, el defecto provoca un cambio lógico en el circuito.
- Funcional, donde se tiene un cambio en la función o comportamiento del circuito.

La verificación de la funcionalidad del circuito integrado digital es la forma más simple de saber si dicho circuito contiene algún defecto físico. Para esto, se aplican todos los vectores contenidos en la tabla de verdad del circuito; sin embargo, esta técnica se vuelve impráctica con el advenimiento de circuitos complejos. Por ejemplo, para verificar el correcto funcionamiento de una ALU de 32 bits, utilizando un equipo automatizado de pruebas a 500 MHz se necesita un tiempo aproximado de 1169 años para verificar la funcionalidad de un sólo circuito. Para la solución de este problema se realiza una abstracción del comportamiento erróneo que pueden producir los defectos físicos (*modelos de fallas*), y se buscan los vectores que permitan detectar todas las fallas modeladas, esto trae consigo un ahorro enorme de tiempo.

A partir del modelo de falla se inicia la búsqueda de vectores de prueba apropiados de forma que el comportamiento del circuito con o sin falla sea diferente, de forma que pueda realizarse su inspección y detectar así el defecto. En un circuito de tamaño relativamente pequeño se tiene la posibilidad de que por simple inspección se puedan hallar los vectores de prueba correctos para detectar algun defecto en dicho circuito. Sin embargo, para circuitos de densidad *VLSI* (*Very Large Scale of Integration*) se tiene una completa imposibilidad de hacerlo por este método, debido a esto se realiza esta operación por medio de herramientas automáticas (*Automatic Test Pattern Generation*) [ABR83].

Los vectores de prueba ya generados, a partir del modelo de fallas, garantizan la detección de los defectos. Cuando el comportamiento del circuito defectuoso corresponde al predicho por el *modelo de falla*, entonces los defectos similares pueden también ser detectados por dicho *modelo de fallas* [ABR83].

Existen diversos modelos utilizados para hallar fallas en circuitos, entre ellos está el que se considera como modelo a nivel compuerta.

Para hacer pruebas en un circuito, frecuentemente se usa un modelo de fallas a nivel compuerta. Es decir, se utiliza la representación del circuito a nivel lógico.

Un ejemplo simple de lo que esto significa es considerar la figura 1.4, donde se remplazan las conexiones en serie de los transistores NMOS por una compuerta AND y la conexión en paralelo por una compuerta OR de la figura 1.3. Como se sabe la estructura CMOS invierte por naturaleza, por lo cual en el modelo se agrega un inversor a la salida.

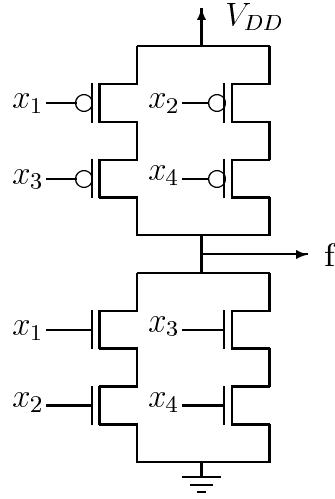


Figura 1.3: Puerta compleja CMOS estática.

Existen modelos destinados a tratar de derivar vectores para posibles fallas físicas en un chip con densidad *VLSI*, sin embargo, el problema es bastante complicado.

Si un circuito CMOS tiene muchas compuertas, cada compuerta CMOS es reemplazada por su modelo hasta obtener el circuito final.

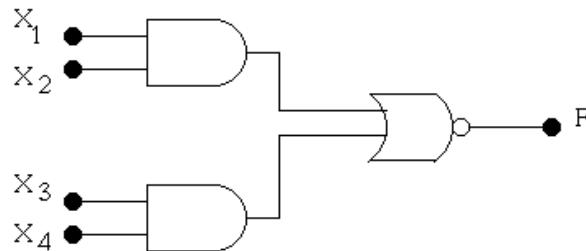


Figura 1.4: Modelo a nivel compuerta del circuito de la figura 1.3.

1.2.1 Principales modelos de fallas para buscar fallas a nivel circuito

Si se tratan de derivar vectores para todas las posibles fallas que pueden producirse dentro de un integrado con densidad *VLSI*, el problema es demasiado complicado. Por lo cual se utilizan los modelos de fallas que en este caso son modelos de fallas a nivel lógico, enseguida se enumerarán algunos de los modelos de fallos más ampliamente usados en la *Prueba de Circuitos Integrados*.

1. Modelo de fallas *stuck-at*
2. Modelo de fallas *stuck-open*
3. Modelo de fallas *stuck-on*
4. Modelo de fallas *bridging*

1.2.1.1 Modelo de fallas *stuck-at*

El modelo de fallas *stuck-at* [ELD59] es el más sencillo que se conoce. Este se basa en que cualquier línea en un circuito puede tener una falla consistente en estar permanentemente a “1” (*stuck-at 1*) lógico o a “0” lógico (*stuck-at 0*). En otras palabras, cada línea tiene dos posibles fallas, en este modelo se asume que una línea en particular del circuito está permanentemente a un 1 lógico o a un 0 lógico. Si la línea está a 0 lógico entonces se habla de un *stuck-at 0*, en caso contrario si la línea está cargada a un 1 lógico se hablará de un *stuck-at 1*.

La aplicación del modelo *stuck-at* a circuitos TTL fué analizada por Beh *et al.* [BEH82], se encontró que al haber cortocircuitos con resistencias muy pequeñas y algunos circuitos abiertos provocan un comportamiento *stuck-at*. También se encontró que no era posible asegurar que algún defecto del circuito de tecnología TTL fuera detectado utilizando el modelo *stuck-at* para la generación de vectores de prueba.

Las características más importantes de este modelo de fallas son:

- Es una representación de un amplio conjunto de defectos físicos.
- Es independiente de la tecnología.
- El tamaño del conjunto de los vectores de prueba es razonable para un circuito dado.

Para un circuito integrado, es necesario encontrar los vectores que detecten las dos posibles fallas que puede sufrir cada una de las líneas del circuito. Para esto, se asume que las señales de los pines de entrada (señales primarias) y salida (salidas primarias) del circuito son los únicos nodos accesibles. Es decir, el circuito es verificado inyectando señales a las *terminales de entrada* y midiendo las señales en las *terminales de salida*. Para generar vectores de prueba para una falla *stuck-at* se siguen los siguientes pasos [RAJ92], [HUR98], [FUJ85], [BREUER]:

- Manifestación.- Las entradas de la compuerta afectada por la falla son especificadas para generar un valor opuesto al de la falla.
- Propagación.- Entradas a las otras compuertas son determinadas para propagar la falla a través de un camino previamente seleccionado hasta una salida primaria.
- Justificación.- Se determinan los valores necesarios en las entradas primarias para hacer la manifestación y propagación de la falla.
- El proceso previo debe realizarse para los dos tipos de falla *stuck-at 1* y *stuck-at 0* de cada línea del circuito integrado bajo prueba.

El circuito mostrado en la figura 1.5 tiene seis nodos, por lo tanto existen doce posibles fallas *stuck-at*. Seleccionando una de ellas, supóngase que se elige el nodo **E** a *stuck-at 0*. Para manifestar la falla se requiere que

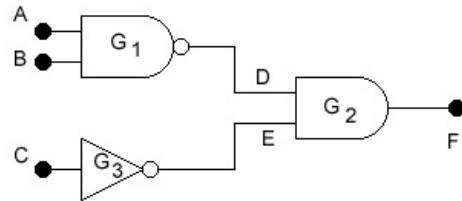


Figura 1.5: Circuito combinacional.

ABC	Fallas detectadas
000	C-SA1, D-SA0, E-SA0, F-SA0
001	C-SA0, E-SA1, F-SA1
010	A-SA1, C-SA1, D-SA0, E-SA0, F-SA-0
011	C-SA0, E-SA1, F-SA1
100	B-SA1, C-SA1, D-SA0, E-SA0, F-SA-0
101	C-SA0, E-SA1, F-SA1
110	A-SA0, B-SA0, D-SA1, F-SA1
111	F-SA1

Tabla 1.1: Fallas *stuck-at* del circuito mostrado en la figura 1.5 y vectores requeridos para su detección, SA: *stuck-at*.

$C = 0$. Para propagar la falla se requiere $D = 1$. Si el circuito funciona correctamente la salida F será un 1 lógico y si tiene falla será un 0 lógico. El proceso de propagación de la falla se ha logrado debido a que se ha conseguido propagar la falla hasta la salida primaria. El siguiente paso es justificar las asignaciones realizadas. La justificación de la señal $D = 1$, se consigue con $AB = 00, 01, 10$. Una vez asignadas las entradas primarias, el proceso de búsqueda del vector finaliza. La falla del nodo E a *stuck-at* 0 se detecta con cualquiera de los tres vectores siguientes: $ABC = 000, 010, 100$.

En la tabla 1.1 se muestran todas las posibles fallas *stuck-at* del circuito mostrado en la figura 1.5 junto con los vectores que las detectan. Dos características pueden observarse en la Tabla 1.1:

- (a) un vector puede detectar más de una falla, y
- (b) diferentes vectores pueden detectar la misma falla.

ABC
010
100
101
110

Tabla 1.2: Conjunto mínimo de vectores para el circuito mostrado en la figura 1.5.

Debido a esta propiedad, un conjunto menor de todas las entradas de toda la tabla combinacional son necesarios para detectar todas las posibles fallas de un circuito. El conjunto mínimo de vectores que detecta todas las posibles fallas del circuito de la figura 1.5 se muestra en la Tabla 1.2, nótese que sólo cuatro vectores de ocho son necesarios.

Este modelo fué propuesto en sus inicios por Eldred [ELD59], quien realizó una prueba estructural para la detección de fallas en los componentes de circuitos lógicos. Aunque el autor no lo denominaba como *stuck-at* directamente se entiende que se centraba en esta técnica para la detección de fallas.

Las bases físicas para el modelo *stuck-at* son adecuadas para las tecnologías DTL y TTL. En las décadas de los 60's y 70's aparecieron numerosos trabajos en los que fué utilizado este modelo. Algunos trabajos, [ARM66] [TIM83] analizan desconexiones de línea de interconexión en tecnología TTL bipolar que resulta en un comportamiento *stuck-at*.

El modelo de fallas *stuck-at* es utilizado enormemente a nivel industrial y es tal vez el que ha dado mejor resultado en este entorno.

Considere la figura 1.6 que consta de una puerta NAND CMOS estática de dos entradas.

Primero se examinará el corto-circuito denotado por s_1 . Este corto fuerza a la línea de la entrada x_2 estar a un *stuck-at 0* (s-a-0). De forma similar el corto llamado s_2 fuerza a la línea de entrada x_1 a un *stuck-at 1* (s-a-1). En la tabla 1.3 se denota a f como la función de la compuerta libre de fallas, a f_1 como la salida en presencia de s_1 , y a f_2 como la salida en presencia de s_2 .

Por medio de esta tabla se ve cómo solamente por medio del vector $(x_1, x_2) = 1,1$ es detectado el corto s_1 , y de forma similar sólo el vector $(x_1, x_2) = 0,1$ detecta el cortocircuito s_2 .

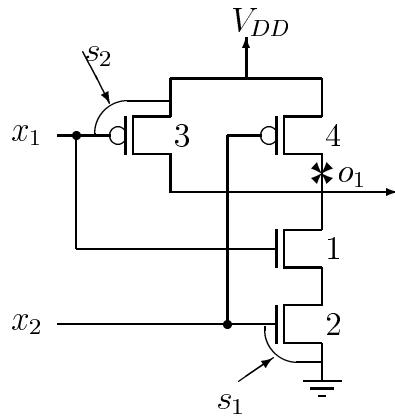


Figura 1.6: Puerta NAND de dos entradas de tecnología CMOS.

x_1	x_2	f	f_1	f_2
0	0	1	1	1
0	1	1	1	0
1	0	1	1	1
1	1	0	1	0

Tabla 1.3: Tabla de verdad para la compuerta NAND.

El modelo de fallas *stuck-at* es fácilmente utilizable para la elaboración de herramientas de cómputo para la simulación de defectos y para la generación de vectores de prueba automática, ATPG [SHU89]. Los algoritmos basados en el modelo de fallas *stuck-at* han resultado ser rápidos y eficientes:

- Simulación Deductiva [CHA74] [ARM72].
- Simulación Paralela [CHA74] [SON90].
- Simulación Concurrente [ABR77] [NIC90].

1.2.1.2 Modelo de Fallas Stuck-open

Cuando un transistor está en no conducción debido a una falla se dice que se modela por medio del *stuck-open*. Este modelo fué desarrollado en primera instancia por Wadsack [WAD78]. Considerando la rotura o abierto denotado

por o_1 en la figura 1.6. El circuito-abierto pone en un estado de no conducción al transistor 4. Esto es llamado falla *stuck-open* en este transistor 4.

Supóngase que los vectores de la tabla 1.3 son aplicados en ese orden. Cuando o_1 está presente, la salida f es la esperada por el diseñador, esto quiere decir que para detectar este tipo de fallas, se requiere además de vectores correctos, una secuencia de vectores, es decir, una *inicialización*. Razón por la cual este primer vector es llamado de inicialización, mientras que el segundo es llamado vector de evaluación.

La secuencia de estos dos vectores es llamada *prueba de doble patrón*. Esta prueba aplicada a la falla *stuck-open* del transistor 4 es $\langle 11,10 \rangle$. El vector 11 inicializa el nodo de salida a 0. Después cuando el vector 10 es aplicado, el nodo de salida retiene el 0 debido a la falla, siendo detectada. Debe mencionarse que esta prueba debe efectuarse en un tiempo más corto que la constante de tiempo de las corrientes de fuga. Puesto que estas corrientes existen, en este caso, eventualmente el nodo de salida f se cargaría a un 1 lógico, es decir, no se mantendrá indefinidamente en un valor de 0 lógico. Sin embargo si la prueba del doble patrón es aplicada lo suficientemente rápido, la falla del abierto o_1 será detectada.

Durante el proceso de la generación del vector de prueba pueden haber varias alternativas para justificar o propagar el error (*fan-out*). Por consiguiente, es necesario seleccionar alguna de las alternativas. Puede ocurrir que dicha selección lleve a alguna inconsistencia [HUR98], [FUJ85], [BREUER]. Por esta razón es necesario regresar al último punto donde existían las opciones y optar por alguna otra alternativa. Sin embargo, para un circuito complejo puede existir un número elevado de inconsistencias. Y es por esto que se utilizan herramientas automáticas que generan los vectores de prueba que generalmente limitan el número máximo de inconsistencias aceptadas para encontrar un determinado vector de prueba para una determinada falla.

Es posible con esto que no se encuentre un vector de prueba para una determinada falla con lo cual se reduce la cobertura de fallas. Esto significa que si esta falla existiera en un circuito real al realizar las pruebas, el circuito pasaría por bueno, aún existiendo la falla.

La generación automática de los dos vectores de prueba puede ocupar mucho y costoso tiempo de máquina para hallar dichos vectores, y también existe la posibilidad de no encontrar una secuencia adecuada de vectores de prueba para la detección de alguna falla específica. Debido a los problemas implicados para la detección de estas fallas ahora se realizan diseños con propiedades que los haga *fácilmente verificables* [FUJ85]. En algunos de estos

diseños se utilizan transistores adicionales controlados por señales externas con el objetivo de facilitar la prueba de este tipo de fallas, es decir, se diseña para la *testabilidad*.

1.2.2 Prueba del defecto de compuerta flotante

El modelo *stuck-open* no es adecuado para representar el *defecto de compuerta flotante*, debido a que un transistor con este tipo de defecto puede conducir corriente. Algunos autores han estudiado la presencia de la carga en el óxido de compuerta del transistor con el *defecto de compuerta flotante* y concluyen que dependiendo de la naturaleza de la carga, trabaja permanentemente en estado de conducción (*stuck-on*) o permanentemente en corte (*stuck-off*) [WAD78].

Otros autores [CHA85] han encontrado que debido al acoplamiento capacitivo, un transistor con el *defecto de compuerta flotante* puede trabajar permanentemente en corte o permanentemente en conducción y lo cual no puede ser predicho con algún modelo de los mencionados anteriormente. Sin embargo, se ha demostrado que el estado de conducción del transistor defectuoso está determinado por las características del defecto y del transistor defectuoso [CHA93]. Con respecto a la respuesta en el tiempo de las compuertas en presencia de defectos de compuerta flotante, [TIM83] sugiere que una rotura incompleta de la pista que controla la compuerta de un transistor puede ser modelada por una red RC en serie con la conexión a la compuerta, la cual hace más lentas las commutaciones de la compuerta (*Falla de Retardo*). En [CHA93] se considera que las roturas de la pista de polisilicio son lo suficientemente grandes para que la señal no influencie el comportamiento de la compuerta del transistor en presencia de defecto.

Renovell *et al.* ha contribuido de forma por demás importante para el análisis eléctrico y modelado de los defectos de compuerta flotante. Ha introducido el concepto de que la tensión inducida en la compuerta flotante a través del acoplamiento capacitivo determina el estado de conducción del transistor con el defecto.

Basado en un modelo capacitivo se desarrollan [CHA93] expresiones analíticas que estiman la tensión inducida en la compuerta flotante dependiendo de su región de operación. Proponen que la prueba de un transistor con el defecto de compuerta flotante implica la extracción del layout del circuito con el propósito de evaluar las características topológicas de cada transistor. Si además se conocen los parámetros de la tecnología de fabricación, entonces

es posible estimar la tensión que se induce en la compuerta para conocer el estado de conducción del transistor con el defecto de compuerta flotante.

La fabricación premeditada de circuitos con este tipo de defectos fué realizada, comprobándose los resultados teóricos del modelo. Debido a esto es posible obtener uno o varios modelos lógicos a partir de los resultados eléctricos para representar este defecto. Renovell [REN86a] ha encontrado que el defecto de compuerta flotante puede introducir retardos en la operación de un circuito. El *Defecto de Doble Flotante*, se presenta cuando la desconexión del camino eléctrico afecta a las compuertas de los transistores de canal N y también a su complementario, de tal forma que permanezcan unidas. Los circuitos con este tipo de defectos pueden tener una operación lógica correcta a frecuencias bajas, pero pueden operar de forma incorrecta al incrementar la frecuencia [REN86a] [SOD89a]. Henderson *et al.* [HEN91] han encontrado que debido al *efecto túnel* una compuerta lógica en presencia de roturas en la compuerta puede desarrollar correctamente su función lógica a frecuencia bajas, sin embargo, a frecuencias altas el fucionamiento puede considerarse como incorrecto. Han estudiado roturas en la línea de interconexión de la compuerta de un inversor en que flota tanto el transistor de canal N como el transistor de canal P, estando sus compuertas interconectadas. Entre sus propuestas se encuentran

- (a) Usar el modelo de **Fallas de Retardo** para roturas pequeñas.
- (b) Usar la **técnica de i_{DDQ}** para fracturas de cualquier tamaño.

1.2.2.1 Modelo de fallas Stuck-on

Si una falla causa que un transistor permanezca en conducción de manera continua, esta falla se modela como fallas *stuck-on*. Considere la compuerta NOR de dos entradas CMOS mostrada en la figura 1.7.

Suponga que el transistor 2 está *stuck-on*. Se tratará de encontrar la falla alimentando el circuito con el vector $\langle x_1, x_2 \rangle = 00$. Cuando este vector es introducido, los transistores 2, 3 y 4 conducen en presencia de la falla. Suponga que la resistencia de encendido de la cadena de transistores PMOS (3 y 4) es R_p y la del NMOS (2) es R_n . Entonces el voltaje efectivo V_f en el nodo de salida está dado por:

$$V_f = \frac{R_n}{R_n + 2R_p} V_{DD} \quad (1.1)$$

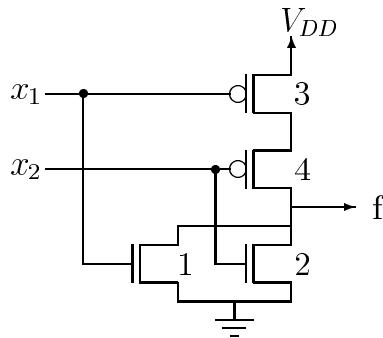


Figura 1.7: Una compuerta NOR CMOS estática de dos entradas.

Después la resistencia de apagado del transistor 1 vendría siendo mucho más grande que la resistencia de encendido del transistor 2, y no se toma en cuenta el efecto del transistor 2. De la ecuación se puede observar que V_f puede tomar cualquier valor entre cero volts y V_{DD} dependiendo de los valores relativos de las resistencia R_n y R_p . Esto no es una garantía de la correcta detección de la falla *stuck-on* si sólo se monitorea el valor lógico del nodo f .

Supóngase que V_f es semejante, y es interpretado como un “0” lógico. En este caso la falla puede no ser detectada. Supóngase ahora momentáneamente una falla *stuck-on* en el transistor 4, si ésta es la única falla presente en el circuito, el único vector que tiene la oportunidad de detectarlo es $\langle x_1, x_2 \rangle = 01$. Cuando $\langle x_1, x_2 \rangle = 01$ es introducido, los transistores 2, 3 y 4 conducen en presencia del fallo. Por lo tanto el voltaje V_f es el mismo que el obtenido anteriormente.

Sin embargo, para detectar la falla *stuck-on* en el transistor 4 necesitamos que V_f sea interpretado como un “1” lógico. Por lo tanto, los requerimientos para la detección de las fallas *stuck-on* en los transistores 2 y 4 son contradictorias y entonces es imposible detectar las fallas monitoreando solamente el valor lógico de f . De forma similar es imposible de detectar fallas *stuck-on* en ambos transistores 1 y 3.

Las fallas de *stuck-on* provocan valores analógicos que no siempre pueden detectarse por procedimientos de pruebas lógicas, dependiendo de la resistencia del camino de conducción.

Si suponemos que en el circuito, el transistor NMOS con entrada A está en *Stuck-On*, aparece un comportamiento en falla cuando existe un camino

entre V_{DD} y V_{SS} .

De lo expuesto anteriormente se deduce que los vectores de prueba deben escogerse de la forma más cuidadosa para que permitan la correcta detección de las fallas. En una prueba lógica se requieren muchas simulaciones y puede suceder que para una falla específica no exista un vector de prueba capaz de detectarlo. El problema se resuelve con la técnica de medición de consumo de corriente.

1.2.2.2 Modelo de fallas de cortocircuito

Este tipo de fallas está definido como un puente o corto-circuito entre dos o más líneas de señal de un circuito. Esto suele ocurrir debido a causas muy diversas, desde un máscara con defectos ya sea en su posición o tamaño, o por imperfecciones en el proceso fotolitográfico, en la oxidación, electromigración en el aluminio, fracturas en las diferentes capas, etc. Este tipo de defectos pueden clasificarse en dos clases:

- (a) Falla puente retroalimentante
- (b) Falla puente no retroalimentante

Si la falla crea uno a más lazos de retroalimentación, entonces se refiere como falla retroalimentante, en caso contrario será no retroalimentante.

Para el caso de que el problema se ataque a nivel compuerta, se asume generalmente que el puente se encuentra uniendo dos líneas resultando en una conexión *wired-AND* o *wired-OR*. Lo cual es válido para tecnologías donde se utiliza el bipolar, pero, no lo es para tecnología CMOS.

De lo cual se desprende que no es fácil predecir cómo la falla tipo puente va a afectar el comportamiento de un sistema CMOS, por lo que no es posible utilizar los modelos *wired-AND* y *wired-OR* para compuertas CMOS.

De aquí que la prueba de corriente sea más apropiada de utilizar debido a la ruta de baja resistencia establecida entre V_{DD} y tierra.

La falla tipo puente es una de las fallas que con mayor frecuencia se encuentra dentro de los sistemas digitales. Con la reducción de las geometrías, el estudio de las fallas tipo puente se ha convertido en el más importante. En estudios recientes a nivel defectos en layout, y usando datos estadísticos del proceso de fabricación, se encontró que las fallas tipo puente constituyen el 40% del total de fallas encontradas.

Muchas de las publicaciones que tratan las fallas tipo puente, toman el modelo a nivel compuerta para este tipo de fallas. En el modelo, un par de líneas puenteadas toman cualquiera de los valores de un producto OR o un producto AND de los valores lógico normales. Este modelo asume que el puente es un corto circuito robusto, por lo cual la resistencia de la falla tipo puente no es tomada en cuenta.

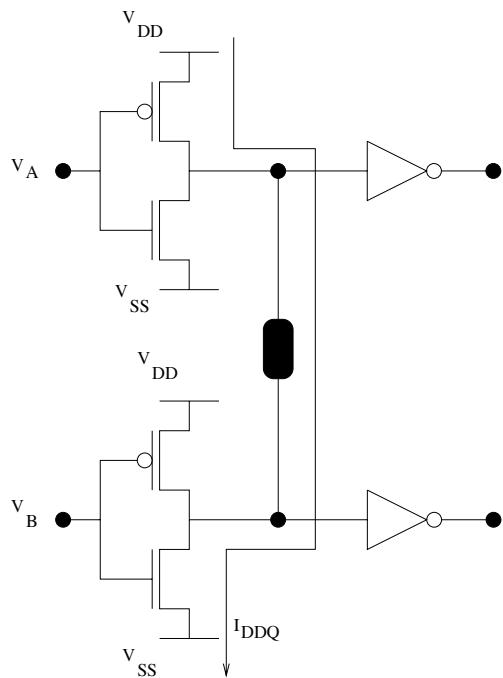
El estudio sistemático de este tipo de fallas ha obligado que las fallas tipo puente sean clasificadas en tres clases:

1. Puentes en un sólo elemento lógico sin retroalimentación. Un elemento lógico, sea una compuerta compleja o simple, dentro de ella no todos los nodos están caracterizados por un nivel lógico 0 ó 1. El análisis se hace a nivel transistor.
2. Puentes entre dos elementos lógicos sin retroalimentación. En esta clase de fallas tipo puente, sólo los nodos lógicos puenteados son considerados, si el valor lógico de un nodo depende de otro nodo entonces la falla tipo puente será considerada dentro de la clase siguiente. Para el análisis, los nodos se evalúan a nivel transistor.
3. Fallas tipo puente entre nodos lógicos con retroalimentación. Si el valor lógico de uno de los nodos depende del valor lógico de otro nodo, el análisis se complica debido a la retroalimentación. Esta situación crea un valor inestable en los nodos puenteados. Esto causa oscilaciones en el circuito, y por lo tanto un estado de metaestabilidad.

Las fallas tipo puente entre los nodos internos de dos elementos lógicos son posibles en circuitos con densidad VLSI. Las técnicas de prueba para detectar este tipo de fallas se hace complicado. También, las fallas tipo puente son posibles entre nodos internos en la parte N y en la parte P. Sin embargo, como los transistores NMOS y PMOS son fabricados en pozos separados, la probabilidad de existencia de este tipo de fallas en estas condiciones es extremadamente baja.

Las diferentes clases de fallas tipo puente son

- (a) Puentes en el interior de un elemento lógico sin retroalimentación
- (b) Puentes entre dos elementos lógicos sin retroalimentación
- (c) Puentes con retroalimentación

Figura 1.8: Prueba de i_{DDQ} .

Un transistor MOS, en un circuito digital es considerado como un interruptor y es modelado como un dispositivo de tres terminales (pasando por alto la conexión al sustrato). Un gran número de este tipo de fallas pueden ser posibles en un elemento lógico, las más comunes son caracterizadas como:

1. Puente compuerta-drenador
2. Puente compuerta-fuente
3. Puente fuente-drenador.

1.3 Prueba de i_{DDQ}

La forma de tratar el problema se enfoca de forma distinta a las pruebas de retardo y a las pruebas lógicas, se monitorea el consumo de corriente. Cuando se introduce el vector de prueba correcto en las entradas del circuito

en presencia de la falla *stuck-on*, el consumo de corriente es generalmente mayor en unos cuantos órdenes de magnitud que la corriente normal. Esto se debe a la baja resistencia del camino de conducción directo establecido entre V_{DD} y tierra. Este monitoreo de corriente o Prueba de Corriente es el más efectivo para detectar la falla tipo *stuck-on*. La desventaja principal de la prueba de corriente es la lentitud con respecto a la prueba lógica.

Una alternativa para la detección de este tipo de fallas es el método de medida de retardos extras en la propagación de señales desde las entradas primarias hasta las salidas finales. En este tipo de prueba se muestrean los tiempos de propagación y de esta manera la falla es detectada. Sin embargo, existen casos documentados donde el nodo de salida de la compuerta CMOS con fallas es igual al caso libre de fallas. Por lo tanto, la prueba de corriente es la única técnica conocida para la detección relativamente segura de este tipo de fallas.

Una celda básica estática hecha en una tecnología CMOS se basa en la interconexión de dos redes complementarias, una red de descarga NMOS y otra red de carga PMOS. La red PMOS conecta al nodo de salida al nivel lógico alto (V_{DD}), mientras que la red NMOS lo hace con el nivel lógico bajo (V_{SS}). En una celda completamente libre de fallas no existe nunca un camino directo de conducción entre V_{DD} y V_{SS} . Un transistor MOS que se encuentra en estado de conducción en forma permanente se dice que está en *stuck-on*. En presencia de este tipo de falla pueden establecerse caminos de conducción tanto en la red PMOS como en la red NMOS. Debido a esto existirá un camino de conducción directo entre V_{DD} y V_{SS} , apareciendo por tanto un consumo de corriente estático anormalmente elevado.

Cuando la falla de que se trata es una de tipo *stuck-open*, no se establece ningún camino de corriente al nodo de salida, ni en la red N, ni en la red P. El nodo de salida se encuentra en un estado de alta impedancia.

Se define a i_{DDQ} como la corriente que existe en un circuito CMOS cuando han sido fijados todos los estados lógicos, y este se encuentra en un estado estacionario.

La corriente de transición se define como la corriente que suministra la fuente cuando todos los niveles están en transición; esta es la combinación de la corriente necesaria para cargar o descargar capacidades internas o externas y la corriente existente a través de los transistores complementarios NMOS y PMOS que están simultáneamente activados.

Si X es la salida de la compuerta estática, y está puesta a 1 (0) cuando hay un camino de corriente de X a V_{DD} (V_{SS}), entonces en la aplicación de

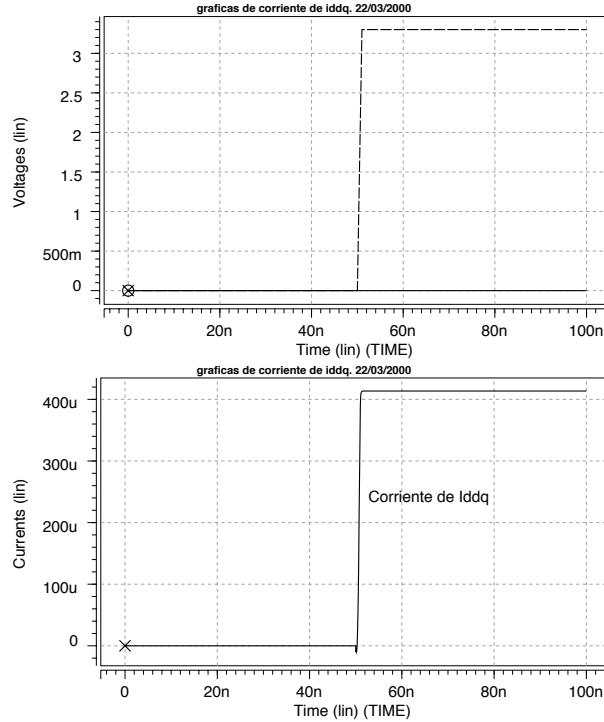


Figura 1.9: Corriente resultante en la prueba de i_{DDQ} .

cualquier vector de entrada, en estado estable y en la condición libre de fallas, la corriente no fluye por ambas redes a la vez. En condiciones normales, la corriente denotada i_{DDQ} en un circuito libre de fallas es lo suficientemente pequeña para ser considerada insignificante. Sin embargo, en presencia de fallas tipo puente dentro de la red, por razones que se discutirán más adelante, la corriente i_{DDQ} es grande. Con el fin de detectar la magnitud de la corriente i_{DDQ} , se utilizan sensores de corriente para medirla, y por lo tanto detectar la presencia de la falla tipo puente en el circuito en estudio. En la figura 1.9 se muestra la corriente i_{DDQ} resultante del circuito mostrado en la figura 1.8.

En 1992 [RAJ92], se presentó un estudio sistemático de la prueba de corriente para fallas en circuitos CMOS. En él se muestra la efectividad de saber la magnitud de la corriente i_{DDQ} para la detección de fallas tipo puente

o fallas consistentes en corrientes de fuga dentro de dicho circuito. Alrededor de 1985, el trabajo de Sambia Labs se establece que para algunas fallas en circuitos CMOS, la prueba no puede ser hecha sin la medición de magnitudes de corriente. Entre 1986-1990, algunos investigadores [REN86a] demostraron la efectividad de la prueba de corriente en la detección de fallas tipo puente u otros defectos dentro del circuito. Particularmente, en los últimos años la prueba de corriente i_{DDQ} se ha convertido en un método extremadamente poderoso para la detección de defectos físicos en circuitos CMOS. Hoy en día un gran número de compañías y universidades están utilizando la prueba de i_{DDQ} [CHA93].

Sin embargo, existen problemas en cualquier método de análisis. Esto incluye el problema de decidir qué nivel de i_{DDQ} debe ser tomado como resultado de una falla y qué nivel como el resultado normal para un dispositivo determinado. Este tipo de prueba es utilizada también en el estudio de dispositivos de grandes dimensiones, donde la prueba de corriente presenta diversos problemas prácticos. Las dificultades de instrumentación, y la solución para la corriente exacta son los mayores problemas. Una distribución estadística de i_{DDQ} se ha tomado para solucionar estos problemas.

Otro de los problemas de sistemas típicos, son la lentitud de las mediciones de i_{DDQ} . Circuitos diseñados para ser carga es una solución posible, sin embargo, es preferible la generación o selección de un pequeño pero efectivo y funcional subconjunto de vectores para la prueba de i_{DDQ} .

Una posibilidad de acelerar la velocidad de la prueba de i_{DDQ} , es que se programen sistemas computarizados, que basados en la experiencia previa, realicen la generación de vectores adecuados de prueba de forma mas veloz y sencilla.

En este momento la disponibilidad de este tipo de prueba es accesible para sistemas pequeños, donde la detección es relativamente más fácil, pero para sistemas grandes las dificultades crecen enormemente.

Hoy en día, las compañías han visto a la prueba i_{DDQ} como una alternativa a la tradicional prueba digital. Es decir, adoptar la prueba I_{DD} debe tener una razón mercantil de capacidades reales

Capítulo 2

Análisis de DC

En este capítulo se analiza la técnica de prueba *Respuesta al Pulso en i_{DD}* para la detección de fallas en circuitos integrados y se desarrolla de un modelo teórico de primer orden para modelar como evolucionan los voltajes en las compuertas durante la conmutación de las fuentes de alimentación.

En la sección 2.1 se detalla la técnica de prueba, sus ventajas y la utilidad; mientras que en la sección 2.2 se encuentra detallado el comportamiento de los voltajes de los nodos del buffer usado. En la sección 2.3, se analiza la corriente de i_{DD} en DC y rampa rápida.

2.1 Descripción de la técnica de Prueba

La técnica de *Respuesta en i_{DD} al Pulso de Voltaje* consiste en aplicar simultáneamente Pulses de Voltaje en V_{DD} y V_{SS} a partir de un voltaje medio hasta sus valores nominales, manteniendo un voltaje fijo en las entradas del circuito a $(\frac{V_{DD}}{2})$. El circuito bajo prueba (*Circuit Under Test: CUT*) se muestra en la figura 2.1. Por ejemplo, en dispositivos que se polarizan a 3.3 V, el voltaje de entrada será de $\frac{V_{DD}}{2} = 1.65$ V.

El voltaje aplicado a los nodos de polarización comienzan en este voltaje $(\frac{V_{DD}}{2})$, y en determinado momento y simultáneamente son llevados a sus valores nominales. De esta forma, la observación de las corrientes en las fuentes de alimentación (V_{DD} y V_{SS}) permite determinar el estado del circuito integrado. Esta técnica en particular, necesita que todos los dispositivos en el circuito integrado sean momentáneamente encendidos durante el proceso de pulsado de los voltajes de polarización. En términos de la prueba, este

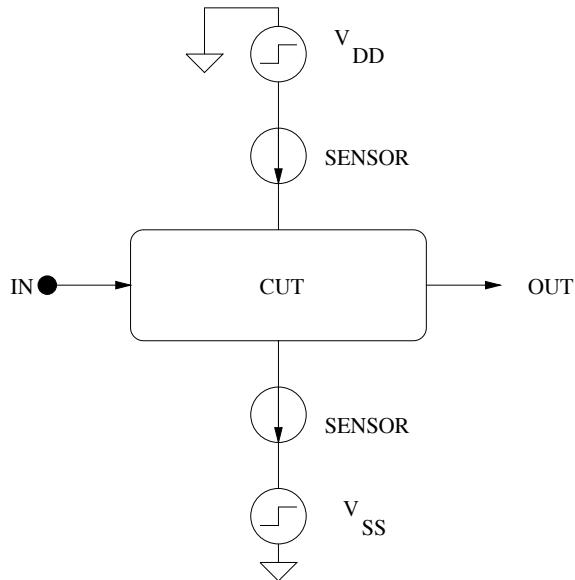


Figura 2.1: Circuito bajo prueba, CUT.

procedimiento provee controlabilidad y observabilidad, esto es, se monitorean las corrientes i_{DD} . La figura 2.2 representa dichos voltajes de polarización.

Para circuitos CMOS, los dispositivos entran en uno o más de los estados siguientes: sub-umbral (inversión débil), zona lineal o de saturación. Se encienden momentáneamente todos los dispositivos, y las características de corriente de cada dispositivo se hacen observables. Este método puede detectar, y posiblemente identificar, un amplio grupo de defectos que pueden ocurrir en los circuitos integrados. Los defectos que se han podido detectar incluyen a:

- (a) Cortocircuitos en el óxido de compuerta.
- (b) Abiertos.
- (c) Puentes de Polisilicio.
- (d) Puentes de Metal.

2.2 Análisis de voltaje

En esta sección se analiza la propagación de los voltajes a través de compuertas cuando se aplican pulsos en las fuentes de alimentación. El circuito

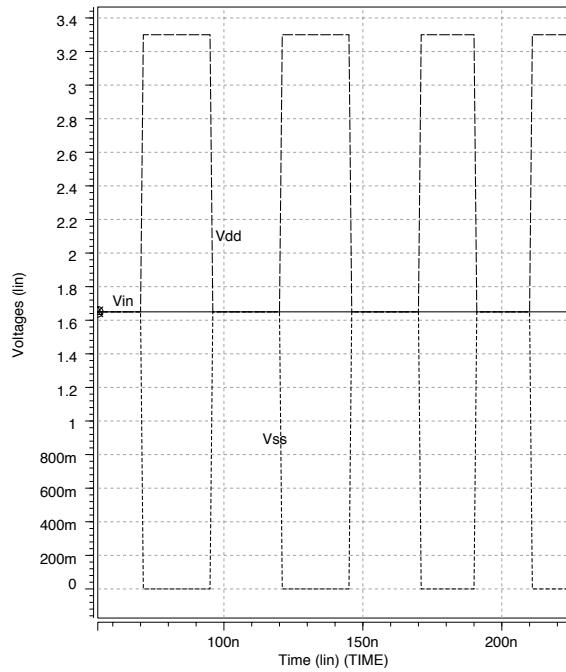


Figura 2.2: Polarización para aplicar la técnica de Prueba de Respuesta al Pulso i_{DD} .

utilizado consiste de tres inversores en cascada (vea la figura 2.3). Dicha cadena de inversores se diseñó con el fin de analizar si los voltajes antes mencionados estarán en la zona útil para la aplicación de la técnica.

Se han tomado en cuenta tres casos.

- El caso simétrico, donde los anchos de canal de los transistores se han diseñado de tal forma que compensan la diferencia de movilidades.
- Como segundo caso se ha hecho el ancho de canal del transistor PMOS de la estructura mucho mayor que la del ancho de canal del transistor NMOS, de esta forma se desbalancea la estructura y se aprecia que los voltajes de los nodos de salida son cercanos a $\frac{V_{DD}}{2}$ en la zona de inicialización.

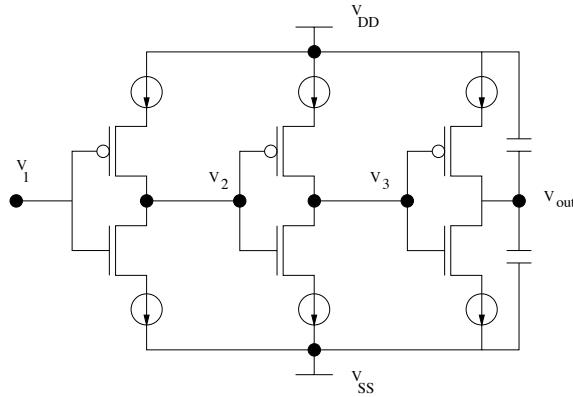


Figura 2.3: Cadena de inversores.

- Y por último se ha diseñado la estructura NMOS de un tamaño mucho mayor que el ancho de canal de la estructura PMOS.

El objetivo, como se ha planteado arriba, es saber cuál es el voltaje en el primer inversor de la cadena y cómo varía el voltaje en la salida del segundo inversor debido a este voltaje. Además, se pondrá atención del comportamiento de la corriente, de acuerdo con los valores de ancho y largo de los canales de los transistores. Se comparará el comportamiento del modelo con respecto a las simulaciones de HSPICE para averiguar si el modelo se ajusta con suficiente exactitud al comportamiento real de los voltajes de los circuitos.

2.2.1 Modelo de primer orden

Los transistores se modelan como resistencias. Se utiliza la transconductancia del transistor MOS en la zona lineal. Considerando que los transistores están trabajando en la parte lineal, entonces se tiene que la ecuación 2.1 puede ser utilizada para encontrar la transconductancia del transistor

$$I_{DS} = \mu C_{ox} \frac{W}{L} (V_{GS} - V_t) V_{DS} - \frac{1}{2} V_{DS}^2 \quad (2.1)$$

Así, para V_{DS} pequeños,

$$R_{transistor} \cong \frac{1}{\mu C_{ox} \frac{W}{L} (V_{GS} - V_t)} \quad (2.2)$$

la cual da la resistencia del transistor en función de V_{GS} . De tal forma que podemos derivar:

$$V_o = V_{DD} \frac{R_n}{R_n + R_p} + V_{SS} \frac{R_p}{R_n + R_p} \quad (2.3)$$

Este modelo se usa para calcular los voltajes en los nodos de salida de cada uno de los inversores en cascada (vea la figura 2.3), para los diferentes casos.

2.2.2 Caso simétrico

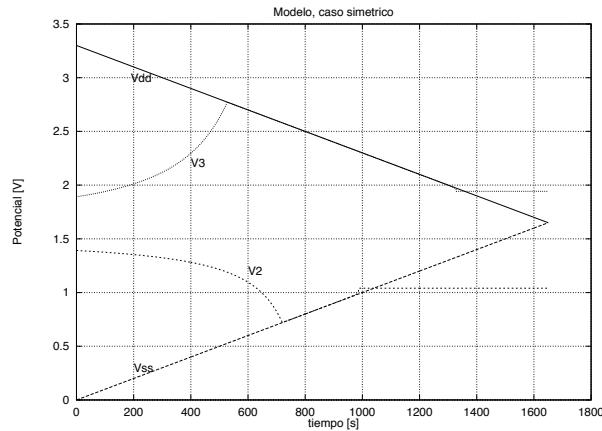


Figura 2.4: Voltajes de entrada y salida del primer y segundo inversores. Caso simétrico. Cálculo teórico.

Para el caso de que los inversores fueron diseñados simétricos, se ha encontrado que mientras el ancho de canal del NMOS es $W = 0.9\mu m$, el ancho del PMOS es $W = 3.93\mu m$. Los voltajes durante la rampa del pulso se muestra en la figura 2.4 y como se aprecia en dicha figura, aparecen voltajes intermedios durante la rampa. Cuando los voltajes de alimentación tienden hacia el voltaje medio, las salidas de ambos inversores siguen a estas señales, y eventualmente terminarán cerca de $\frac{V_{DD}}{2}$, en este caso ni V_3 ni tampoco V_2 son $\frac{V_{DD}}{2}$ debido a diferencias en V_t del PMOS y NMOS en la ecuación 2.2.

Como se puede ver en la figura 2.5, la simulación en HSPICE es bastante cercana a las predicciones que hace el modelo. Para tiempos largos del orden de milisegundos, que prácticamente es considerada DC para el circuito, los voltajes de salida de los inversores tiende a $\frac{V_{DD}}{2}$ al preparar el vector de

inicialización de la prueba, por lo cual la siguiente etapa será siempre cercana a este valor de voltaje en las compuertas de los transistores de esta configuración, para este caso.

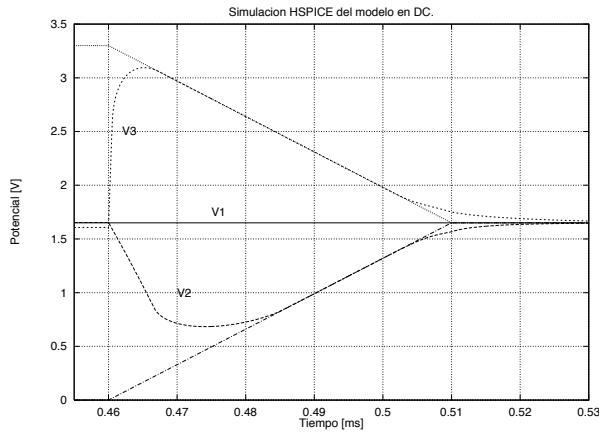


Figura 2.5: Potenciales de entrada y salida del primer y segundo inversores. Caso simétrico. Simulación DC.

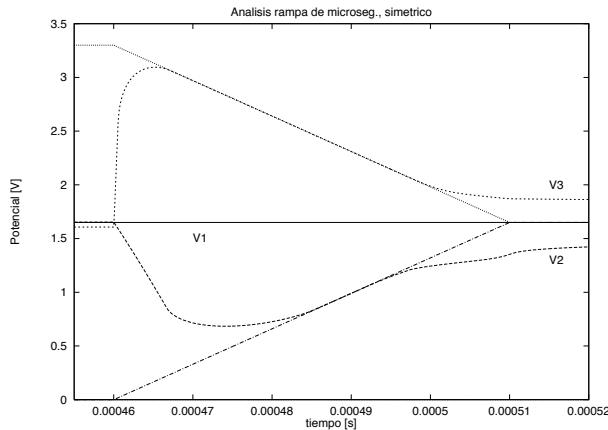


Figura 2.6: Potenciales de entrada y salida del primer y segundo inversores. Caso simétrico. Simulación rampa de μs .

Ahora, teniendo en cuenta que los voltajes de salida en esta región de tolerancia alrededor de $\frac{V_{DD}}{2}$, da las condiciones necesarias para que los transistores de las redes NMOS y PMOS sean puestos en alguna de las zonas de conducción, con esto se asegura que hay una o más trayectorias entre las

fuentes de alimentación V_{DD} y V_{SS} , y habrá un flujo de corriente i_{DD} que podrá ser medido.

Como se puede ver en la figura 2.6, al disminuir al orden de microsegundos el tiempo de la rampa, los voltajes de los inversores se comportan de una forma muy similar a la gráfica en DC. Este gráfico indica que la rampa es aún lenta, y que el circuito responde a estos tiempos de transición con facilidad.

En la figura 2.7 la rampa se varía en tiempos mucho más rápidos, del orden de nanosegundos. Se observa que los voltajes en los nodos de salida de los inversores tienden hacia un valor cercano a $\frac{V_{DD}}{2}$. Lo cual indica que los transistores están en la zona de conducción, de esta forma, la variación de la corriente a través de las fuentes de polarización servirá de parámetro para la prueba que se pretende.

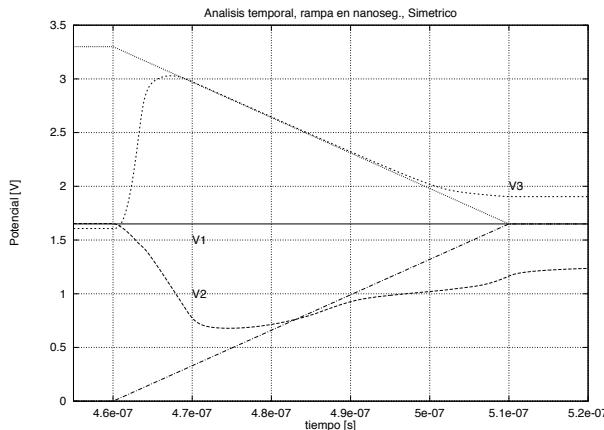


Figura 2.7: Potenciales de entrada y salida del primer y segundo inversores. Caso simétrico. Simulación rampa de ns .

2.2.3 Caso no simétrico

Para este caso no simétrico, se ha diseñado el transistor PMOS con un ancho de canal $W = 30\mu m$, con lo cual la resistencia de este transistor se ve reducida. El transistor NMOS se ha diseñado con dimensiones mínimas, $W = 0.9\mu m$. Este diseño desbalancea los tiempos de subida y de bajada de los inversores y permite observar cómo se desenvuelven los voltajes de los nodos a través de las etapas en cascada e investigar si dichos voltajes

quedan dentro de la zona útil para la técnica de prueba que se encuentra bajo estudio.

Para este caso, según el modelo teórico y las simulaciones de SPICE, se tiene que los voltajes de salida estarán cercanos a V_{DD} debido a la resistencia mucho más pequeña del PMOS, por lo cual el nodo de salida del primer inversor, tenderá a V_{DD} , mientras que el segundo inversor al estar polarizado en su compuerta invertirá el valor a su salida.

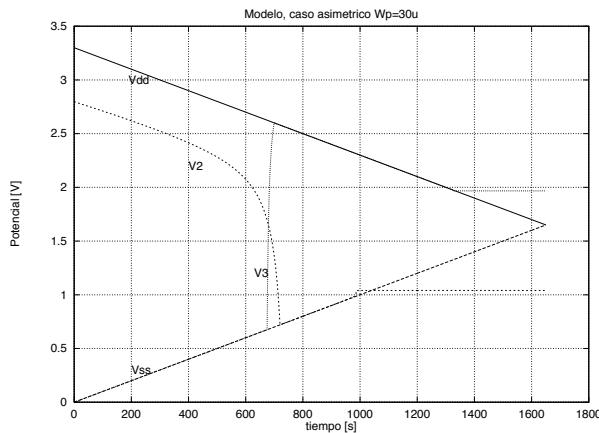


Figura 2.8: Potenciales de entrada y salida del primer y segundo inversores. Caso asimétrico $W_p = 30\mu$. Cálculo teórico.

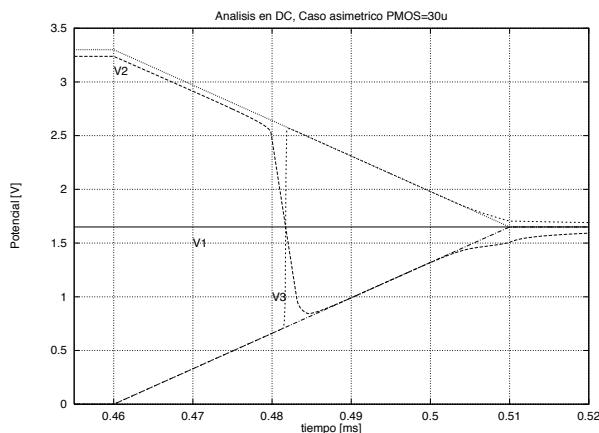


Figura 2.9: Potenciales de entrada y salida del primer y segundo inversores. Caso asimétrico $W_p = 30\mu$. Simulación DC.

Cuando las resistencias de los transistores crezcan debido a su polarización en corte, los valores de las salidas tenderán nuevamente a un valor cercano a $\frac{V_{DD}}{2}$. La diferencia se debe a que el valor de V_t impide que el transistor lleve a la salida hasta el valor ideal, (ver la figura 2.8).

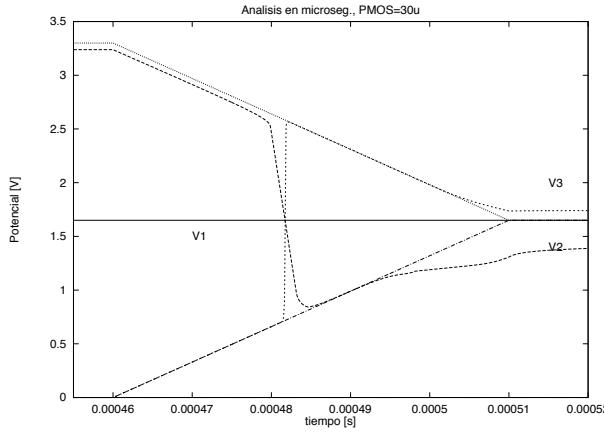


Figura 2.10: Potenciales de entrada y salida del primer y segundo inversores. Caso asimétrico $W_p = 30\mu$. Simulación rampa de μs .

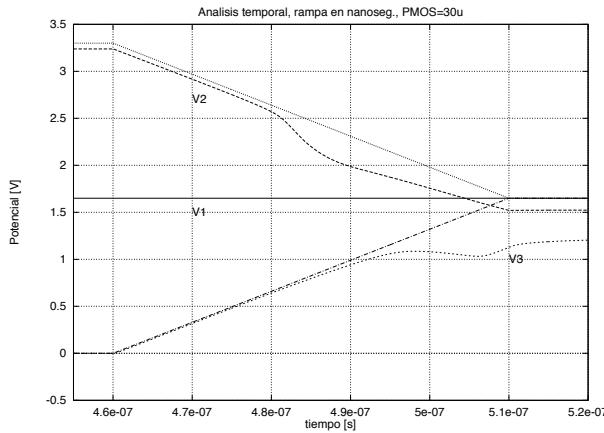


Figura 2.11: Potenciales de entrada y salida del primer y segundo inversores. Caso asimétrico $W_p = 30\mu$. Simulación rampa de $n s$.

Como se observa en la figura 2.9, esta simulación en SPICE muestra que el modelo se ajusta con cierto grado de exactitud al comportamiento predicho por el modelo resistivo. Entre las diferencias importantes entre las respuestas

de dicho modelo y la respuesta en HSPICE está la del voltaje inicial en el comienzo de la rampa. Se nota que el voltaje v_2 está mucho más cerca del voltaje V_{DD} que lo que el modelo ha supuesto, esto se debe a la naturaleza resistiva de dicho modelo, donde el comportamiento de capacitancias parásitas no considerado tiene efectos en el voltaje de salida v_2 .

Las simulaciones de HSPICE indican que el modelo es adecuado en DC para la concepción del comportamiento de los voltajes con la profundidad en cada etapa.

En la figura 2.9 se ve que para el caso asimétrico (transistor PMOS con $W = 30 \mu m$) la simulación de HSPICE confirma la efectividad de las ecuaciones utilizadas para modelar las zonas de los voltajes de salida conforme se incrementa la profundidad. Los voltajes regresan a un valor de $\frac{V_{DD}}{2}$.

2.2.4 Caso no simétrico, $W_n = 30\mu$

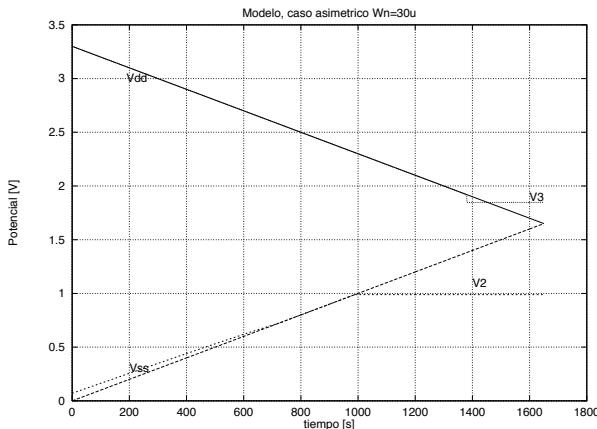


Figura 2.12: Potenciales de entrada y salida del primer y segundo inversores. Caso asimétrico $W_n = 30\mu$. Modelo.

Ahora, si se hacen más grandes las dimensiones del ancho de canal para la sección NMOS y se regresa a dimensiones mínimas la sección PMOS, la respuesta en los voltajes de salida de las dos etapas como resultado de una simulación de HSPICE se tiene en el gráfico 2.13. Esta simulación comprueba de nuevo que el modelo es válido para una estructura de este tipo, con ese tipo de geometría. Los voltajes de salida de la cadena de inversores son aproximados de forma cercana por el modelo resistivo de primer orden, como

se confirma con las simulaciones de HSPICE que están representadas en las figuras 2.13, 2.14 y 2.15.

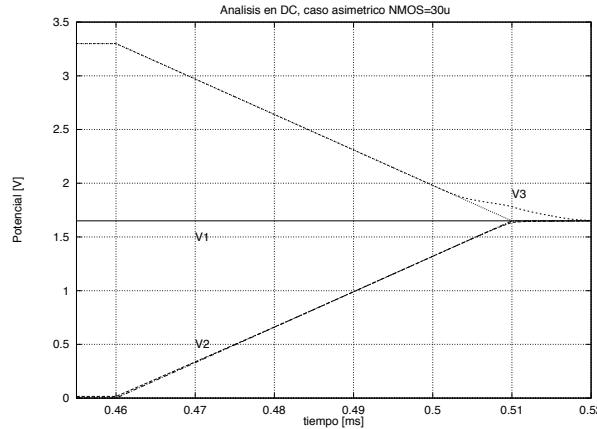


Figura 2.13: Potenciales de entrada y salida del primer y segundo inversores. Caso asimétrico $W_n = 30\mu$. Simulación DC.

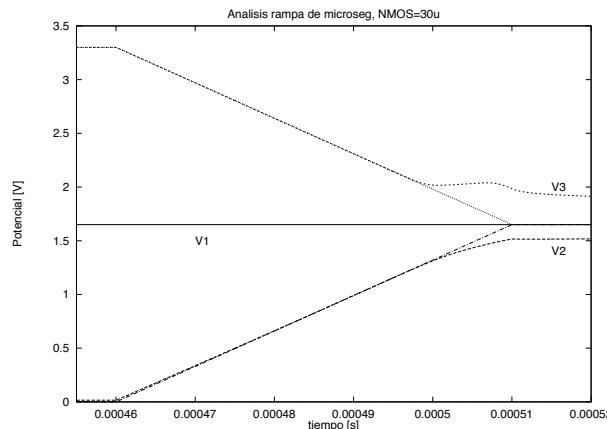


Figura 2.14: Potenciales de entrada y salida del primer y segundo inversores. Caso asimétrico $W_n = 30\mu$. Simulación rampa de μs .

Este caso es análogo al anterior, pero con la diferencia de que los valores de la resistencia del NMOS es mucho menor que la de su complemento, forzando a la salida del primer inversor a estar mucho más cerca de V_{SS} que de V_{DD} , por lo cual el segundo inversor tiene ahora a su salida un valor alto. La respuesta se muestra en la figura 2.12.

2.2.5 Resumen de los efectos del tiempo en la técnica de prueba

La corrección a la técnica utilizada está en el concepto de que los nodos de entrada de cada una de las etapas, presenta una desviación desde el valor inicial, que se encuentra cerca de $\frac{V_{DD}}{2}$, hacia valores que son determinados por la geometría de las configuraciones CMOS. Esta desviación se hace más pronunciada con respecto a la lentitud de la rampa. Si analizamos ahora una rampa rápida, asignada para valores de nanosegundos para una tecnología de $0.5 \mu s$, los nodos de entrada no tendrán tiempo suficiente para cambiar de valor, pues el tiempo utilizado es menor que la constante de tiempo resultado de la geometría de los circuitos. De esto se deduce una *menor* sensibilidad a la geometría de los circuitos.

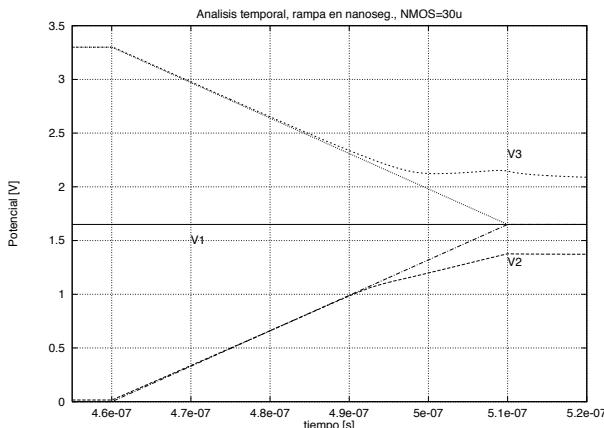


Figura 2.15: Potenciales de entrada y salida del primer y segundo inversores. Caso asimétrico $W_n = 30\mu$. Simulación rampa de ns .

Ahora se investigará el efecto de la rampa en los voltajes de salida de cada una de las etapas, con el fin de comprobar si estos voltajes con respecto a la profundidad, servirán para la detección de fallas. El primer juego de gráficos, se realizaron para tiempo de $V_{DD}/2$. La figura 2.6 muestra los voltajes en los nodos de salida de los inversores en simulaciones de HSPICE donde las movilidades de los transistores estan compensadas, es decir el caso simétrico. Se puede ver en las figuras 2.4, 2.5, 2.6, 2.7 que aunque los tiempos de la rampa son disminuidos en órdenes de centenas cada vez, los voltajes finales de las salidas de cada uno de los inversores que conforman el buffer en el momento en que los voltajes de polarización son llevados a sus valores

nominales, el voltaje en cada uno de los nodos tiende a $\frac{V_{DD}}{2}$.

Para el caso asimétrico, el transistor PMOS se diseñó de $30 \mu m$ y de las gráficas en las figuras 2.9, 2.10, 2.11 y 2.11 se puede observar como los voltajes también cumplen con las expectativas de zonas de voltaje en la inicialización del vector de prueba con respecto a la profundidad. Es decir, que estos gráficos muestran que también el voltaje de salida de ambos inversores tiende a $\frac{V_{DD}}{2}$ en la inicialización del único vector de prueba. Ahora, si se observa la figura 2.11, se ve que las pruebas hechas con una duración de rampa de nanosegundos funciona y hace que la velocidad de la prueba pueda ser acelerada enormemente. Este es el tiempo de la rampa que nos interesa analizar. Como se puede notar en la figura 2.11, las zonas de voltajes para el caso $PMOS = 30\mu m$ han cambiado de comportamiento, ya no existe el cruce de las formas de onda que se detectan para tiempos largos.

De igual forma que en el caso anterior, para el caso en que los inversores son asimétricos y el NMOS tiene $W = 30\mu$, los voltajes a las salidas de los diferentes inversores mantienen el comportamiento visto antes, las figuras 2.13, 2.14 y 2.15 muestran este comportamiento. Del mismo modo que en el caso anterior, los voltajes bajo estudio siguen estando en la zona útil para la técnica.

Resumiendo se puede decir que:

- El comportamiento de los inversores puede ser interpretado de forma favorable y acertada mediante un modelo resistivo del inversor que además de ser sencillo, tiene una buena interpretación del fenómeno.
- Las simulaciones muestran que el comportamiento de la corriente es afectada enormemente por la geometría de los transistores. Mientras el tiempo de la rampa sea mayor, los nodos de salida de cada una de las etapas se moverán en mayor medida, por el contrario, si los tiempos de la rampa son pequeños, dichos nodos no cambiarán de valor tan fácilmente y de este modo la técnica de prueba bajo estudio no será tan influenciada por la geometría del circuito.
- La corrección al modelo consistió en que, en el momento en que el transistor NMOS va de la zona lineal a la zona de corte, se debe mantener el voltaje al que el nodo se cargó antes de que dicho transistor entrara a la zona de corte.

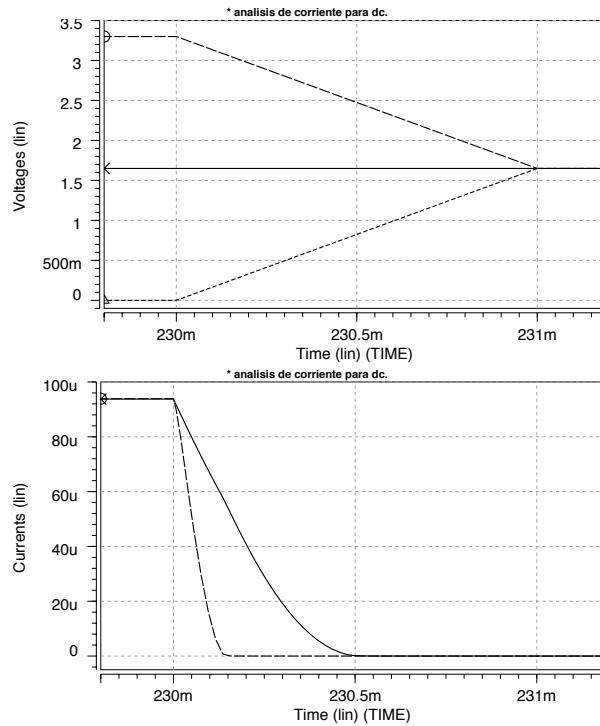


Figura 2.16: Corriente de i_{DD} rampa lenta. Cadena de inversores de diseño simétrico.

2.3 Análisis de corriente

La corriente de i_{DD} mostrada en la figura 2.16 está graficada para una rampa lenta, lo que se podría considerar como DC; como se ve, la corriente de i_{DD} en la parte del pulso donde $V_{in} = \frac{V_{DD}}{2}$ y los voltajes en las fuentes de polarización tienen sus valores nominales, es considerable; entonces, la técnica de prueba cumple con la función de forzar el encendido de los transistores del circuito. Dicha corriente tiene una magnitud de alrededor de $90 \mu A$. Cuando los voltajes de las fuentes de polarización se hacen $\frac{V_{DD}}{2}$, los transistores entran en la zona de corte y la corriente decrece a cero.

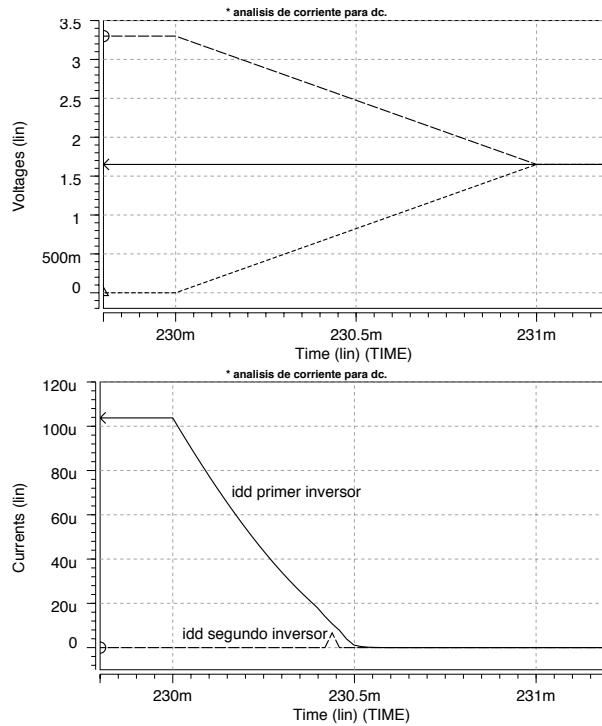


Figura 2.17: Corriente de i_{DD} rampa lenta. Cadena de inversores con diseño asimétrico. ($w_P \gg w_N$)

En la figura 2.17 se muestra la corriente de i_{DD} resultante de la aplicación del vector de prueba. Como se aprecia en la corriente del primer inversor se tiene un valor de corriente de i_{DD} suficiente para hacer una detección adecuada, sin embargo, debido a que los potenciales de salida de este primer inversor tienden a un valor alto, el transistor PMOS del segundo inversor estará forzosamente en su zona de corte, lo que interrumpe el camino directo para este caso de la corriente de i_{DD} , es decir, corriente cero.

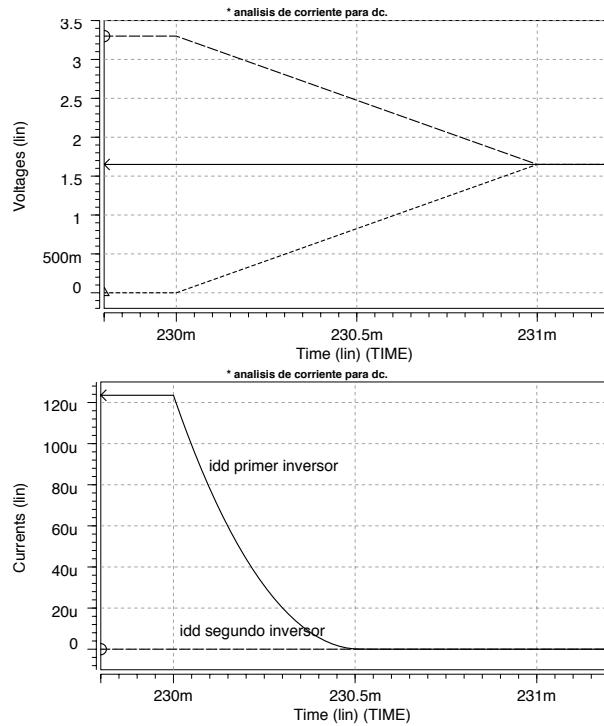


Figura 2.18: Corriente de i_{DD} rampa lenta. Cadena de inversores con diseño asimétrico. ($w_N \gg w_P$)

La corriente de i_{DD} para el caso donde el ancho del canal del transistor NMOS es mucho mayor que el ancho del PMOS se muestra en la figura 2.18, como se ve, la corriente en el primer inversor es considerable en la zona de polarización donde las fuentes de alimentación tienen sus valores nominales, pero de nuevo se da el caso, donde el potencial de salida depende de la geometría de los transistores del inversor. En este caso el potencial de salida del primer inversor será bajo, por consiguiente el potencial mandará a la zona de corte al transistor NMOS; debido a esto el camino de conducción directa entre V_{DD} y V_{SS} desaparecerá y entonces la corriente de i_{DD} será cero.

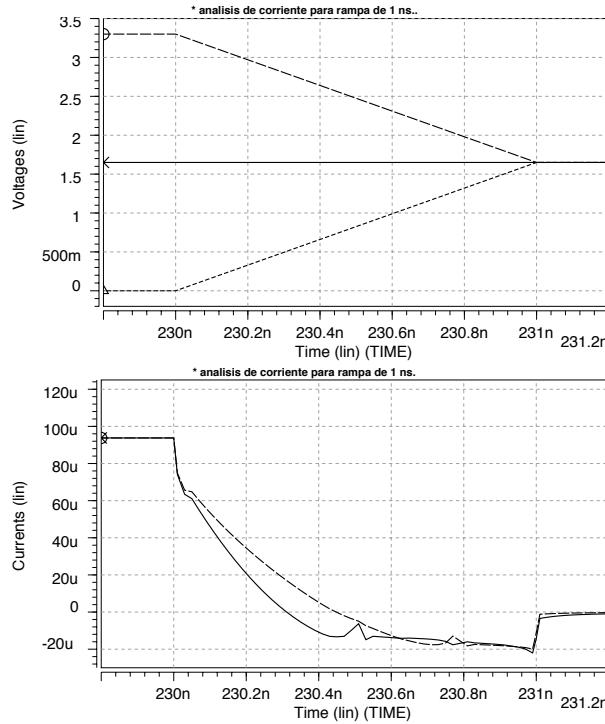


Figura 2.19: Corriente de i_{DD} rampa rápida. Diseño asimétrico de los inversores.

En la figura 2.19, se muestra la corriente de i_{DD} que resulta de aplicar la técnica de prueba. El tiempo de la rampa es de nanosegundos, es decir, una rampa rápida. En este caso, la corriente de i_{DD} es de casi $100 \mu A$, por lo cual se deduce que los transistores están en su zona lineal o saturación, y es debido a esto que existe un camino directo entre los nodos de polarización y por consecuencia existe la corriente de i_{DD} mostrada.

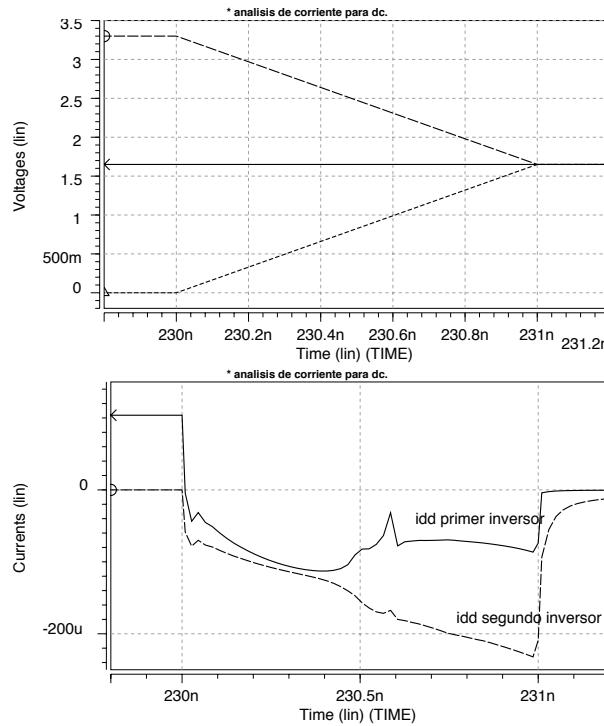


Figura 2.20: Corriente de i_{DD} rampa rápida. Cadena de inversores con diseño asimétrico. ($w_P \gg w_N$)

La corriente de i_{DD} para una rampa rápida y para un diseño asimétrico ($w_P \gg w_N$), es considerable, de alrededor de $100 \mu A$. Aún cuando como ya se había dicho la geometría afecta los potenciales de salida de las configuraciones, la corriente en el segundo inversor durante la rampa ahora tiene una magnitud diferente de cero. Esto da por resultado que aunque la corriente sea cero durante la parte estable del vector de prueba, es diferente de cero durante la rampa.

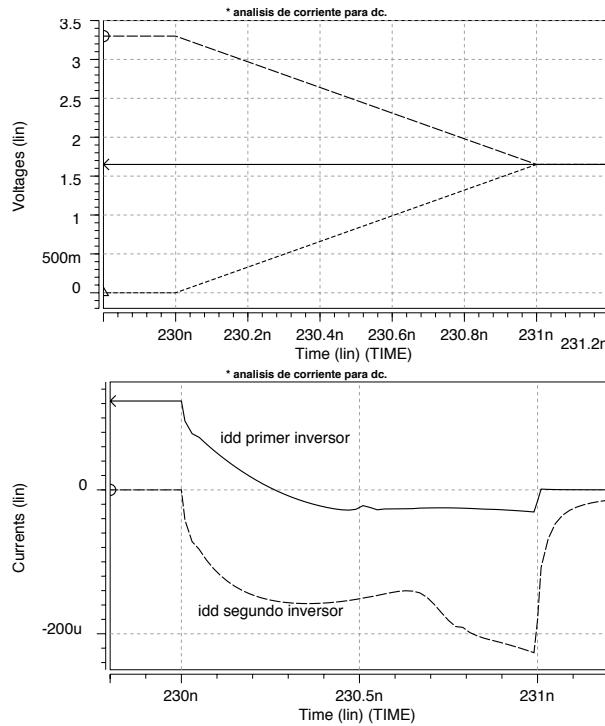


Figura 2.21: Corriente de i_{DD} rampa rápida. Cadena de inversores con diseño asimétrico. ($w_N \gg w_P$)

Finalmente, en la figura 2.21, se aprecia una corriente de valor cero durante la parte estable del vector de prueba, sin embargo, tanto en el primero como en el segundo inversor, se aprecian corrientes de i_{DD} diferentes de cero. Esto indica que la técnica enciende los transistores de la estructura en un momento dado.

Capítulo 3

Pruebas i_{DD} en un módulo combinacional

En este capítulo se investiga la cobertura de fallas de corto-circuito en un sumador cuando se utiliza la técnica de medir la corriente dinámica aplicando un pulso en las alimentaciones. En algunas fallas de difícil detección se desbalancean las rutas de entrada. Por rutas balanceadas se entiende que las geometrías de los puertos en cascada y ruteado hacia los nodos eléctricos son similares.

Primero, las fuentes de alimentación son pulsados con flancos de subida y bajada lentos, luego se aplican flancos rápidos.

3.1 Circuito bajo prueba

Se utilizará una topología optimizada con respecto a la minimización del retardo a través de la etapa del acarreo, esto se logra manipulando las dimensiones de los transistores así como el patrón geométrico (*layout*), y reduciendo la capacitancia de carga debida a las difusiones y la capacitancia de ruteado. Se utilizará la topología optimizada del sumador de 1 bit. El diagrama esquemático del sumador de 1 bit optimizado se muestra en la figura 3.1. Además, en el layout, se han puesto dos etapas de inversores para aislar las entradas y de esta forma poder apreciar el comportamiento de las formas de corriente en las entradas.

44 CAPÍTULO 3. PRUEBAS I_{DD} EN UN MÓDULO COMBINACIONAL

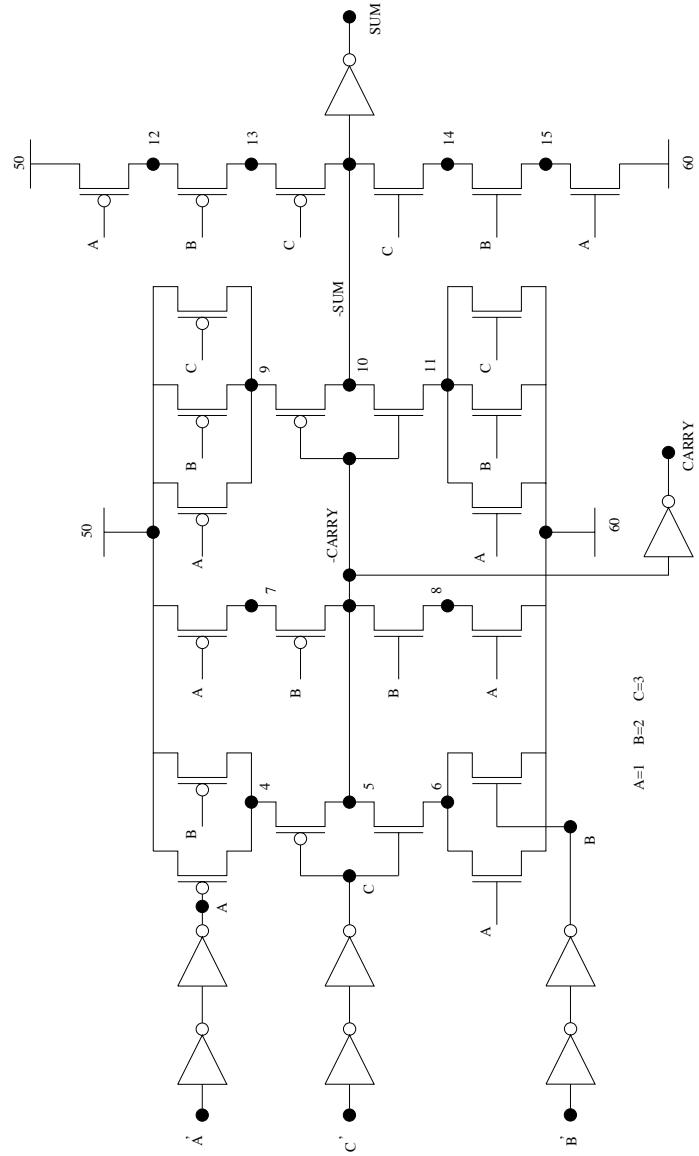


Figura 3.1: Sumador 1-bit optimizado.

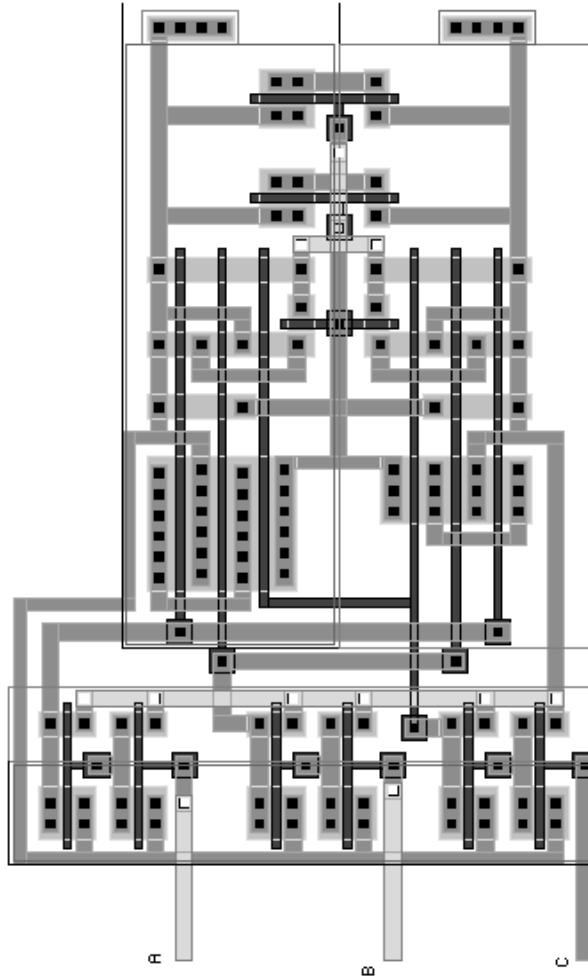


Figura 3.2: Layout del sumador optimizado utilizado.

Se han considerado las capacitancias de ruteado dentro del archivo de simulación de HSPICE, y entonces se han introducido fallas de corto-circuito. El layout es mostrado en la figura 3.2

Debido a que el objetivo del diseño del layout es la extracción de las capacitancias de ruteado para incluirlas en el listado de entrada de HSPICE, se ha utilizado el programa LEdit para realizar el *layout* del sumador.

El siguiente paso es la caracterización del sumador. Con este fin, se tomaron en cuenta fallas características de corto-circuito, con valores desde los 0Ω hasta los $10k\Omega$. Los gráficos incluyen comportamientos que son dife-

46 CAPÍTULO 3. PRUEBAS I_{DD} EN UN MÓDULO COMBINACIONAL

rentes entre sí.

Lista de las fallas probables

Se asume que las fallas de corto-circuito entre pistas de metal o entre pistas de polisilicio, tienen una mayor probabilidad de ocurrir entre pistas que están adyacentemente colocadas en el patrón geométrico del circuito integrado. Es debido a esta consideración que se ha realizado una selección de fallas que se consideran con una mayor posibilidad de ocurrencia, mientras que otras se han desecharado por estar alejadas físicamente; es decir, debido a que la probabilidad de fallas de corto-circuito que se presenta en pistas adyacentes es mucho mayor, se toman éstas dependiendo de su cercanía analizando directamente el layout del sumador, de lo que se deduce que los pares de nodos donde es mayor la probabilidad de existencia de falla de corto-circuito es un caso especial que depende de la distribución del circuito en la oblea.

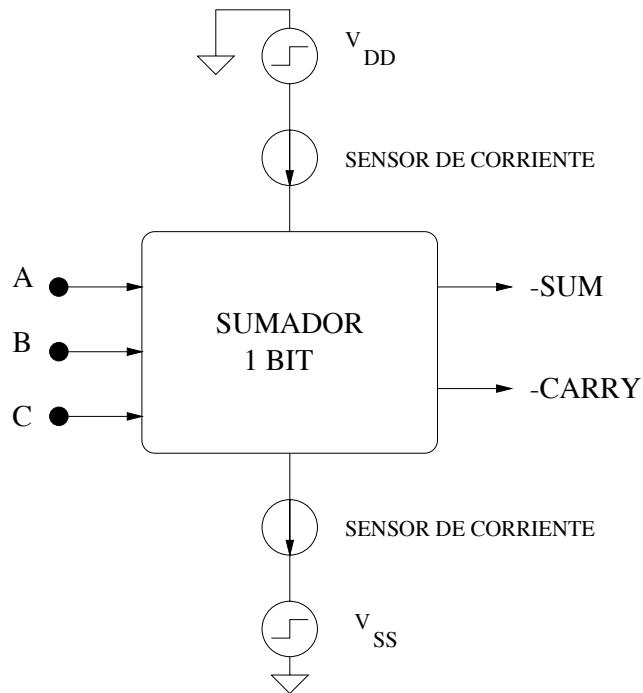


Figura 3.3: Diagrama a bloques del método de medición del circuito combinacional analizado.

Los pares de nodos donde se asume una probabilidad significativa de que

se presente la falla de corto-circuito son:

(50, 1)	(1, 2)	(1, 4)	(60, 6)
(50, 4)	(5, 9)	(5, 11)	(10, 5)
(50, 9)	(60, 11)	(1, 3)	(2, 3)

Tabla 3.1: Tabla de fallas probables en el sumador

Ahora se procede a caracterizar el sumador dependiendo de estas fallas.

3.2 Flancos rápidos en las alimentaciones

En esta sección se muestran los resultados de las simulaciones de las fallas cuando se tiene una rampa rápida en las polarizaciones V_{DD} y V_{SS} .

En las figuras se muestran las corrientes a través de los sensores de corriente colocados en serie con las fuentes de polarización (vea la figura 3.3), lo que permite ver las diferencias que existen entre los circuitos con y sin falla. Se ha tomado la convención para el circuito con falla de que si la diferencia de corriente entre dicho circuito y la referencia sin falla es mayor al 10% de la corriente total del circuito sin falla, entonces dicha diferencia de corrientes mostrará que la falla es detectable durante la aplicación del vector de prueba.

Se grafican las diferencias de las corrientes de cada sensor sin falla menos la corriente con falla en el mismo sensor. Esta diferencia trae por resultado que se vean perfectamente las dos características en una misma gráfica.

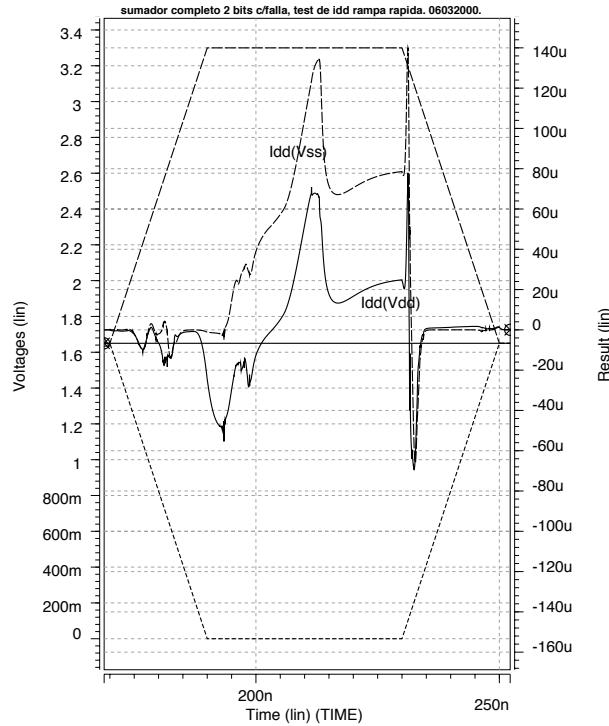


Figura 3.4: Falla entre los nodos (50,1).

3.2.1 Fallas entre V_{DD} (V_{SS}) y entradas

Falla entre los nodos (50,1)

Esta falla se encuentra entre el nodo de polarización (V_{DD}) y el nodo de entrada A . Las diferencias de las corrientes de los sensores con falla y sin falla son distintas para la del sensor de V_{DD} y V_{SS} , dichas diferencias se ilustran en la gráfica 3.4. Esta falla es completamente detectable tanto en las zonas de las rampas como en la zona que hemos denominado como estable. Es decir cuando $V_{DD} = 3.3\text{ V}$ y $V_{SS} = 0\text{ V}$.

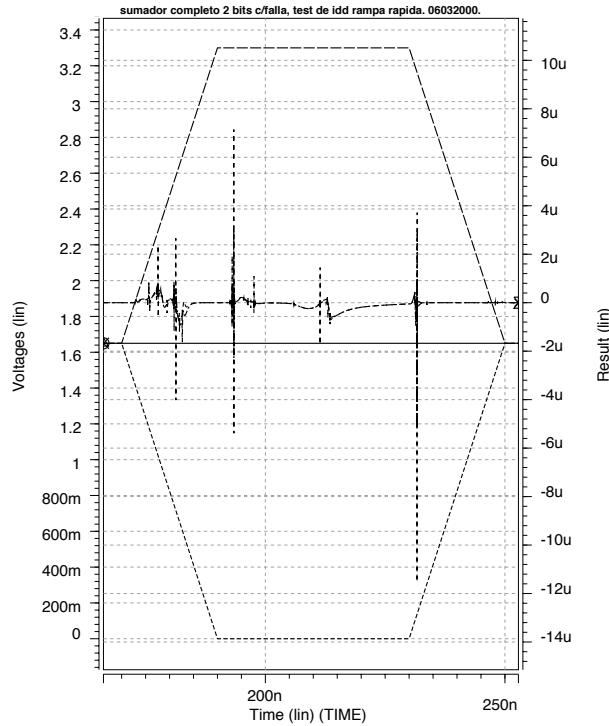


Figura 3.5: Falla entre los nodos (1,2).

3.2.2 Fallas entre entradas

Falla entre los nodos (1, 2)

La falla, como se explica anteriormente, se encuentra entre dos nodos de entrada, A y B . Como se aprecia en la figura 3.5 esta falla es difícilmente identificable con esta técnica, pues ambas pistas son entradas, y esta técnica polariza a $\frac{V_{DD}}{2}$ las entradas digitales de señales, lo cual resulta en diferencias de potencial prácticamente inapreciables. El circuito en general se comporta como si la falla no existiera.

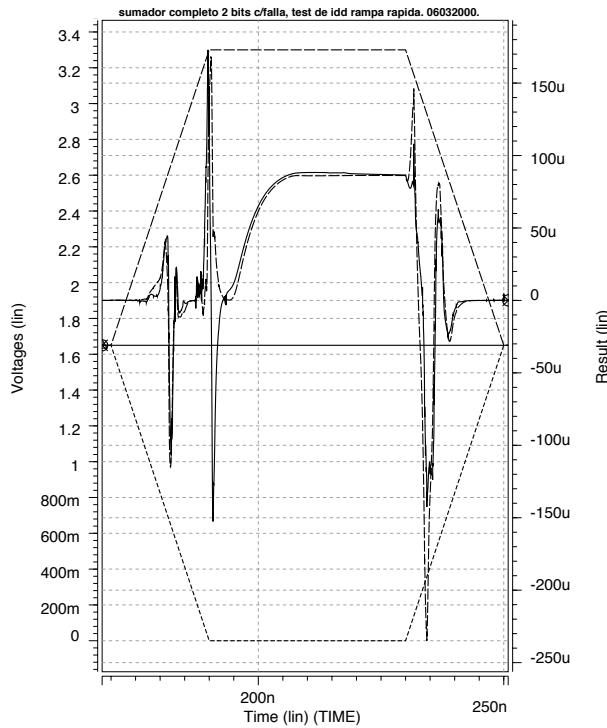


Figura 3.6: Falla entre los nodos (1,2), rutas desbalanceadas.

Falla entre los nodos (1,2) rutas desbalanceadas

Haciendo que los inversores por medio de los cuales se ha inyectado la señal a las entradas sean diferentes para cada una de las entradas, como suele pasar en cualquier circuito real, las diferencias de corrientes entre los circuitos sin falla y con falla son ahora suficientes para la detección de la falla, como se muestra en la figura 3.6. Así la falla es detectable tanto en las zonas de las rampas, como en la parte estable del vector de prueba.

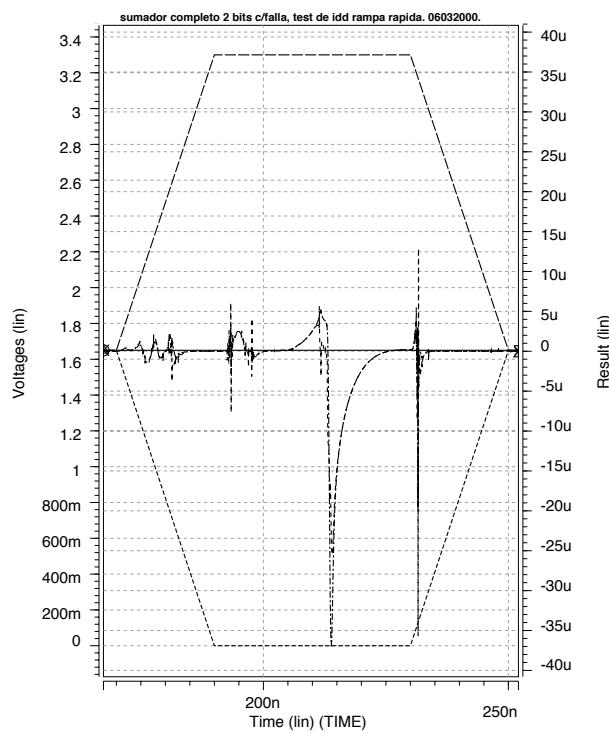


Figura 3.7: Falla entre los nodos (1,3).

Falla entre los nodos (1,3)

Esta falla se encuentra entre los nodos de entrada A y C , debido a esto, dicha falla de corto-circuito es difícil de ser detectada. Existe un pico de corriente en la parte estable, esto debido a un pequeña variación entre los potenciales de las entradas antes mencionadas.

En la gráfica 3.7, se nota que aunque la magnitud de la diferencia entre las corrientes del circuito con falla y sin falla es significativa, los picos de corriente son de corta duración, lo cual dificulta la detección de la falla.

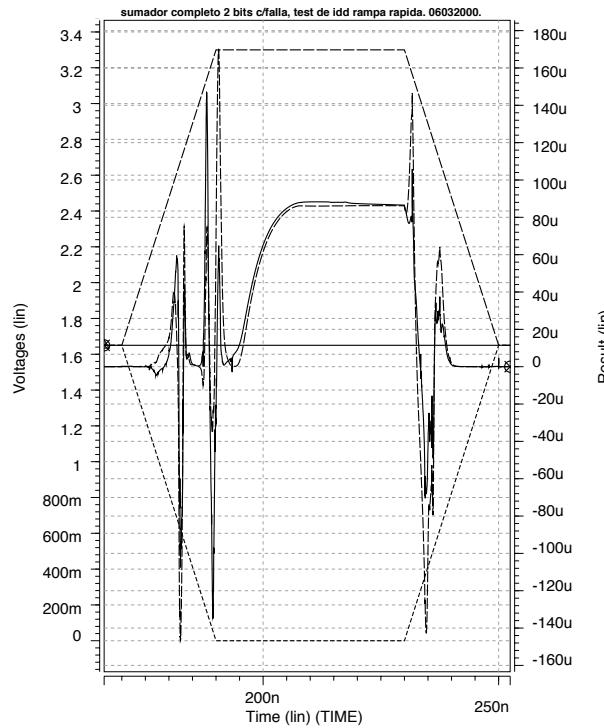


Figura 3.8: Falla entre los nodos (1,3), rutas desbalanceadas.

Falla entre los nodos (1,3) rutas desbalanceadas

Esta falla se encuentra entre las entradas del inversor A y C . Como se puede ver, al desbalancear las rutas mediante el cambio de la geometría de los inversores, las diferencias entre las corrientes se han incrementado, ahora los pulsos de corriente son más anchos y se puede detectar la falla durante la rampa así como en la zona estable del vector de prueba. El resultado de la simulación se muestra en la gráfica 3.8.

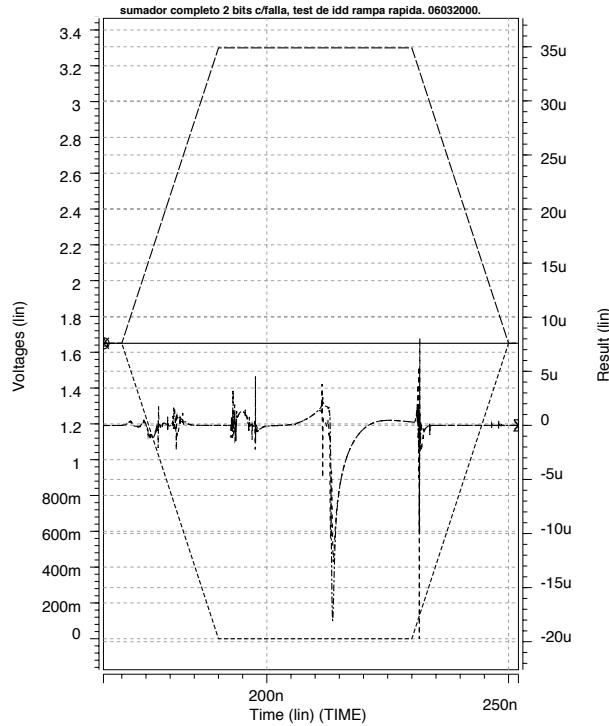


Figura 3.9: Falla entre los nodos (2,3).

Falla entre los nodos (2,3)

Esta falla de corto circuito se encuentra entre las entradas B y C del circuito. De nuevo, se presenta el caso donde la falla se localiza entre dos entradas que están polarizadas al mismo potencial, lo cual oculta la falla para la técnica ya que las diferencias de corrientes son muy pequeñas. Esto se muestra en la figura 3.9; la falla por tanto es difícilmente detectable. Durante la parte estable se presenta un pico de diferencias de corriente que podría deberse a una variación de la entrada C con respecto a la B , lo que da por resultado este.

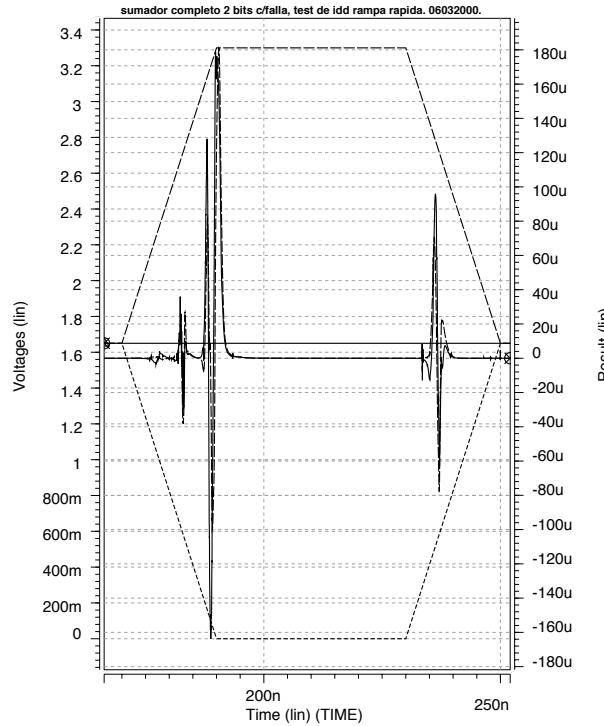


Figura 3.10: Falla entre los nodos (2,3), rutas desbalanceadas.

Falla entre los nodos (2,3) rutas desbalanceadas

Por el contrario, al diseñar diferentes cada uno de los inversores de las diferentes entradas, debalancea las rutas de propagación de estas, las diferencias son ahora de notable magnitud, lo que da una gran posibilidad de detectar la falla de corto-circuito entre dos entradas. Dichas diferencias se muestran en la figura 3.10. Las rampas ahora se convierten en la zona principal del vector donde es factible hacer una detección confiable de la falla.

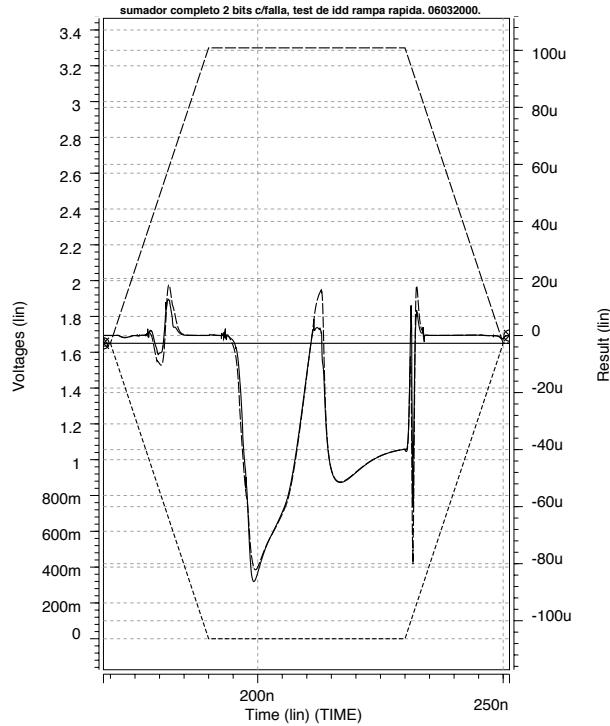


Figura 3.11: Falla entre los nodos (10,5).

3.2.3 Fallas entre nodos internos

Falla entre los nodos (10,5)

Se introduce ahora una falla de corto-circuito entre los nodos de salida del inversor $CARRY$ y $-SUM$. En la figura 3.11, se muestra que la mayor diferencia de corrientes se encuentra en la parte que se ha definido como estable, y es en esta zona donde la detección de la falla se hace evidente. Esto quiere decir que deben ser tomadas ambas zonas para la detección de algunas de las fallas.

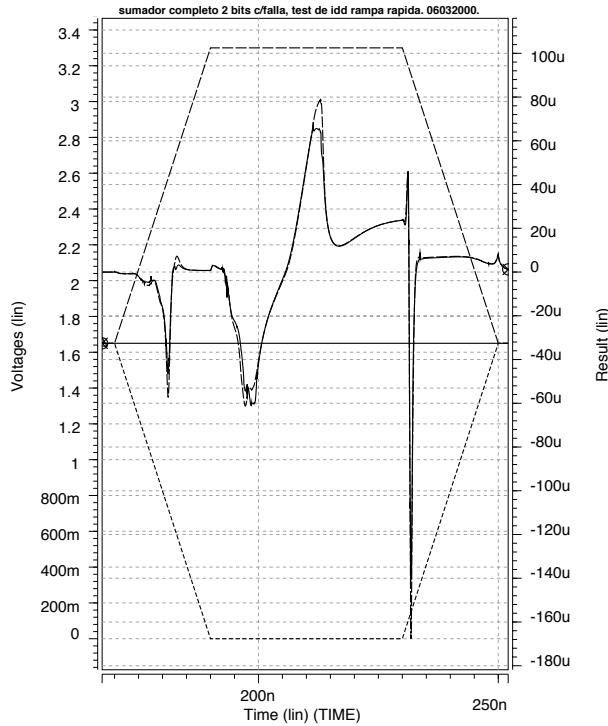


Figura 3.12: Falla entre los nodos (5,9).

Falla entre los nodos (5,9)

Esta falla se encuentra entre los nodos de acarreo y un nodo interno de la tercera etapa del circuito en la parte que está formada por transistores PMOS. La gráfica 3.12 muestra que esta falla es detectada con bastante facilidad sobre todo en la zona llamada estable. Se puede ver que donde los valores de los potenciales de polarización convergen hacia un valor de $\frac{V_{DD}}{2}$, existe un pulso bastante pronunciado, lo que permite también la detección de la falla durante este periodo de tiempo.

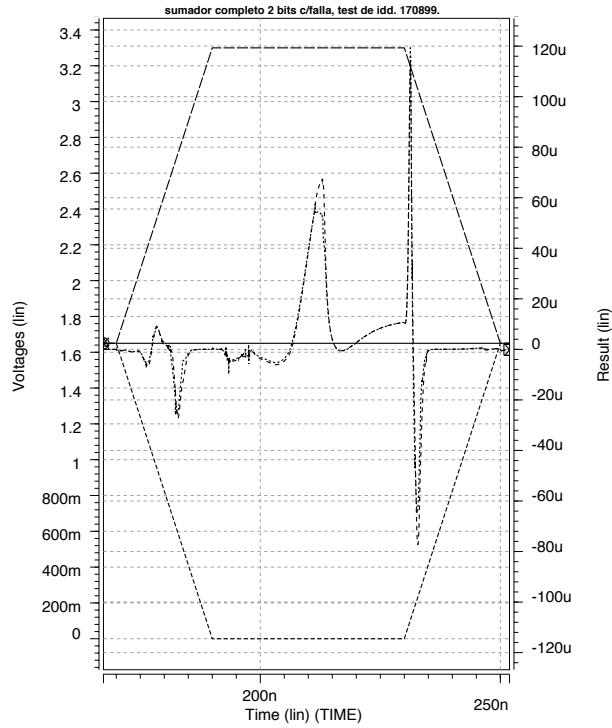


Figura 3.13: Falla entre los nodos (50,11).

Falla entre los nodos (5, 11)

La falla de corto-circuito ahora se encuentra entre los nodos de $-CARRY$ y un nodo interno de la parte NMOS de la tercera etapa del sumador. De nuevo, la figura 3.13 muestra que las diferencias entre las corrientes es lo suficientemente grande para hacer una detección precisa de la falla de cortocircuito entre el par de nodos (50, 11).

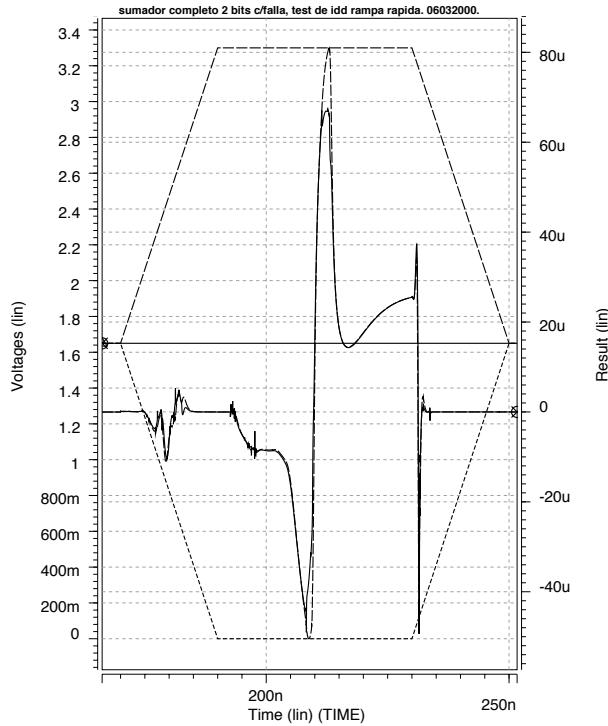


Figura 3.14: Falla entre los nodos (50,4).

3.2.4 Fallas entre V_{DD} (V_{SS}) y nodos internos

Falla entre los nodos (50,4)

Esta falla de corto-circuito se encuentra entre los nodos de polarización de V_{DD} y un nodo interno de la primera etapa de la red PMOS del circuito sumador. Tal parece que las fallas de corto-circuito que contemplan al nodo de polarización V_{DD} son de relativa fácil detección, esto es mostrado en la figura 3.14. La zona nombrada estable es ahora una parte importante de la detección de algunas fallas.

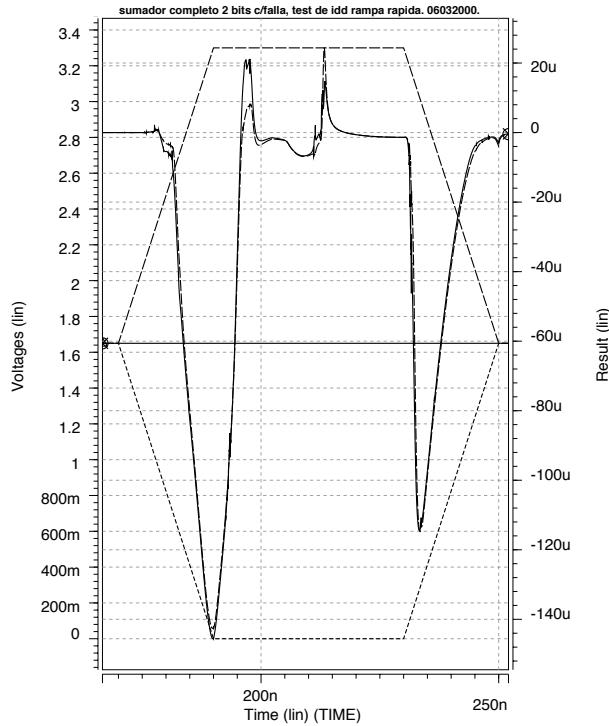


Figura 3.15: Falla entre los nodos (50,9).

Falla entre los nodos (50,9)

Esta falla se encuentra entre el nodo de polarización V_{DD} y un nodo interno de la estructura PMOS en la tercera etapa del sumador. La gráfica mostrada en la figura 3.15 es una de las que mejor muestran las diferencias entre las corrientes de i_{DD} en las ramas de las fuentes de polarización, y como se puede notar, dichas diferencias fluctúan entre los $30 \mu A$ y los $-140 \mu A$. En dicha figura, se contempla que las zonas de las rampas y la zona estable son partes del vector de prueba en que se pueden detectar las fallas.

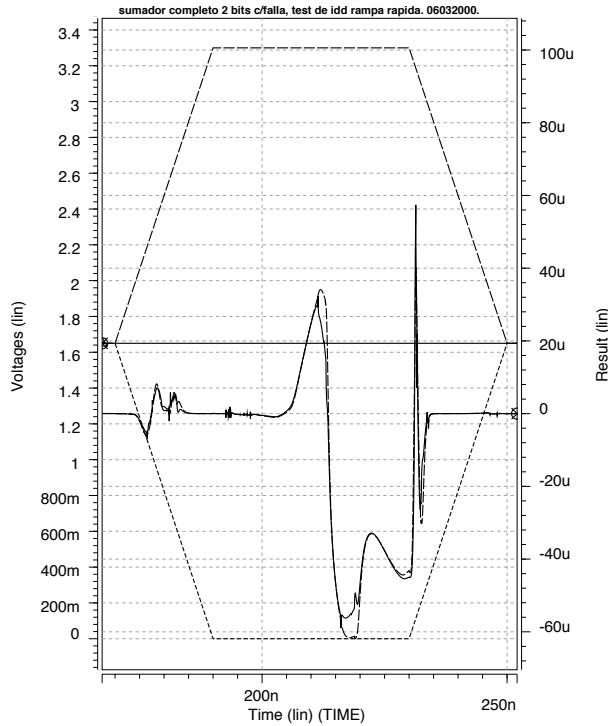


Figura 3.16: Falla entre los nodos (60,6).

Falla entre los nodos (60,6)

Esta falla se encuentra entre el nodo de polarización V_{SS} y un nodo interno de la estructura NMOS de la primera etapa del sumador. A diferencia de la falla entre los nodos anteriores, la falla que se encuentra entre los nodos (60,6) es de fácil detección en la zona estable pero en cambio, en las rampas, la detección se hace difícil. Esto indica que se depende del comportamiento de la diferencia de corrientes en la zona estable para la detección de algunas fallas.

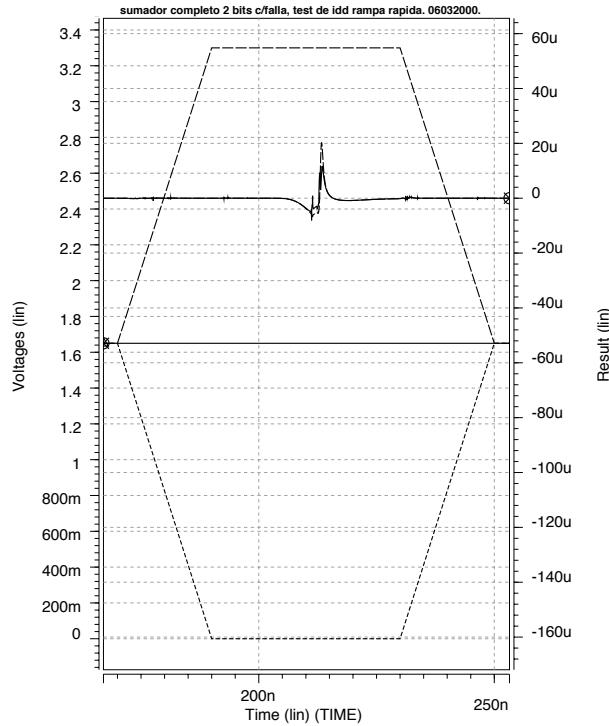


Figura 3.17: Falla entre los nodos (60,11).

Falla entre los nodos (60, 11)

Esta falla se encuentra entre el nodo de V_{SS} y un nodo interno de la estructura NMOS de la tercera etapa del circuito. La detección de esta falla es difícil, ya que las diferencias entre las corrientes de los circuitos con falla y sin falla son mínimas. Se debe considerar que los transistores de la estructura NMOS son de dimensiones mínimas y además las entradas están alrededor de $\frac{V_{DD}}{2}$. Entonces al colocar una falla con un valor típico de resistencia entre los nodos (60, 11) da como resultado que la resistencia equivalente entre estos nodos sea pequeña. Debido a esto, el voltaje del nodo 11 sigue al voltaje del nodo 60; por lo tanto, no se pueden apreciar diferencias importantes de corriente entre el circuito sin falla y con falla.

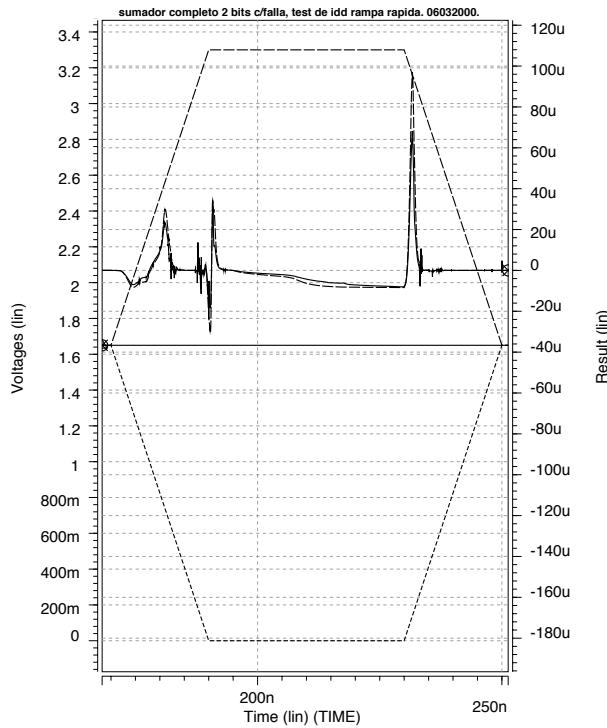


Figura 3.18: Falla entre los nodos (60,11) , rutas desbalanceadas.

Falla entre los nodos (60,11) rutas desbalanceadas

Procediendo ahora a desbalancear las rutas de entrada hasta el circuito sumador y analizar el efecto de esta acción sobre la prueba del circuito para esta falla en específico. Y modificando la geometría de los inversores de entrada, se tiene que las diferencias ahora son de mayor magnitud y la falla es detectable, esto es consecuencia de que ahora existe una diferencia de potencial entre los nodos (60,11) en el circuito sin falla, que produce una corriente de i_{DD} diferente a la del circuito con falla. Sin embargo, hay que poner especial atención en la rampa que de aquí en adelante será llamada de **descenso**. Este es un ejemplo de fallas que son de difícil detección.

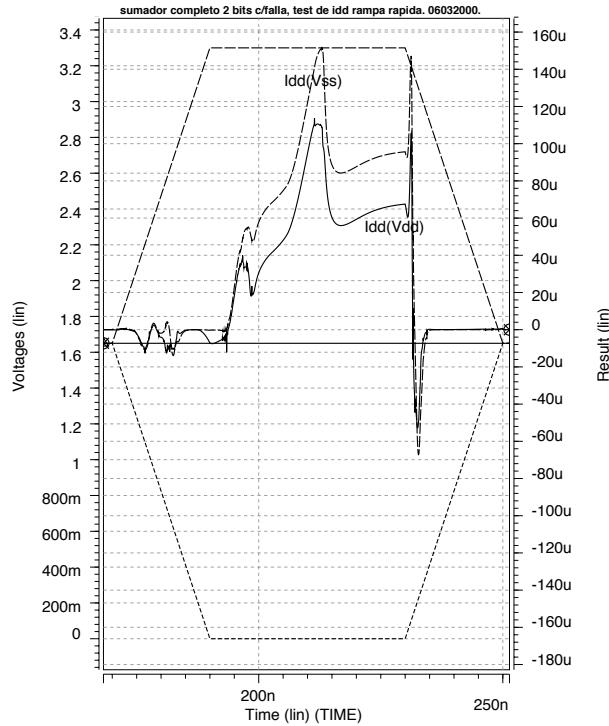


Figura 3.19: Falla entre los nodos (1,4).

3.2.5 Fallas entre entradas y nodos internos

Falla entre los nodos (1,4)

La falla de corto-circuito se encuentra ahora entre una de las entradas y un nodo interno de la estructura PMOS de la primera etapa del circuito. El gráfico 3.19, muestra una de las fallas que es posible detectar tanto durante la rampa como durante la parte estable del vector de prueba, se hace notar que las diferencias entre las corrientes en la parte estable del vector son diferentes en los sensores de cada una de las fuentes de polarización.

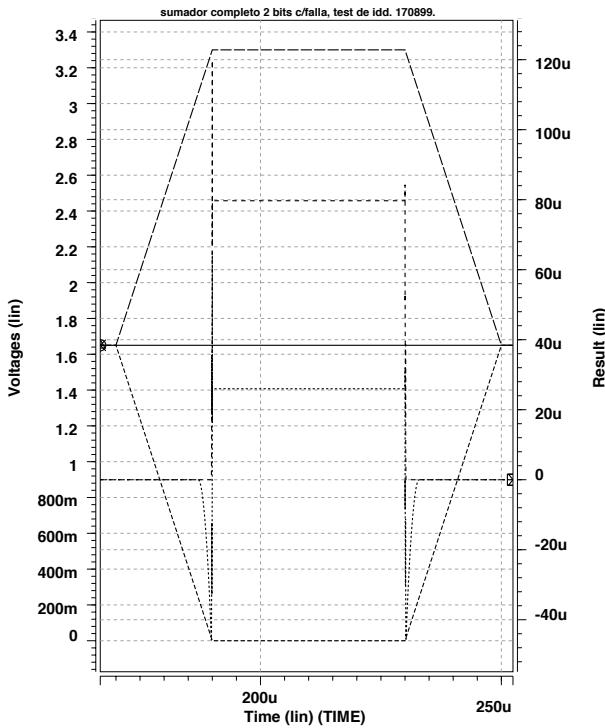


Figura 3.20: Falla entre los nodos (50,1).

3.3 Flancos lentos en las alimentaciones

En la siguiente sección se hace un análisis de la técnica de prueba sobre el sumador, utilizando una rampa lenta en las alimentaciones del circuito.

3.3.1 Fallas entre V_{DD} (V_{SS}) y entradas

Falla entre los nodos (50,1)

Esta falla se encuentra entre V_{DD} y el nodo de la entrada A (ver la figura 3.20). A través de los sensores de las fuentes, se tienen diferencias de corrientes en la rampa pronunciadas, lo que facilita la detección.

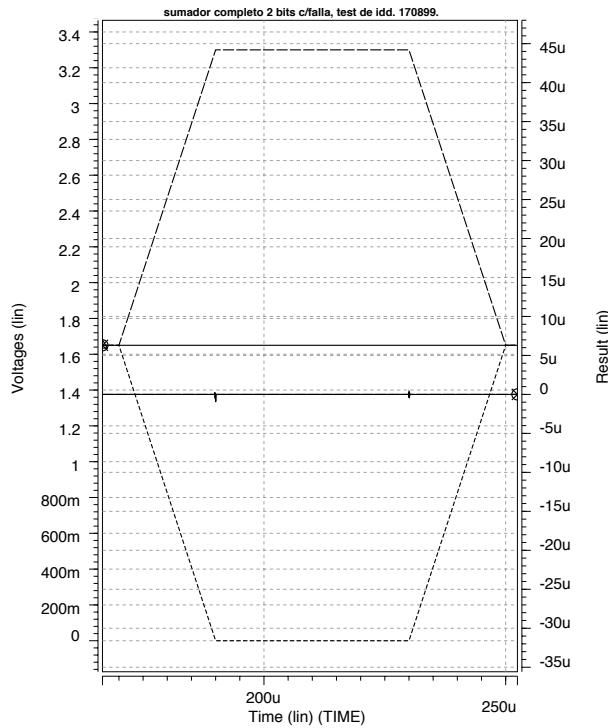


Figura 3.21: Falla entre los nodos (1,2).

3.3.2 Fallas entre entradas

Falla entre los nodos (1, 2)

La falla se encuentra entre dos entradas del sumador, A y B (ver la figura 3.21). La diferencia de las corrientes producidas es insuficiente para detectar la falla entre dos entradas. Ya que el potencial en la entrada de la cadena de inversores de cada dato de entrada al sumador es $\frac{V_{DD}}{2}$, y además debido a que las rutas de las entradas conectadas por medio de una cadena de inversores de ambas entradas son exactamente iguales, los transistores estarán en la misma zona de conducción con o sin la falla, es por esto que la falla se oculta completamente.

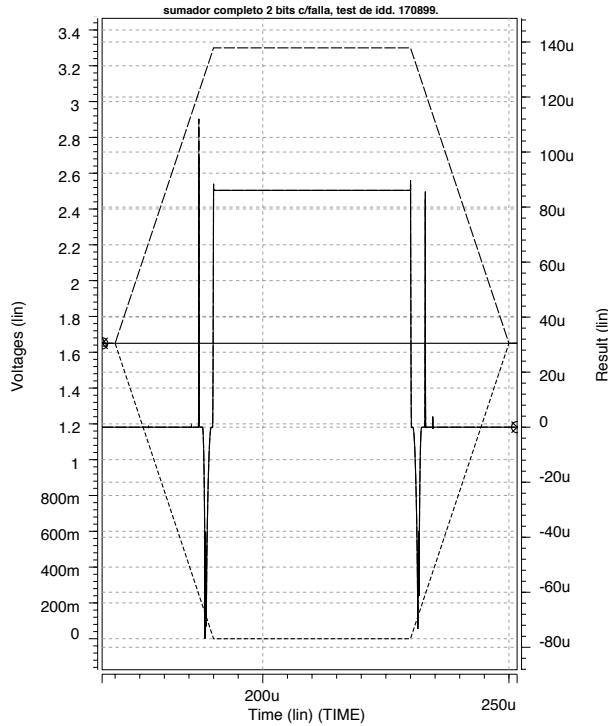


Figura 3.22: Falla entre los nodos (1,2), rutas desbalanceadas.

Falla entre los nodos (1,2) rutas desbalanceadas

Desbalanceado ahora las rutas de entrada mediante la manipulación de la geometría de la cadena de inversores para ver la forma en que esto afecta a las diferencias de corriente en los sensores del sumador, en la figura 3.22 se ve que el desbalanceo de los inversores de entrada han ayudado a la detección eficiente de la falla. Teniendo en cuenta que para la mayoría de los casos las rutas no están balanceadas (debido a la simetría de las estructuras $\frac{\beta_n}{\beta_p}$), entonces, la falla generalmente será detectada.

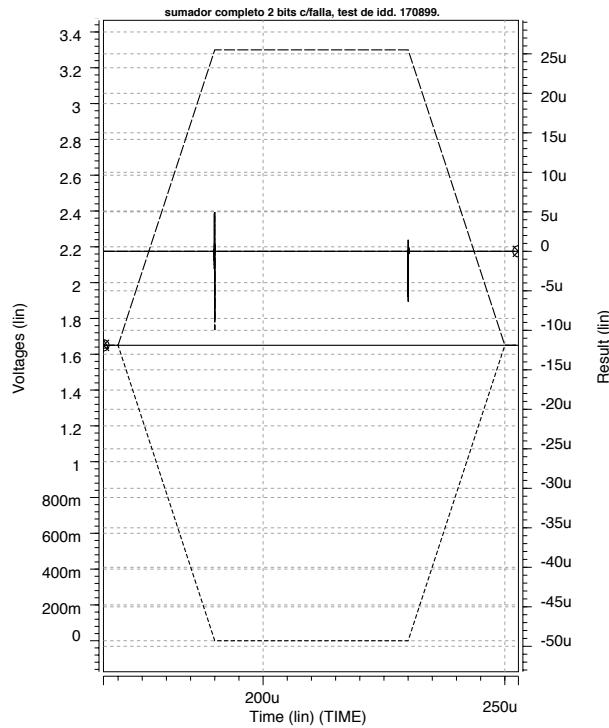


Figura 3.23: Falla entre los nodos (1,3).

Falla entre los nodos (1,3)

Esta falla es un corto-circuito entre los nodos de las entradas A y C , lo que por las razones dadas anteriormente para la falla entre A y B se nota que las diferencias de corrientes en los sensores, son demasiado pequeñas para hacer una detección de la falla. Procediendo a desbalancear las rutas de las entradas del sumador para saber si puede ayudarse así a la detección de la falla, puede verse en la figura 3.23 que las corrientes de los sensores son suficientes para la detección de la falla.

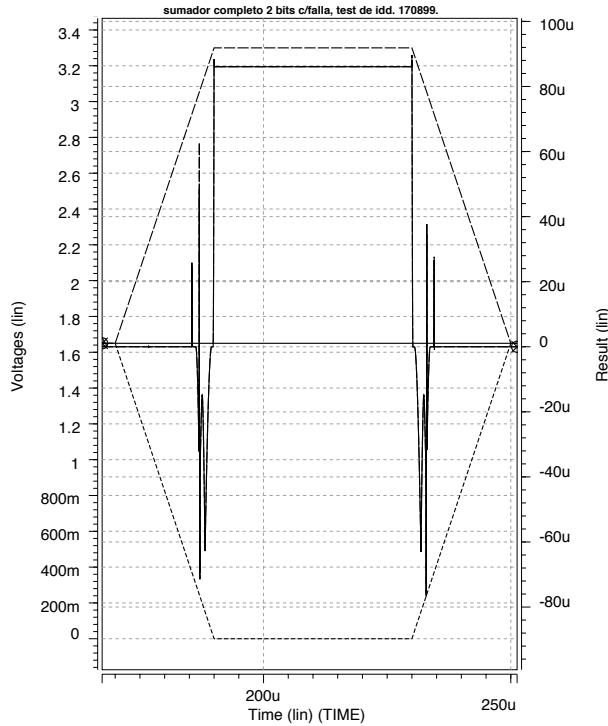


Figura 3.24: Falla entre los nodos (1,3), rutas desbalanceadas.

Falla entre los nodos (1,3) rutas desbalanceadas

Como se aprecia en la figura 3.24 el hecho de desbalancear las rutas de las entradas al circuito sumador, trae como consecuencia que la falla sea detectable. Y como se había ya dicho anteriormente, debido a que generalmente los circuitos tienen rutas de este tipo. En la parte del vector que respecta a las rampas, la falla puede ser de difícil detección, pero en la parte estable del vector de prueba, se tiene una diferencia de corrientes de poco mas de $80 \mu A$, lo cual da toda la facilidad para su detección.

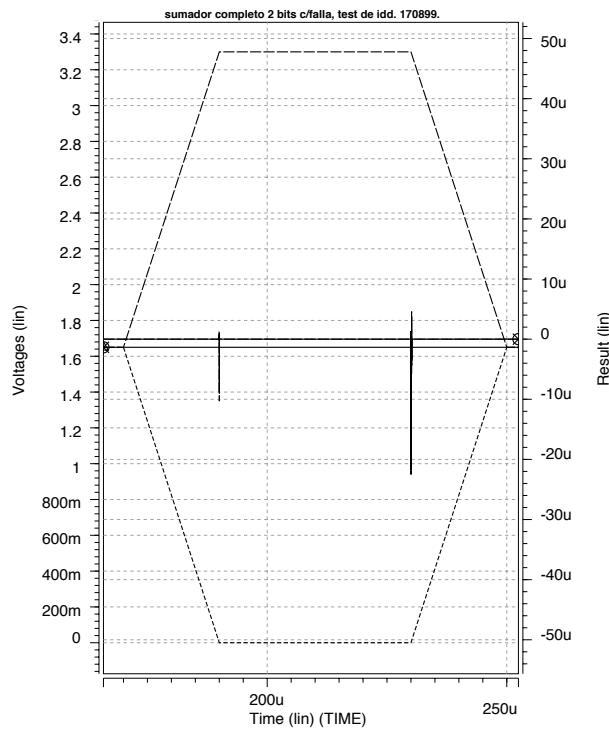


Figura 3.25: Falla entre los nodos (2,3).

Falla entre los nodos (2,3)

De la misma forma que en la parte anterior, esta falla de corto-circuito se encuentra entre dos nodos de entrada, en este caso entre los nodos B y C . Del mismo modo que en la figura anterior, la diferencia entre las corrientes de los sensores son insuficientes para que la técnica de prueba detecte la falla. Esto se debe de nuevo a que los potenciales en las entradas del sumador con falla y sin falla son iguales. En estos tres casos, donde la falla se encuentra entre nodos de entradas, es importante tener en cuenta las características de las rutas a dichas entradas.

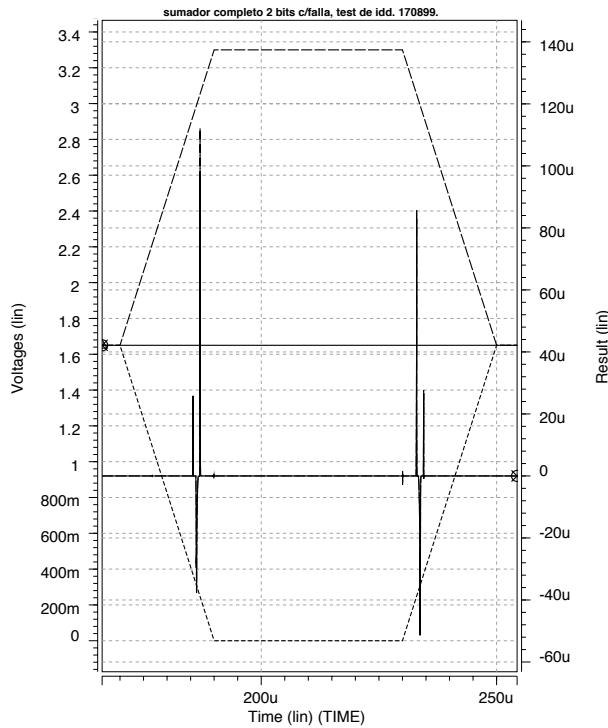


Figura 3.26: Falla entre los nodos (2,3), rutas desbalanceadas.

Falla entre los nodos (2,3) rutas desbalanceadas

Ahora se procede a desbalancear las rutas de estas entradas y apreciar si cambiando la geometría de los inversores de entrada, es posible hacer detectable la falla. Igual que en los dos casos anteriores, en la figura 3.26, se nota que la falla se vuelve detectable, es decir, ahora existen picos de diferencia de corrientes durante las rampas en comparación a su contraparte sin desbalanceo de las rutas de las entradas del sumador.

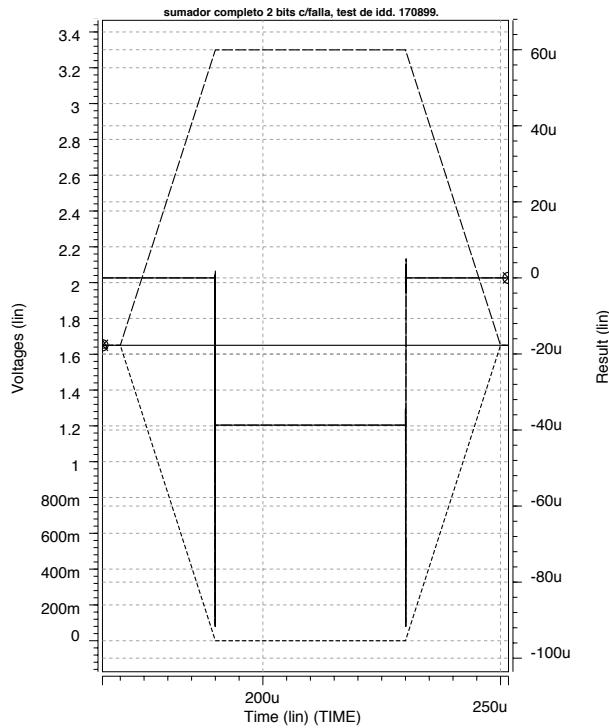


Figura 3.27: Falla entre los nodos (10,5).

3.3.3 Fallas entre nodos internos

Falla entre los nodos (10,5)

Esta falla se encuentra entre los nodos de acarreo y de suma, que son las dos salidas del circuito sumador. Esta falla tiene las características de forma que los picos de las diferencias de la corriente en los sensores son pronunciados pero de muy corta duración, pero suficientes para la detección de la falla. También durante la parte estable del vector de prueba se mide una diferencia significativa de corrientes, por lo tanto se puede detectar también durante este periodo.

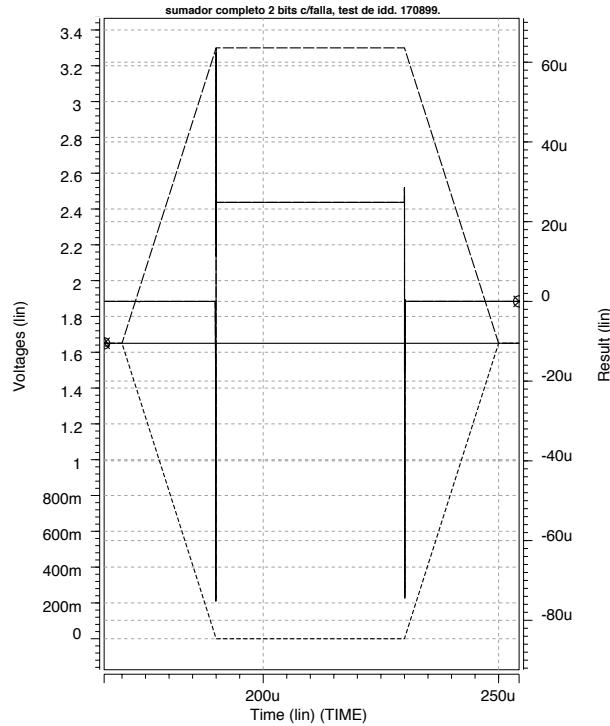


Figura 3.28: Falla entre los nodos (5,9).

Falla entre los nodos (5,9)

Esta falla de corto circuito se encuentra entre los nodos de *CARRY* y un nodo interno de la estructura PMOS de la tercera etapa del circuito bajo prueba. De nuevo, en el gráfico 3.28, se nota que la diferencia entre las corrientes censadas en los sensores de las fuentes de polarización es suficiente para detectar la falla de corto circuito entre los nodos (5-9). Como se ha visto los picos de diferencias de corriente son de corta duración. También se ve en el gráfico, que la parte estable del vector se puede aprovechar para la detección de dicha falla.

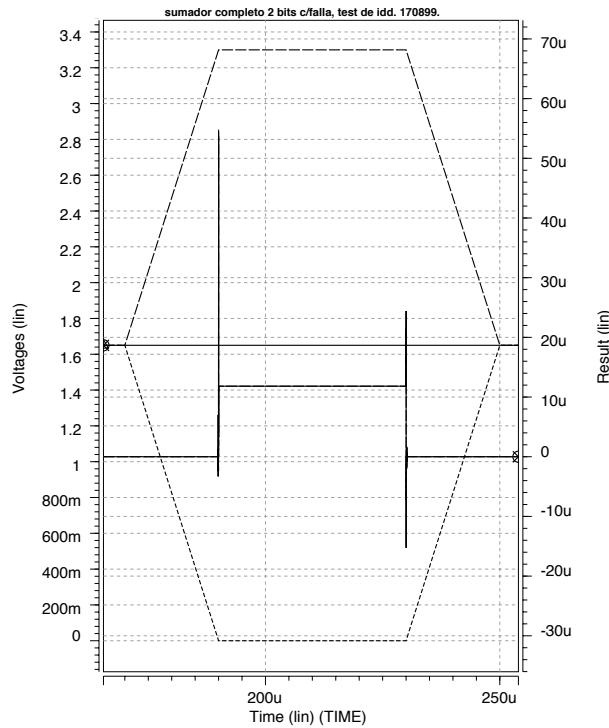


Figura 3.29: Falla entre los nodos (5,11).

Falla entre los nodos (5, 11)

Esta falla se introduce entre el nodo de acarreo del sumador y un nodo interno de la parte NMOS de este. De nuevo, en la figura 3.29 se ve que la detección de la falla por medio de las diferencias de corriente son posibles, tanto durante la rampa como en la parte estable del vector de prueba. Las diferencias de corriente son lo bastante significativas para hacer una detección de dicha falla.

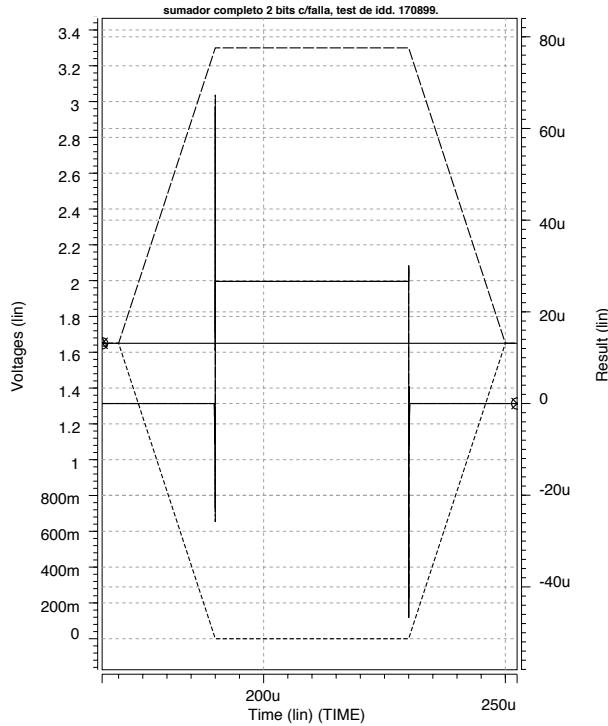


Figura 3.30: Falla entre los nodos (50,4).

3.3.4 Fallas entre V_{DD} (V_{SS}) y nodos internos

Falla entre los nodos (50,4)

En el gráfico 3.30, se muestra una falla entre V_{DD} y un nodo interno de la estructura PMOS del sumador, se muestra que la detección de la falla puede realizarse en cualquier parte de las zonas del vector de prueba; en las rampas, existen picos de diferencias de corriente, y también durante la parte estable existe una corriente constante de i_{DD} .

Como se puede notar, las diferencias en las corrientes de los sensores de las fuentes de polarización de los circuitos sin falla y con falla son suficientes para hacer una detección eficaz de la falla entre los nodos.

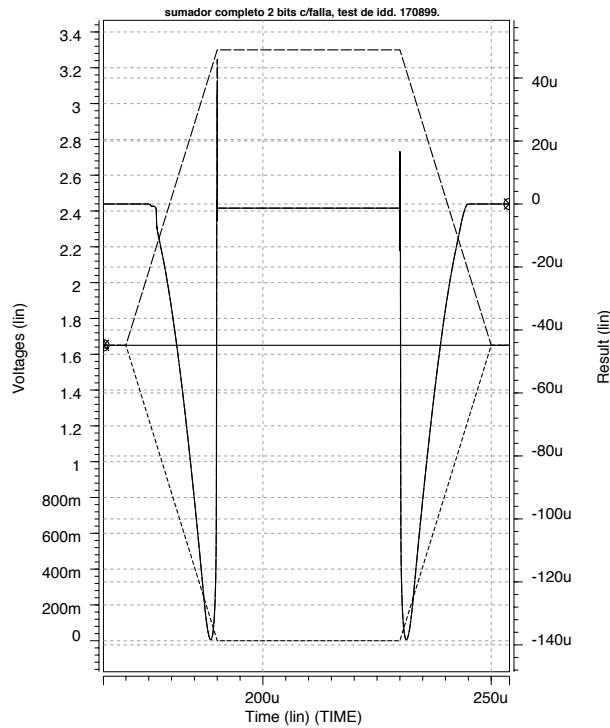


Figura 3.31: Falla entre los nodos (50,9).

Falla entre los nodos (50,9)

Esta falla se encuentra entre uno de los nodos de una estructura PMOS paralelo y la salida de acarreo, como se aprecia en la figura 3.31 la falla se detecta con cierta facilidad durante la rampa.

Esta es una de las fallas que más fácilmente se detectan. Como se aprecia en la figura 3.31, las diferencias de corrientes son notables en este caso, así que este es un caso donde no se tiene problema para identificar la existencia de una falla.

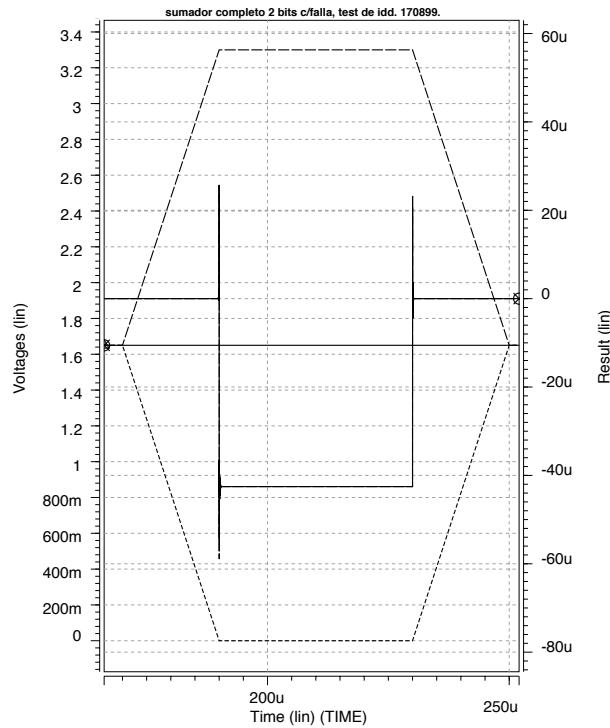


Figura 3.32: Falla entre los nodos (60,6).

Falla entre los nodos (60,6)

Esta falla se encuentra entre los nodos de polarización de V_{SS} y un nodo interno de la parte NMOS de la primera etapa de polarización del circuito sumador. Ahora, se nota en el gráfico 3.32 que las corrientes en los sensores del sumador son mayores que el mínimo suficiente para su detección, pero esto pasa solamente durante la parte estacionaria del vector de prueba. Es decir, durante la parte de las rampas la detección no es posible, mientras que en la zona estable no hay problemas para la detección de la falla.

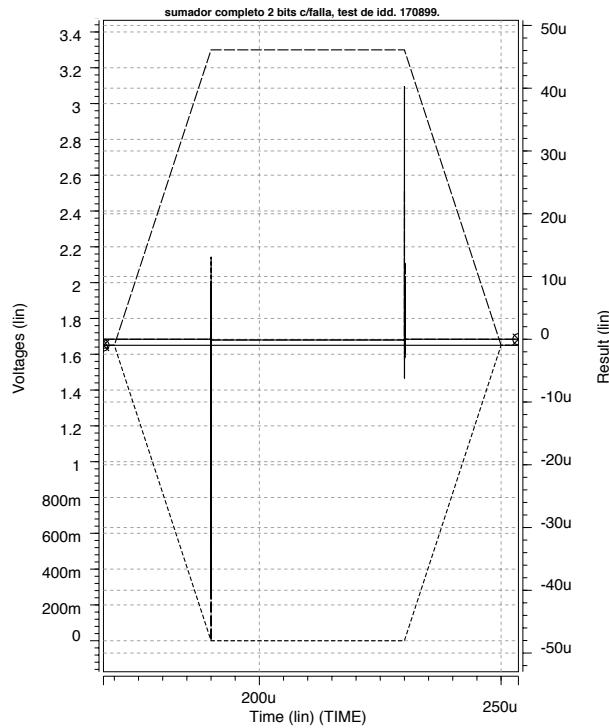


Figura 3.33: Falla entre los nodos (60,11).

Falla entre los nodos (60, 11)

La falla aquí descrita se encuentra entre los nodos de V_{SS} y un nodo interno de la parte NMOS de la tercera etapa del sumador, esta falla es de detección difícil; pero, poniendo atención en los picos de las diferencias de corrientes en los inicios de las rampas, es en esta parte del vector de prueba donde se puede detectar corriente cuando aplicamos una rampa lenta.

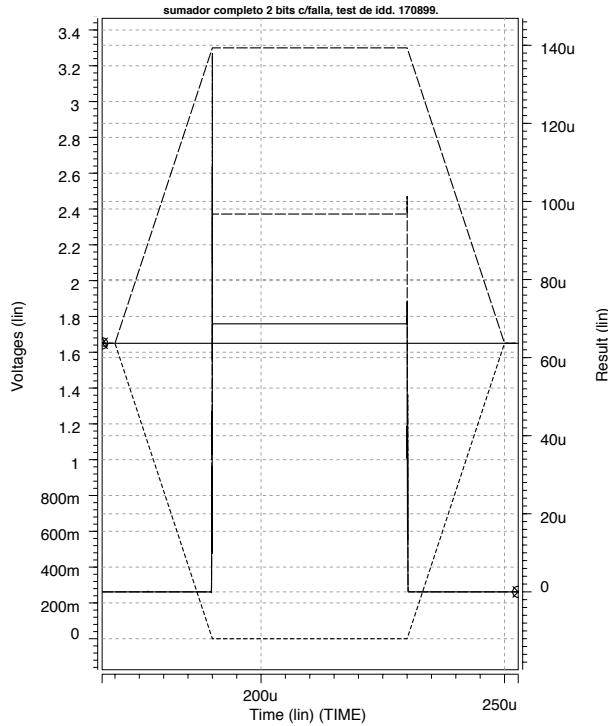


Figura 3.34: Falla entre los nodos (1,4).

3.3.5 Fallas entre nodos internos y entradas

Falla entre los nodos (1, 4)

Ahora se introduce la falla de corto circuito entre la entrada A y un nodo interno de la parte PMOS de la primera etapa del circuito sumador. La figura 3.34, presenta una variación mucho mayor en el final de la rampa, además de que durante la parte estable del vector de prueba se tienen diferencias importantes de corriente lo cual asegura la detectabilidad de esta falla por la técnica de prueba de i_{DD} . Ahora se nota que el valor de la diferencia de corrientes en las fuentes V_{DD} y V_{SS} es diferente, lo cual es distinto a los casos anteriores.

3.4 Conclusiones

De acuerdo a los resultados se deriva lo siguiente:

1. Existen fallas fáciles de detectar, como son:
 - (a) Fallas entre V_{DD} (V_{SS}) y entradas
 - (b) Fallas entre nodos internos
 - (c) Fallas entre entradas y nodos internos
 - (d) La mayoría de fallas entre V_{DD} (V_{SS}) y nodos internos
2. Fallas que son de detección difícil, entre ellas:
 - (a) Fallas entre entradas. Si las rutas a sus destinos estan balanceadas.
 - (b) Fallas entre nodos en los cuales exista un cierto número de transistores en paralelo. Cuando se desbalancean las rutas de entrada, aumenta la probabilidad de detección de este tipo de fallas. Aún así, no existe una diferencia bien marcada de corrientes para el caso desbalanceado.
3. El variar la pendiente de las rampas del pulso no mejora la detectabilidad de fallas entre entradas, sin embargo, mejora la detectabilidad de ciertas fallas entre alimentaciones y nodos internos que eran difíciles de detectar utilizando una rampa rápida.
4. Se nota que la llamada zona estable es importante para la detección de la mayoría de las fallas.

En la tabla 3.2, se muestra el resumen de los resultados obtenidos

80 CAPÍTULO 3. PRUEBAS I_{DD} EN UN MÓDULO COMBINACIONAL

Falla	Fácil detección	Desbalanceo de rutas para detección
(50, 1)	SI	
(50, 4)	SI	
(50, 9)	SI	
(1, 2)	NO	SI
(5, 9)	SI	
(60, 11)	NO	SI
(1, 4)	SI	
(5, 11)	SI	
(1, 3)	NO	SI
(60, 6)	SI	
(10, 5)	SI	
(2, 3)	NO	SI

Tabla 3.2: Resumen de detectabilidad de fallas probables en el módulo combinacional analizado.

Capítulo 4

Conclusiones

El objetivo primario de este trabajo ha sido el desarrollo y caractarezación de la técnica llamada **Respuesta de i_{DD} al pulso**, que permita la detección de fallas de corto circuito en circuitos integrados digitales CMOS. Es deseable, que cualquier técnica de test sea aplicada en el menor tiempo posible, debido a la cantidad de circuitos en la producción a nivel industrial.

La aportación más importante en este trabajo y al estado del arte, es la caracterización de la técnica de prueba utilizando un circuito combinacional típico que cubre las posibles combinaciones de la mayoría de circuitos de este tipo. Con esta celda típica, se ha demostrado que la técnica es eficaz para la detección de la mayoría de fallas de corto-circuito. El diseño del circuito combinacional fué realizado en una tecnología CMOS de $0.5 \mu m$, polarizado con una fuente de alimentación de $3.3 V$.

Los pasos específicos involucrados en el circuito diseñado fueron:

- La selección de una celda típica que tuviese las características de la mayoría de los circuitos de este tipo, en tecnología CMOS.
- El diseño del circuito combinacional con dimensiones mínimas para acercarse lo más posible a un circuito de uso general real.
- La identificación de los nodos más susceptibles a sufrir este tipo de fallas. Esto se realizó mediante el diseño del *layout* y la selección de fallas más probables debido al patrón geométrico.
- El desarrollo de un modelo teórico de primer orden con el fin de predecir el comportamiento del circuito como respuesta a la aplicación de la técnica de test.

- El desarrollo de una optimización de tiempos de aplicación del vector de prueba, para máxima detección.
- El desarrollo de una técnica de desbalanceo en las entradas para algunas fallas de difícil detección.

Se ha caracterizado una técnica de prueba optimizada, basada en el test de **Respuesta al Pulso**. Esta técnica demuestra que es robusta en la detección de la mayoría de las fallas introducidas en el circuito combinacional. Los tiempos de realización de la prueba son de un par de decenas de nanosegundos, lo que le da una aplicación real en su aplicación a nivel industrial. Se probaron diferentes tiempos de subida y caída de pulsos, y se ha optimizado el periodo del pulso aplicado.

Los pulsos aplicados en la prueba son de $T = 160 \text{ ns}$ con tiempos de subida y bajada de $t_r = t_f = 20 \text{ ns}$.

Se desarrolló una metodología de medición que facilita la lectura de los datos que se basa en la lectura de las diferencias de corriente de los circuitos con y sin defectos físicos.

Se simularon caminos de propagación de las señales mediante la inserción de inversores en la etapa previa al circuito combinacional.

La máxima eficiencia de la técnica de test se encuentra en las rampas que se encuentran en el rango de tiempo que van de 1 ns a 20 ns . Se han obtenido lecturas de diferencias de corriente entre los circuitos con y sin falla de entre $30 \mu\text{A}$ a más de $100 \mu\text{A}$. Una gran mayoría de las fallas introducidas fué detectada. Para fallas de difícil detección se encontró que las rutas desbalanceadas en geometría de etapas previas a cualquier circuito bajo prueba ayuda a la detección de ciertas fallas.

Apéndice A

Netlist HSPICE

El listado sobre el cual se hicieron modificaciones para el cambio de tiempos en la rampa se muestra a continuación.

```
Sumador completo 2 bits c/falla, test de Idd. 170899.  
*****PARAMETROS SPICE PARA LA TECNOLOGIA DE HP DE 0.5 MICRA*****  
*****  
***** Sergio Feliciano Mendoza Barrera *****  
***** INAOE. 17/08/1999 *****  
*****  
.OPTIONS POST method=gear maxord=2  
+ TNOM = 27.00000 NOMOD NOPAGE  
  
.MODEL CMOSN NMOS LEVEL=3  
+ PHI=0.700000 TOX=9.8000E-09 XJ=0.200000U TPG=1  
+ VTO=0.6621 DELTA=9.1890E-01 LD=1.5990E-08 KP=1.7763E-04  
+ UO=504.1 THETA=1.9730E-01 RSH=1.6330E+00 GAMMA=0.5470  
+ NSUB=1.1190E+17 NFS=7.1500E+11 VMAX=2.9400E+05 ETA=2.6040E-02  
+ KAPPA=3.3860E-01 CGD0=4.0920E-10 CGSO=4.0920E-10  
+ CGBO=3.7749E-10 CJ=5.8371E-04 MJ=7.2033E-01 CJSW=2.0000E-11  
+ MJSW=6.6799E-01 PB=9.9999E-01  
+ CAPOP=4 XQC=0.4  
* Weff=Wdrawn-Delta_W * The suggested Delta_W is 6.6720E-07  
  
.MODEL CMOSP PMOS LEVEL=3  
+ PHI=0.700000 TOX=9.8000E-09 XJ=0.200000U TPG=-1
```

```

+ VTO=-0.9301 DELTA=9.6130E-02 LD=3.4670E-08 KP=4.0698E-05
+ UO=115.5 THETA=3.6650E-02 RSH=1.6650E+01 GAMMA=0.4602
+ NSUB=7.9210E+16 NFS=5.9090E+11 VMAX=2.0120E+05 ETA=2.6040E-02
+ KAPPA=9.3190E+00 CGD0=2.1260E-10 CGS0=2.1260E-10
+ CGBO=3.9110E-10 CJ=9.3357E-04 MJ=4.8458E-01 CJSW=1.8784E-10
+ MJSW=1.7430E-01 PB=8.7223E-01
+ CAPOP=4 XQC=0.4
* Weff=Wdrawn-Delta_W * The suggested Delta_W is 3.9220E-07

.subckt faddopt 1 2 3 5 10 50 60
MP1 4 1 50 50 CMOSP W=3.93U L=0.6U AS=15.43p AD=15.43p PS=15.71u PD=15.71u
MP2 5 3 4 50 CMOSP W=3.93U L=0.6U AS=15.43p AD=15.43p PS=15.71u PD=15.71u
MP5 4 2 50 50 CMOSP W=3.93U L=0.6U AS=15.43p AD=15.43p PS=15.71u PD=15.71u
MP7 7 1 50 50 CMOSP W=3.93U L=0.6U AS=15.43p AD=15.43p PS=15.71u PD=15.71u
MP8 5 2 7 50 CMOSP W=3.93U L=0.6U AS=15.43p AD=15.43p PS=15.71u PD=15.71u
MP11 9 1 50 50 CMOSP W=3.93U L=0.6U AS=15.43p AD=15.43p PS=15.71u PD=15.71u
MP13 9 2 50 50 CMOSP W=3.93U L=0.6U AS=15.43p AD=15.43p PS=15.71u PD=15.71u
MP14 10 5 9 50 CMOSP W=3.93U L=0.6U AS=15.43p AD=15.43p PS=15.71u PD=15.71u
MP17 9 3 50 50 CMOSP W=3.93U L=0.6U AS=15.43p AD=15.43p PS=15.71u PD=15.71u
MP19 12 1 50 50 CMOSP W=3.93U L=0.6U AS=15.43p AD=15.43p PS=15.71u PD=15.71u
MP20 13 2 12 50 CMOSP W=3.93U L=0.6U AS=15.43p AD=15.43p PS=15.71u PD=15.71u
MP21 10 3 13 50 CMOSP W=3.93U L=0.6U AS=15.43p AD=15.43p PS=15.71u PD=15.71u

MN3 5 3 6 60 CMOSN W=0.9U L=0.6U AS=3.535p AD=3.535p PS=9.656u PD=9.656u
MN4 6 1 60 60 CMOSN W=0.9U L=0.6U AS=3.535p AD=3.535p PS=9.656u PD=9.656u
MN6 6 2 60 60 CMOSN W=0.9U L=0.6U AS=3.535p AD=3.535p PS=9.656u PD=9.656u
MN9 5 2 8 60 CMOSN W=0.9U L=0.6U AS=3.535p AD=3.535p PS=9.656u PD=9.656u
MN10 8 1 60 60 CMOSN W=0.9U L=0.6U AS=3.535p AD=3.535p PS=9.656u PD=9.656u
MN12 11 1 60 60 CMOSN W=0.9U L=0.6U AS=3.535p AD=3.535p PS=9.656u PD=9.656u
MN15 10 5 11 60 CMOSN W=0.9U L=0.6U AS=3.535p AD=3.535p PS=9.656u PD=9.656u
MN16 11 2 60 60 CMOSN W=0.9U L=0.6U AS=3.535p AD=3.535p PS=9.656u PD=9.656u
MN18 11 3 60 60 CMOSN W=0.9U L=0.6U AS=3.535p AD=3.535p PS=9.656u PD=9.656u
MN22 10 3 14 60 CMOSN W=0.9U L=0.6U AS=3.535p AD=3.535p PS=9.656u PD=9.656u
MN23 14 2 15 60 CMOSN W=0.9U L=0.6U AS=3.535p AD=3.535p PS=9.656u PD=9.656u
MN24 15 1 60 60 CMOSN W=0.9U L=0.6U AS=3.535p AD=3.535p PS=9.656u PD=9.656u

Rfault 60 11 5k *-----Falla !!!!

C23 4 50 1.49787f
C38 6 60 0.949867f

```

```

C37p 5 50 1.51f
C37n 5 60 1.51f
C22 9 50 0.662167f
C36 11 60 0.662167f
C28p 10 50 0.59f
C28n 10 60 0.59f

.ends
*****
.subckt inversora 1 2 3 4
MPI 2 1 3 3 CMOSP W=3.9300e-06 L=6.0000e-07 AS=9.4320e-12 AD=9.4320e-12
PS=1.2660e-05 PD=1.2660e-05

MNI 2 1 4 4 CMOSN W=9.0000e-07 L=6.0000e-07 AS=2.1600e-12 AD=2.1600e-12
PS=6.6000e-06 PD=6.6000e-06
.ends
*****
.subckt inversorb 1 2 3 4
MPI 2 1 3 3 CMOSP W=5.0000e-06 L=6.0000e-07 AS=1.2000e-11 AD=1.2000e-11
PS=1.4800e-05 PD=1.4800e-05

MNI 2 1 4 4 CMOSN W=9.0000e-07 L=6.0000e-07 AS=2.1600e-12 AD=2.1600e-12
PS=6.6000e-06 PD=6.6000e-06
.ends
*****
.subckt inversorc 1 2 3 4
MPI 2 1 3 3 CMOSP W=6.0000e-06 L=6.0000e-07 AS=1.4400e-11 AD=1.4400e-11
PS=1.6800e-05 PD=1.6800e-05

MNI 2 1 4 4 CMOSN W=9.0000e-07 L=6.0000e-07 AS=2.1600e-12 AD=2.1600e-12
PS=6.6000e-06 PD=6.6000e-06
.ends
*****


xadd01 3 6 9 12 10 101 201 faddopt

xinvsu0 10 11 100 200 inversora
xinvcarry0 12 13 100 200 inversora

```

```
xinv01 1 2 1000 2000 inversora
xinv02 2 3 100 200 inversora
xinv03 1 5 1000 2000 inversora
xinv04 5 6 100 200 inversora
xinv05 1 8 1000 2000 inversora
xinv06 8 9 100 200 inversora
```

```
Ccarry1 13 0 50f
Csum0 11 0 50f
```

```
*****
* Capacidades de Ruteado....
```

```
C30p 1 1000 0.25f
C30n 1 2000 0.25f
C42p 2 1000 0.31f
C42n 2 2000 0.31f
C33p 3 1000 1.02f
C33n 3 2000 1.87f
C29p 1 1000 0.24f
C29n 1 2000 0.24f
C41p 5 1000 0.31f
C41n 5 2000 0.31f
C32p 6 1000 0.79f
C32n 6 2000 1.18f
C39p 1 1000 0.45f
C39n 1 2000 0.45f
C40p 8 1000 0.31f
C40n 8 2000 0.31f
C31p 9 1000 0.17f
C31n 9 2000 0.51f
```

```
*****
VsVdd 100 101 dc 0
VsVss 201 200 dc 0
```

```
Va0 1 0
+ pwl (0 0
+ 30n 0
```

+ 50n 1.65)

Vdd 100 0
+ pwl (0 0
+ 30n 0
+ 50n 1.65
+ 70n 1.65
+ 71n 3.3
+ 95n 3.3
+ 96n 1.65
+ 120n 1.65
+ 121n 3.3
+ 145n 3.3
+ 146n 1.65
+ 170n 1.65
+ 190n 3.3
+ 230n 3.3
+ 250n 1.65)

Vss 200 0
+ pwl (0 0
+ 30n 0
+ 50n 1.65
+ 70n 1.65
+ 71n 0
+ 95n 0
+ 96n 1.65
+ 120n 1.65
+ 121n 0
+ 145n 0
+ 146n 1.65
+ 170n 1.65
+ 190n 0
+ 230n 0
+ 250n 1.65)

Vddin 1000 0
+ pwl (0 0

```
+ 30n 0
+ 50n 1.65
+ 70n 1.65
+ 71n 3.3
+ 95n 3.3
+ 96n 1.65
+ 120n 1.65
+ 121n 3.3
+ 145n 3.3
+ 146n 1.65
+ 170n 1.65
+ 190n 3.3
+ 230n 3.3
+ 250n 1.65)
```

```
Vssin 2000 0
+ pwl (0 0
+ 30n 0
+ 50n 1.65
+ 70n 1.65
+ 71n 0
+ 95n 0
+ 96n 1.65
+ 120n 1.65
+ 121n 0
+ 145n 0
+ 146n 1.65
+ 170n 1.65
+ 190n 0
+ 230n 0
+ 250n 1.65)
```

```
*****
*.tran 0.01n 280n UIC
.end
```

Apéndice B

Desbalanceo de rutas para el test de i_{DD}

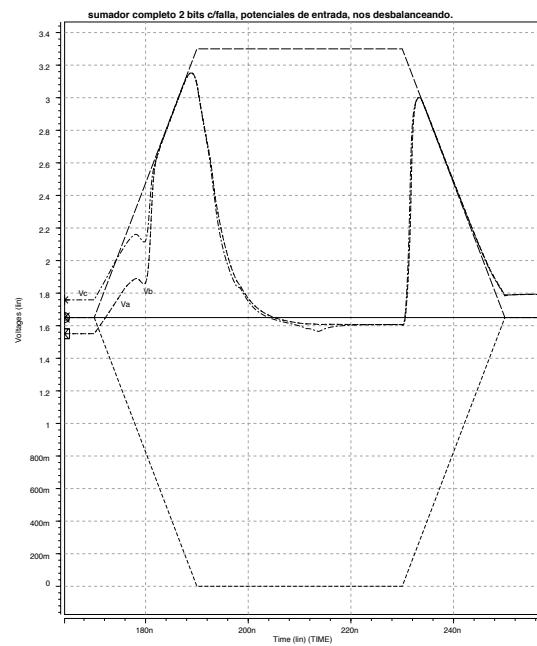


Figura B.1: Voltajes de las entradas con rutas balanceadas

90 APÉNDICE B. DESBALANCEO DE RUTAS PARA EL TEST DE I_{DD}

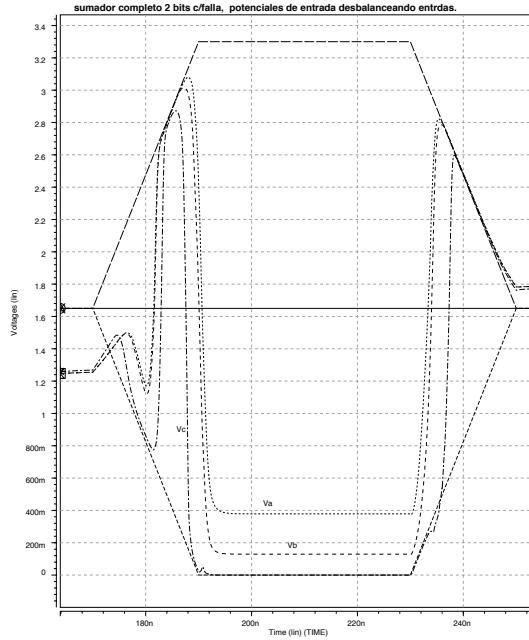


Figura B.2: Voltajes de las entradas con rutas desbalanceadas

La intención de esta sección es saber la razón de porque desbalanceando los inversores a las entradas del sumador ayudan enormemente a la detección de las fallas entre dos entradas.

En la figura B.1 se nota como los potenciales de los nodos de las entradas a y b , se traslanan y ocultan completamente la falla, pues no existe diferencia alguna de potencial.

Si ahora desbalanceamos la geometría de la cadena de inversores de cada una de las entradas del sumador, los potenciales ahora son diferentes en cada una de las entradas, esta diferencia entre dichos potenciales, trae por consecuencia que la diferencia entre las corrientes en los sensores en V_{DD} y V_{SS} son pronunciadas y ahora la falla es detectable sin problema.

Lista de Figuras

1.1	Defectos físicos.	3
1.2	Esquema general de pruebas.	4
1.3	Puerta compleja CMOS estática.	6
1.4	Modelo a nivel compuerta del circuito de la figura 1.3.	7
1.5	Circuito combinacional.	9
1.6	Puerta NAND de dos entradas de tecnología CMOS.	11
1.7	Una compuerta NOR CMOS estática de dos entradas.	15
1.8	Prueba de i_{DDQ} .	18
1.9	Corriente resultante en la prueba de i_{DDQ} .	20
2.1	Círculo bajo prueba, CUT.	24
2.2	Polarización para aplicar la técnica de Prueba de Respuesta al Pulso i_{DD} .	25
2.3	Cadena de inversores.	26
2.4	Voltajes de entrada y salida del primer y segundo inversores. Caso simétrico. Cálculo teórico.	27
2.5	Potenciales de entrada y salida del primer y segundo inversores. Caso simétrico. Simulación DC.	28
2.6	Potenciales de entrada y salida del primer y segundo inversores. Caso simétrico. Simulación rampa de μs .	28
2.7	Potenciales de entrada y salida del primer y segundo inversores. Caso simétrico. Simulación rampa de ns .	29
2.8	Potenciales de entrada y salida del primer y segundo inversores. Caso asimétrico $W_p = 30\mu$. Cálculo teórico.	30
2.9	Potenciales de entrada y salida del primer y segundo inversores. Caso asimétrico $W_p = 30\mu$. Simulación DC.	30
2.10	Potenciales de entrada y salida del primer y segundo inversores. Caso asimétrico $W_p = 30\mu$. Simulación rampa de μs .	31
2.11	Potenciales de entrada y salida del primer y segundo inversores. Caso asimétrico $W_p = 30\mu$. Simulación rampa de $n s$.	31

2.12	Potenciales de entrada y salida del primer y segundo inversores. Caso asimétrico $W_n = 30\mu$. Modelo.	32
2.13	Potenciales de entrada y salida del primer y segundo inversores. Caso asimétrico $W_n = 30\mu$. Simulación DC.	33
2.14	Potenciales de entrada y salida del primer y segundo inversores. Caso asimétrico $W_n = 30\mu$. Simulación rampa de μs	33
2.15	Potenciales de entrada y salida del primer y segundo inversores. Caso asimétrico $W_n = 30\mu$. Simulación rampa de ns	34
2.16	Corriente de i_{DD} rampa lenta. Cadena de inversores de diseño simétrico.	36
2.17	Corriente de i_{DD} rampa lenta. Cadena de inversores con diseño asimétrico. ($w_P \gg w_N$)	37
2.18	Corriente de i_{DD} rampa lenta. Cadena de inversores con diseño asimétrico. ($w_N \gg w_P$)	38
2.19	Corriente de i_{DD} rampa rápida. Diseño asimétrico de los inversores.	39
2.20	Corriente de i_{DD} rampa rápida. Cadena de inversores con diseño asimétrico. ($w_P \gg w_N$)	40
2.21	Corriente de i_{DD} rampa rápida. Cadena de inversores con diseño asimétrico. ($w_N \gg w_P$)	41
3.1	Sumador 1-bit optimizado.	44
3.2	Layout del sumador optimizado utilizado.	45
3.3	Diagrama a bloques del método de medición del circuito combinatorial analizado.	46
3.4	Falla entre los nodos (50,1).	48
3.5	Falla entre los nodos (1,2).	49
3.6	Falla entre los nodos (1,2), rutas desbalanceadas.	50
3.7	Falla entre los nodos (1,3).	51
3.8	Falla entre los nodos (1,3), rutas desbalanceadas.	52
3.9	Falla entre los nodos (2,3).	53
3.10	Falla entre los nodos (2,3), rutas desbalanceadas.	54
3.11	Falla entre los nodos (10,5).	55
3.12	Falla entre los nodos (5,9).	56
3.13	Falla entre los nodos (50,11).	57
3.14	Falla entre los nodos (50,4).	58
3.15	Falla entre los nodos (50,9).	59
3.16	Falla entre los nodos (60,6).	60
3.17	Falla entre los nodos (60,11).	61
3.18	Falla entre los nodos (60,11), rutas desbalanceadas.	62
3.19	Falla entre los nodos (1,4).	63

3.20 Falla entre los nodos (50,1)	64
3.21 Falla entre los nodos (1,2)	65
3.22 Falla entre los nodos (1,2), rutas desbalanceadas.	66
3.23 Falla entre los nodos (1,3)	67
3.24 Falla entre los nodos (1,3), rutas desbalanceadas.	68
3.25 Falla entre los nodos (2,3)	69
3.26 Falla entre los nodos (2,3), rutas desbalanceadas.	70
3.27 Falla entre los nodos (10,5)	71
3.28 Falla entre los nodos (5,9)	72
3.29 Falla entre los nodos (5,11)	73
3.30 Falla entre los nodos (50,4)	74
3.31 Falla entre los nodos (50,9)	75
3.32 Falla entre los nodos (60,6)	76
3.33 Falla entre los nodos (60,11)	77
3.34 Falla entre los nodos (1,4)	78
B.1 Voltajes de las entradas con rutas balanceadas	89
B.2 Voltajes de las entradas con rutas desbalanceadas	90

Lista de Tablas

1.1	Fallas <i>stuck-at</i> del circuito mostrado en la figura 1.5 y vectores requeridos para su detección, SA: <i>stuck-at</i>	9
1.2	Conjunto mínimo de vectores para el circuito mostrado en la figura 1.5.	10
1.3	Tabla de verdad para la compuerta NAND.	11
3.1	Tabla de fallas probables en el sumador	47
3.2	Resumen de detectabilidad de fallas probables en el módulo combinacional analizado.	80

Bibliografía

- [ABR83] M. Abramovici and P. R. Menon, M. "A practical approach to fault simulation and test generation for bridging faults," in proc. Int. Test Conf., Philadelphia, PA, pp. 138-142, Oct. 1983.
- [ABR77] M. Abramovici, M. A. Breuer & K. Kumar, "Concurrent Fault Simulation and Functional Level Modeling", Proc. of the Design Automation Workshop, Jun 1977.
- [ARM66] D. Armstrong, "On finding a nearly minimal set of fault detection test for combinational logic nets", IEEE Transactions on Electron. Computers, Vol EC-15, No. 1, pp. 66-73, Feb. 1966.
- [ARM72] D. B. Armstrong, "A Deductive Method of Simulating Faults in Logic Circuits", IEEE Transactions on Computers, C-21, pp 66-73, May 1972.
- [BEA93] J. S. Beasley, H. Ramamurthy, J. Ramírez-Angulo and M. DeYong, " i_{DD} Pulse Response Testing Of Analog And Digital CMOS Circuits", International Test Conference, 1993.
- [BEA96] Jeff Beasley, Jaime Ramírez-Angulo and Roberto Steiner, "An i_{DD} Transient Analysis Technique For Defects Detection In Digital Integrated Circuits", 1995 Midwest Symposium on Circuits and Systems.
- [BEH82] C. Beh, K. Arya, C. Radke & K. Torku, "Do stuck fault models reflect manufacturing defects", Proc. International Test Conference, pp. 35-42, 1982.
- [BREUER] Melvin A. Breuer, Arthur Friedman, "Digital System Testing and Testable Design", *IEEE Press*.
- [CHA74] H. Y. Chang, S. G. Chappel, C. H. Elemendorf & L. D. Smith, "Comparison of Parallel and Deductive Fault Simulation Models", IEEE Transactions on Computers, C-23, pp. 1132-1138, 1974.

- [CHA83] R. Chandramouli, "On Testing Stuck-Open Faults", 13th Fault-Tolerant Computing Systems, pp. 258-265, 1983.
- [CHA85] R. Chandramouli, Héctor Sucar, "Defect Analysis and Fault Modeling in MOS Technology", IEEE International Test Conference, 1985.
- [CHA93] V. H. Champac Vilela. "Caracterización del defecto de Puerta Flotante y su detección en Circuitos CMOS Digitales", Universitat Politècnica de Catalunya, Feb 1993.
- [EL-Z81] Y. M. El-Ziq & R. J. Clouter, "Functional-Level Test Generation For Stuck Open Faults in CMOS VLSI", Proc. International Test Conference, pp. 536-546, Jun 1981.
- [ELD59] R. Eldred, "Test Routines based on symbolic logical statements", J. of Assoc. for Computing Mach. (ACM), Vol. 6 33-36, 1959.
- [ELL88] A. Elleuch, M. Renovell, J. Lassale & G. Cambon, "Layout Dependent Fault Modelisation Methodology: Floating Gate Transistor", ICM 88, Internationel Conference on Microelectronics, Nov. 1988, Algeria.
- [FRI74] A. D. Friedman, "Diagnosis of short-circuit faults in Combinational Circuits," IEEE Trans. Comput., vol. C-23, pp.746-752, Jul 1974.
- [FUJ85] Hideo Fujiwara, "Logic Testing and Design for Testability", *The MIT Press*, 1985.
- [HEN91] C. L. Henderson, J. M. & C. F. Hawkins, "The Behavior and Testing Implications of CMOS IC Logic Gate Open Circuits", Proc. International Test Conference, pp. 302-310, Oct 1991.
- [HUR98] Stanley L. Hurst, "VLSI Testing: Digital and Mixed Analogue/Digital Techniques", *IEEE The Institute of Electrical Engineers*, 1998.
- [IHN64] H. K. J. Ihnantola y J. Moll, "Design Theory of a surface field effect transistor", Solid-State Electronics, Vol. 7, pp. 423-430, 1964.
- [IOS78] A. Iosupovics, "Optimal detection of bridging faults and stuck-at faults in two level logic," IEEE Trans. Comput., vol. C-27, No. 5, pp. 452-455, May 1978.
- [KAN86] Sung Mo Kang, "Accurate Simulation of Power Dissipation in VLSI Circuits", Journal of Solid-State Circuits, Vol. SC-21, No. 5, Oct 1986.

- [KAR83] M. M. Karpovsky, "Universal test for detection of input/output stuck-at and bridging faults," IEEE Trans. Comput., vol. C-32, No. 12, pp. 1194-1198, Dic. 1983.
- [KOD80] K. L. Kodandapani and D. K. Pradhan, "Undetectability of bridging faults and validity of stuck-at fault test sets," IEEE J. Trans Comput., vol. C-29, No. 1, pp. 55-59, Enero 1980.
- [MAL85] W. Maly, "Modeling of Lithography Related Yield Losses for CAD of VLSI Circuits", IEEE Transactions on Computer-Aided Design, Vol. CAD-4, No. 3, pp. 166-177, Jul 1985.
- [MAL88a] W. Maly, P. K. Nag, "Testing Oriented Analysis of CMOS ICs with Opens", Proc. Int. Conf. on Computer-Aided Design, pp. 334-347, 1988.
- [MEI74] K. C. Y. Mei, "Bridging and Stuck-at faults." IEEE Trans. Comput., vol. C-23, No. 7, pp. 720-727, Jul 1974.
- [NIC90] William H. Nichols, A. W. Nordsiek & Mani Soma, "Experimental Evaluation of Concurrent Fault Simulation Algorithms on Scalable, Hierarchically Defined Cases", Proc. International Test Conference, pp. 698-705, Sep 1990.
- [REN86a] M. Renovell & G. Cambon, "Topology Dependence of Floating Gate Faults in MOS Circuits", Electronics Letters, Vol. 22, No 3, pp. 152-153, Enero 1986.
- [RAJ92] Rochit Rajsuman, "Digital Hardware Testing: Transistor-Level Fault Modeling and Testing", *Artech House*, 1992.
- [SHE85] J. P. Shen, W. Maly & F. J. Ferguson, "Inductive Fault Analysis of MOS Integrated Circuits", IEEE Design & Test of Computers, pp 13-26, Dic 1985.
- [SHU89] Michael H. Shulz & Elizabeth Auth, "ESSENTIAL: An Efficient Self-Learning Test Pattern Generation Algorithm for Sequential Circuits", Proc. International Test Conference, pp. 28-37, Agos 1989.
- [SOD89a] J. M. Soden & C. F. Hawkins, "Electrical Properties and Detection Methods for CMOS IC Defects", Proc. European Test Conference, pp. 159-167, Paris France, Abril 1989.
- [SON90] Ohyoung Song & P. R. Menon, "Parallel Pattern Fault Simulation Based on Stem Faults in Combinational Circuits", Proc. International Test Conference, pp. 706-711, Sep 1990.

- [SOU91] J. J. T. Sousa, F. M. Goncalves, J. P. Teixeira, "IC Defects-Based Testability Analysis", Proc. International Test Conference, pp. 500-509, 1991.
- [TEI90] J. P. Teixeira, F. M. Goncalves, J. J. T. Sousa, "On the Fisical Design of Testable CMOS Digital Circuits", 16th European Solid-State Circuits Conference, pp. 109-112, Sep 1990.
- [TIM83] C. Timoc, M. Buehler, T. Griswold, C. Pina, F. Scott & L. Hess, "Logical Models of Physical Failures", Proc. International Test Conference, pp. 546-553, 1983.
- [TSI87] Y. P. Tsividis "Operation anf Modeling of the MOS Transistor", New York, Mc. Graw Hill, 1987.
- [UYE92] John P. Uyemura, "Circuit Design for CMOS VLSI", Kluwer Academic Publishers, ISBN 0-7923-9185-5, 1992.
- [VLA80] A. Vladimirescu & S. Liu, "The Simulations of MOS Integrated Circuits using SPICE2", Memorandum No. M80/7, Feb 1980, University of California, Berkeley.
- [VLA87] A. Vladimirescu , K. Zhang, A. Newton, D. Pederson & Sangiovanni Vecentelli, SPICE User's Guide, Dept. Electrical Engr. and Computer Sciences, University of California, Berkeley, CA., 1987.
- [WAR78] D. E. Ward & R.W. Dutton, "A Charge-Oriented Model for MOS Transient Capacitances", IEEE J. Solid State Circuits, pp. 703-707, Dic 1981.
- [WAD78] R. L. Wadsack, "Fault modeling and Logic simulation of CMOS and MOS integrated circuits", *Bell Syst. Tech. J.*, vol.57, num. 5, pp. 1449-1474, Mayo-Junio 1978.
- [WES93] Neil H. E. Weste & Kamran Eshraghian, "Principles of CMOS VLSI Design. A Systems Perspective", Second Edition, Addison-Wesley Publishing Company, ISBN 0-201-53376-6, 1993.
- [XU82] S. Xu and S. Y. H. Su, "Testing feedback bridgings faults among internal, input and output lines by two patterns," in Proc. Int. Conf. Circuits & Computers, New York, NY, pp. 214-217, Oct.1982.
- [YAM84] T. Yamada and T. Nanya, "Stuck-at tests in the presence of undetectable bridging faults," IEEE Trans. Comput., vol. C-33, No. 8, pp. 758-761, Agosto 1984.