

浙江大学

本科实验报告

课程名称: 数字逻辑设计

姓 名: 彭子帆

学 院: 计算机科学与技术学院

系: 计算机系

专 业: 软件工程

学 号: 3170105860

指导教师: 董亚波

2018 年 10 月 24 日

浙江大学实验报告

课程名称： 数字逻辑设计 实验类型： 综合

实验项目名称： 变量译码器设计与应用

学生姓名： 彭子帆 专业： 软件工程 学号： 3170105860

同组学生姓名： 张睿嘉 指导老师： 董亚波

实验地点： 浙江大学紫金港校区东四 509 室 实验日期： 2018 年 10 月 25 日

一、实验目的和要求

- ☐ 掌握变量译码器的逻辑构成和逻辑功能。
- ☐ 用变量译码器实现组合函数
- ☐ 掌握变量译码器的典型应用（地址译码的具体方法）
- ☐ 了解存储器编址的概念
- ☐ 采用原理图设计电路模块
- ☐ 进一步熟悉 ISE 平台及下载实验平台物理验证

二、实验内容和原理

实验内容：

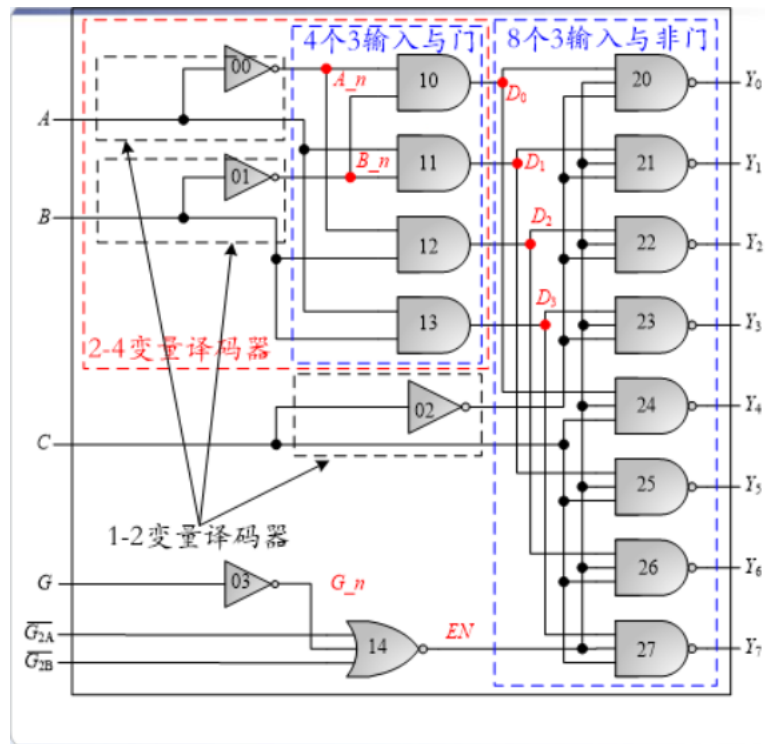
- ☐ 原理图设计实现 74LS138 译码器模块
- ☐ 用 74LS138 译码器实现楼道灯控制

实验原理：

译码器是将一种输入编码转换成另一种编码的电路，即将给定的代码进行“翻译”并转换成指定的状态或输出信号（脉冲或电平）。译码可分为：变量译码、显示译码

变量译码一般是将一种较少位输入变为较多位输出的器件，如 2^n 译码和 8421BCD 码译码

显示译码主要进行 2 进制数显示成 10 进制或 16 进制数的转换，可分为驱动 LED 和 LCD 两类

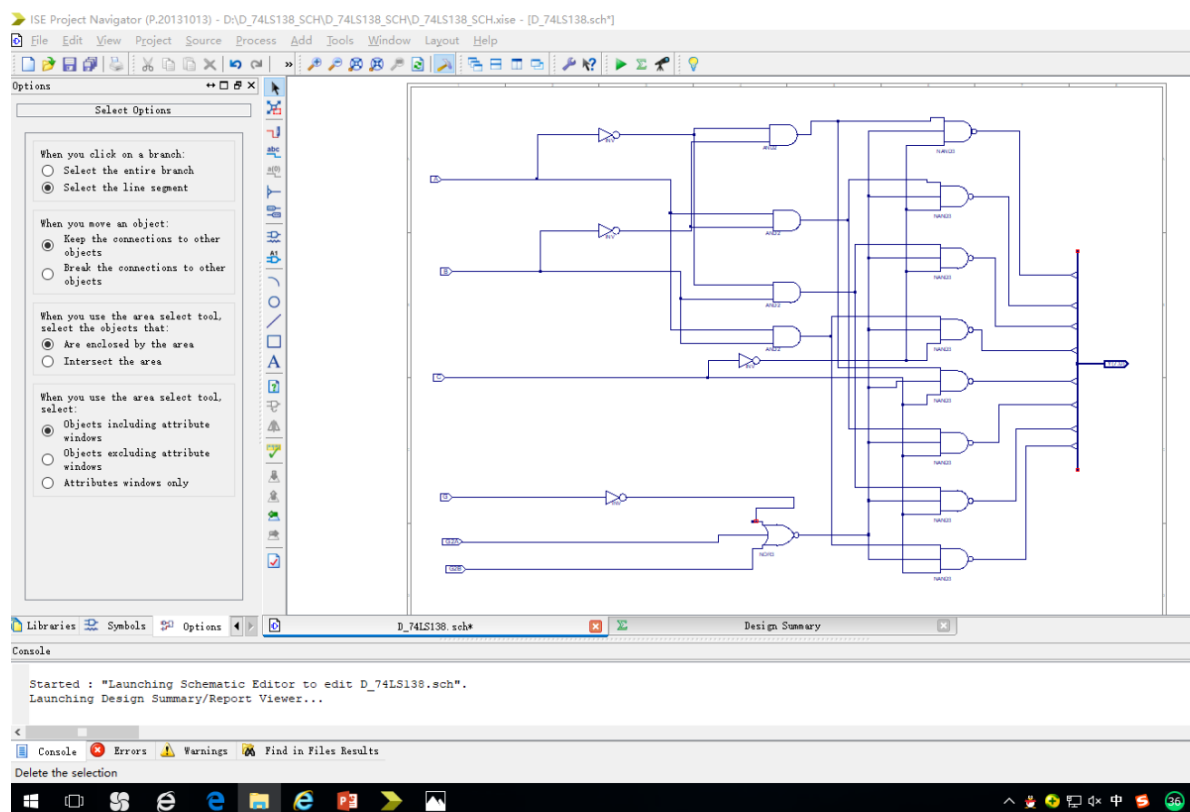


三、实验过程和数据记录

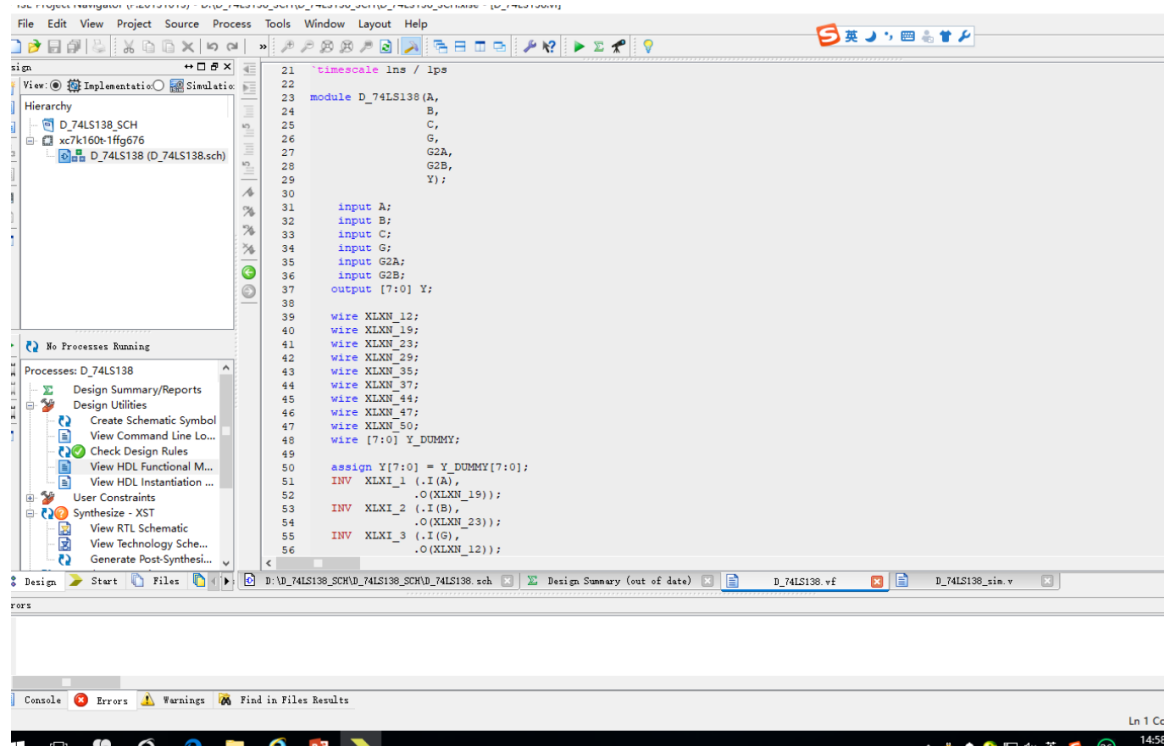
1. 任务 1：原理图设计实现 74LS138 译码器模块

步骤：

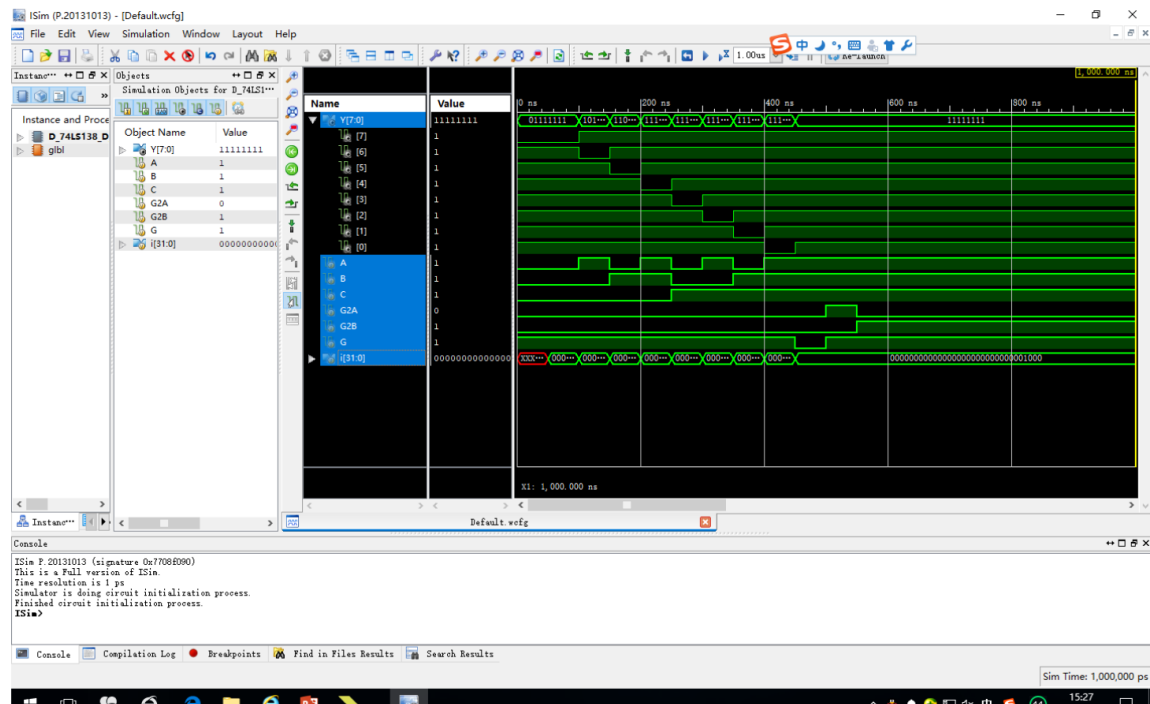
- i. 新建工程，工程名称用 D_74LS138_SCH。新建 Schematic 源文件，文件名称用 D_74LS138。原理图方式进行设计。如图所示原理图：



- ii. Check Design Rules, 检查错误。View HDL Functional Model, 查看并学习 Verilog HDL 代码。



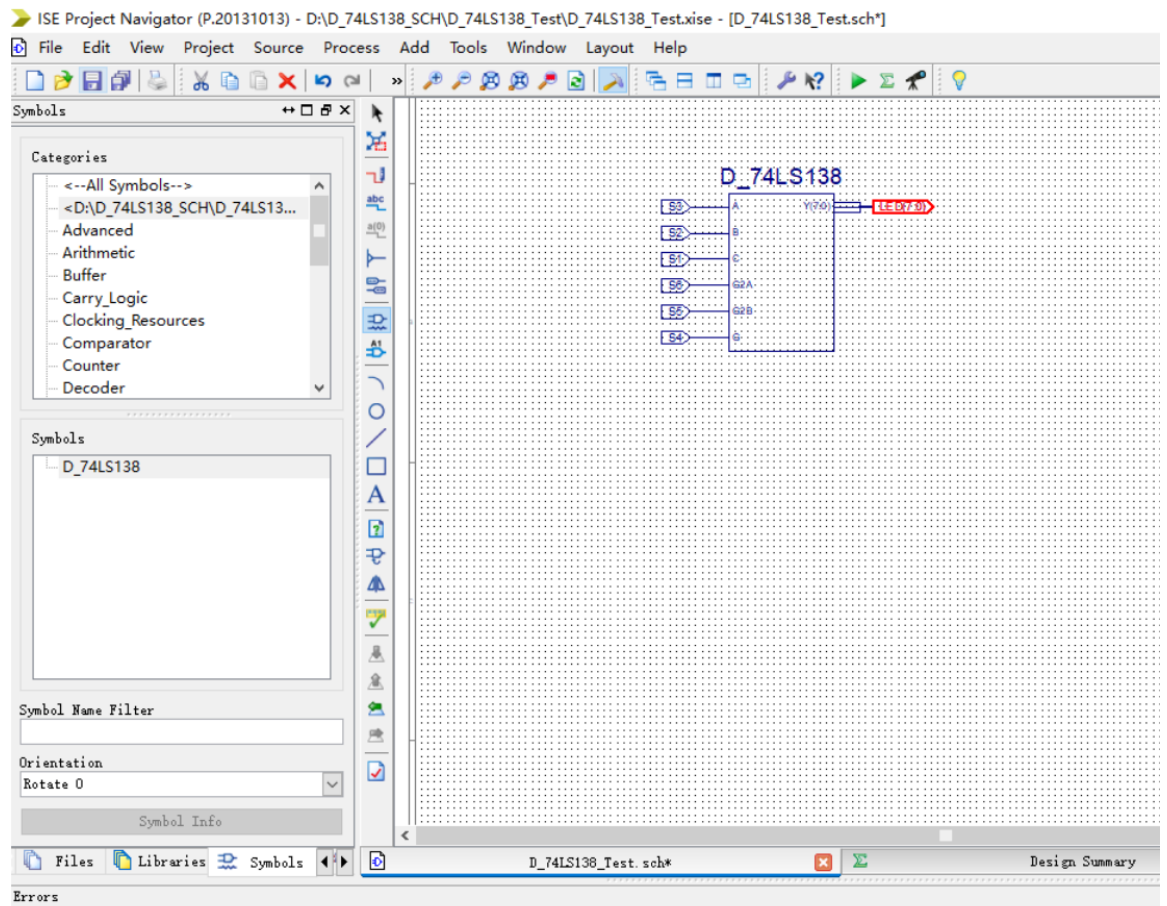
- iii. 对 D_74LS138 模块进行仿真，激励代码填写完，仿真图如下：



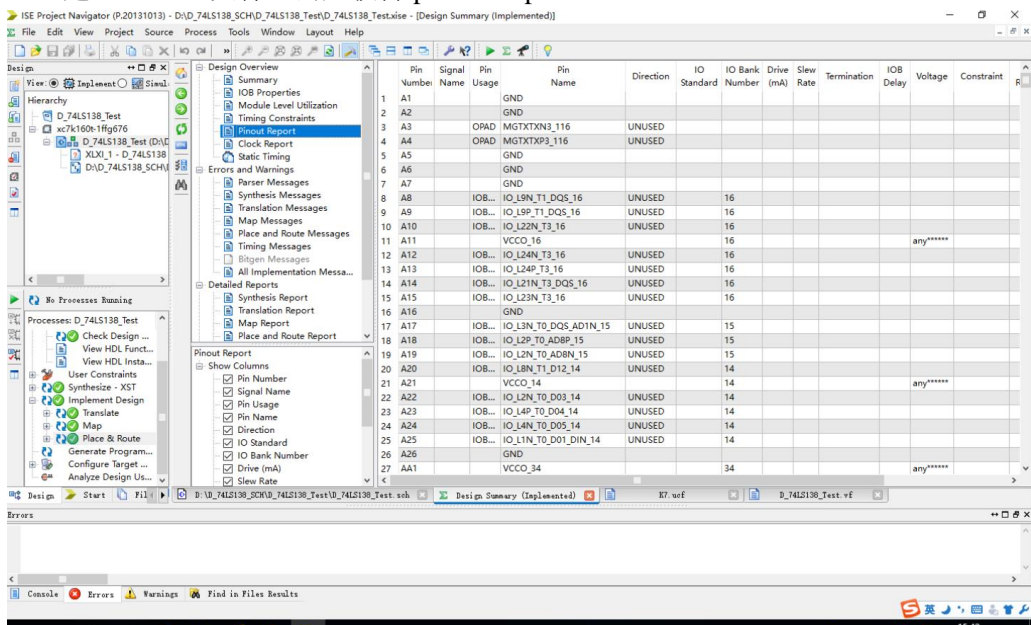
- iv. Create Schematic Symbol, 系统生成 D_74LS138 模块的逻辑符号图文件，文件后缀.sym。符号图位于工程根目录。自动生成的符号可修改：可以用 Tools 菜单的 Symbol Wizard，也可以打开.sym 文件直接修改。在新工程中使用，把.sym 和.sch 复制到对应工程目录
- v. 新建工程 “D_74LS138_Test”。新建 Schematic 文件 “D_74LS138_Test”。复制 D_74LS138.sym 和.sch 到工程目录。在 symbols 框里的第一个元件，就是

D_74LS138。

画出如图所示：



- vi. 在 D_74LS138 模块上点右键，在菜单的 Symbol→Push into Symbol 可以参看模块的原理图。空白处右键菜单里的 Pop to calling Schematic 回到上层模块。
- vii. 建立 K7.ucf 文件，而后获得 pinouts report:



- viii. 最后根据真值表，通过电路板进行模拟成功，符合要求。

iii. 最后进行下载验证，发现符合功能。符合楼道控制灯光功能。

五、讨论与心得

1.本次实验使我更加熟练的进行连线等操作，对 ISE 软件的功能以及使用更深的了解，更加熟练。尤其是经过好多次奇怪的错误以及使用中遇到的问题，都有了相应的解决方法。

2.本次也学会了如何通过一个 MODULE 引入一个已经建立好的元件，并使用，对于课程的了解与理解也更加深入。