

به نام خدا



دانشگاه صنعتی شریف

دانشکده مهندسی برق

الکترونیک ۲

دکتر اکبر

نیم سال دوم ۱۴۰۱-۱۴۰۲

پروژه دوم

۱- مداری با تکنولوژی CMOS طراحی کنید که دارای مشخصات زیر باشد. نیازی به طراحی طبقه خروجی در این قسمت نیست.

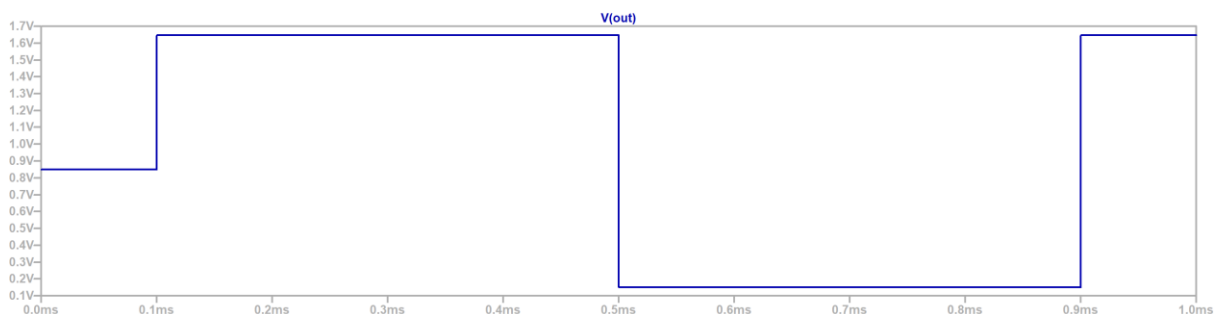
$$V_{DD} = 1.8, V_{SS} = 0V, Gain > 120dB, CMR > 1Vp-p, P_{disp} < 300\mu W, Swing > 1.5Vp-p$$

مشخصات ترانزیستورهای قابل استفاده به صورت زیر است.

$$NMOS \& PMOS : K'_n = 0.25 \frac{mA}{V^2}, K'_p = 0.08 \frac{mA}{V^2}, V_{th} = \pm 0.6, \lambda = 0.2V^{-1}, L_{min} = 0.18\mu$$

(برای علاقمندان) طراحی خود را به گونه‌ای انجام دهید که جریان‌های نقاط کار مستقل از V_{DD} باشد. برای آشنایی با نحوه انجام این کار به کتاب Design of Analog CMOS Integrated Circuits دکتر رضوی بخش ۱۲.۲ مراجعه کنید.

۲- الف) پس از تایید مشخصات تقویت‌کننده ورودی مناسبی به مدار اعمال کنید تا در خروجی به شکلی مشابه شکل زیر برسید.



شکل کلی خروجی باید به صورت بالا باشد و $1.5Vp-p$ باشد. دقت کنید که در هیچ لحظه‌ای نباید ترانزیستورها از ناحیه اشباع خارج شده باشند. برای منابع پالسی که در ورودی استفاده می‌کنید، $rise\ time$ و $fall\ time$ را برابر $1ps$ قرار دهید.

ب) حال خازنی با ظرفیت $100nF$ در خروجی قرار دهید و دوباره شکل موج خروجی را رسم کنید.

ج) از درس مدارهای الکتریکی می‌دانید که در یک مدار RC پاسخ پله ولتاژ به صورت زیر است.

$$V_o = (1 - e^{-\frac{t}{RC}})u(t)$$

با به دست آوردن مقاومت خروجی تقویت‌کننده طراحی شده در بخش قبل شکل موج در حضور خازن را توجیه کنید.

۳- قصد داریم با طراحی طبقه خروجی کاری کنیم که شکل موج خروجی دوباره شبیه به حالت بدون بار شود.

الف) چرا با وجود مثبت بودن سطح ولتاژها همچنان لازم است از ترانزیستور PNP استفاده کرد؟ (راهنمایی: به جهت جریان زمانی که ولتاژ خروجی در حال کاهش است توجه کنید)

ب) یک مدار push-pull طراحی کنید که در آن ولتاژ نقطه کار ورودی و خروجی $0.9V$ باشد و مقاومت خروجی آن به قدری باشد که rise time و fall time کوچکتر از $1\mu s$ باشد. در این قسمت می‌توانید از ترانزیستورهای BJT که در پروژه اول استفاده کردید استفاده کنید. منابع تغذیه را برای طبقه خروجی $\pm 3V$ در نظر بگیرید.

ج) شکل موج خروجی را پس از اتصال طبقه خروجی به تقویت کننده دوباره رسم کنید.

۴- الف) با اعمال فیدبک به مدار کاری کنید که سه سطح ولتاژی که در شکل بالا بود دقیقاً برابر $1.65V, 0.9V, 0.15V$ شوند.

ب) در حضور فیدبک می‌توان جریان نقطه کار طبقه خروجی را کاهش داد بدون این که شکل موج خروجی خراب شود. با کمک خواص فیدبک این پدیده را توجیه کنید.