

۱- وارونگر $CMOS$ با کمینه اندازه ممکن را در نظر بگیرید. بیشینه تأخیر انتشار، متوسط توان مصرفی کل و متوسط توان مصرفی ایستا را برای سناریوهای زیر توسط $HSpice$ محاسبه کنید.

A. ولتاژ منبع تغذیه $1/8$ ولت، فرکانسهای گوناگون ۵۰، ۱۰۰، ۲۰۰ و ۴۰۰ مگاهرتز مطابق با

بستر آزمون الف

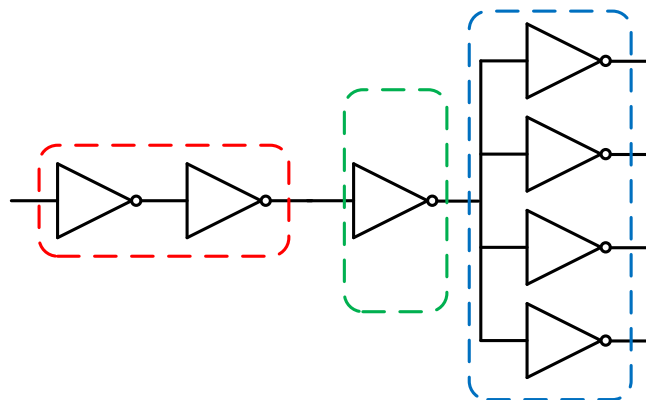
B. ولتاژ منبع تغذیه $1/6$ ، $1/7$ ، $1/8$ ، $1/9$ و ۲ ولت، فرکانس ۲۰۰ مگاهرتز مطابق با بستر آزمون

الف

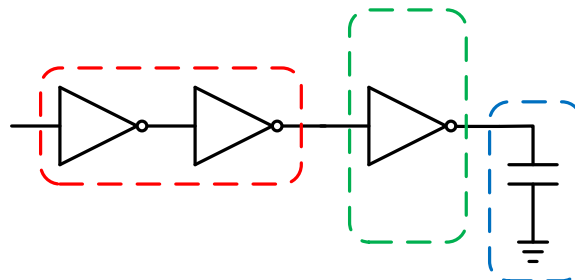
C. ولتاژ منبع تغذیه $1/8$ ، فرکانس ۲۰۰ مگاهرتز و خازن بار ۵۰، ۱۰، ۲۰، ۳۰، ۴۰، ۵۰ فمتو فاراد

مطابق با بستر آزمون ب

۲- بند ۱ آزمایش را برای وارونگر $NMOS$ با بار مقاومتی (با فرض اینکه مقاومت بار ۵۰ کیلو اهم است) تکرار کنید.



تصویر ۱ - بستر آزمون الف



تصویر ۲ - بستر آزمون ب

در تصاویر یک و دو، مدار تحت آزمون (مداری که توان و تأخیرش باید محاسبه شود) با خطچین سبز احاطه شده است. در هر دو بستر آزمون، ورودی تولیدشده توسط *HSpice* پس از عبور از یک بافر (دو وارونگر زنجیره ای) به ورودی مدار تحت آزمون اعمال می‌شود. در بستر آزمون الف، مدار تحت آزمون خازن ورودی گیت چهار وارونگر را درایور می‌کند، درحالی‌که در بستر آزمون ب، خازنی با ظرفیت مشخص را درایو می‌کند.

برای بند ۱ و ۲ به صورت مجزا نتایج قسمت‌های A ، B و C را تحلیل کنید. درنهایت با در نظر گرفتن هر دو بند ۱ و ۲، در مورد مزایا و معایب هر یک از این وارونگرها بحث کنید.