

# 1 Was ist der Frequenzteiler Definition

## 1.1 Definition

Bei Frequenzteiler handelt es sich um Schaltungen, die aus einem Signal mit gegebner Frequenz am Eingang ein gewünschtes Signal mit geringerer Frequenz an den Ausgang weiterleiten. Der Eingangsfrequenz dividiert auf den Ausgangsfrequenz ergibt sich Teiler Verhältnis

$$V = \frac{F_E}{F_T}$$

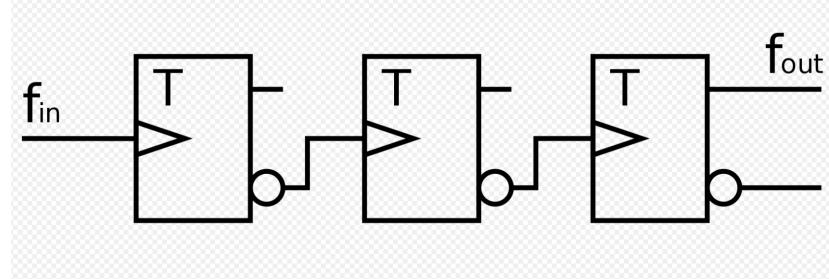


Abbildung 1: 8:1 aus 3 FlipFlops, die steigenden Flanken erfassen

# 2 Anwendung

Digital-elektronisch Frequenzteiler sind weit verbreitet. Sie befinden sich beispielsweise bei: Quarzuhren, Rechnern und der in Taktgeneratoren in den PLLs(Phasen Regel Schleife)

Bei Frequenzteiler muss man zwischen folgenden Typen unterschieden

- Asynchronfrequenzteiler
- Synchronfrequenzteiler

Die Frequenzteiler arbeiten fast immer Asynchron und dadurch ergibt sich ein sehr einfacher Aufbau im Vergleich zur synchron Frequenzteilt. Es gibt aber Synchronfrequenz obwohl sie komplexer beider Aufbau ist, diese Art vom Frequenzteiler genauer.

Die Aufgabe von Frequenzteiler ist die Verringerung einer bestimmten Eingangsfrequenz auf gewünschten Ausgangsfrequenz, d.h. durch Hinter einander Schalten von beliebigen vielen FFs lässt sich eine Vorhandende Frequenz beliebig oft halbieren. So wird Z.B. die Quarzstabile Uhrenfrequenz von 32768 Hz durch 15 Flipflops  $:2^{15} = 32768 \text{ Hz}$  auf die Sekundenanzeige heruntergeteilt.

Frequenzteiler bestehen aus einer beliebigen Anzahl vom hintereinander geschaltete Flipflops, die man durch entsprechende Rucksetzbedienungen beeinflussen kann, sodass man nicht mehr an eine direkt Frequenzhalbierer durch einzelne FFs gebunden ist.

Ein einzelnes Flipflops erzeugt eine Frequenzteilung im Verhalten 2:1 mit zwei FFs kann ein Frequenzteiler für Verhältnis 4:1  $2^2 = 4$  aufgebaut werden.

Die meisten Frequenzteiler haben ein festes ganzzahliges Teilverhältnis. Es gibt Asynchron und Synchrone Frequenzteiler. Sie unterscheiden sich, wie die Dualzähler in linearer zustandsgesteuert und taktgesteuerten Verarbeitung. Grundsätzlich eignet sich jeder Asynchron Dualzähler und jeder Synchrone Dualzähler als Asynchron bzw. Synchrone Frequenzteiler. Dann gibt es noch einstellbare Frequenzteiler, die über zusätzliche Eingänge verfügen. Über die Eingänge wird das Teilverhältnis bestimmt. Man nennt sie Programmierbare Frequenzteiler.

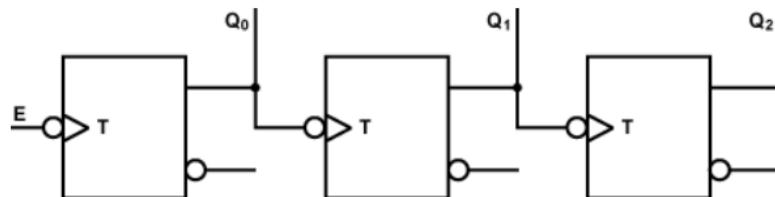


Abbildung 2:

$$2^3 = 8$$

Die Schaltung mit dazugehörigen Zeitablaufdiagramm zeigt einen Asynchron 3-Bit-Dual-Vorwärtszähler mit einem Teilverhältnis von 8:1. Das Eingangssignal(E) wird durch das erste Flipflop durch zwei geteilt( $Q_0$ ) Das Zweite Flipflops teilt das Signal wiederum durch Zwei( $Q_1$ , wodurch ein Teilverhältnis 4:1 entsteht. Das dritte Flipflops teilt das Signal nochmals durch

zwei( $Q_2$ ). Es entsteht ein Teilverhältnis von 8:1. Die PÜperiode das Eingangssignal passt 8 mal in das Augangssignal  $Q_2$ ,

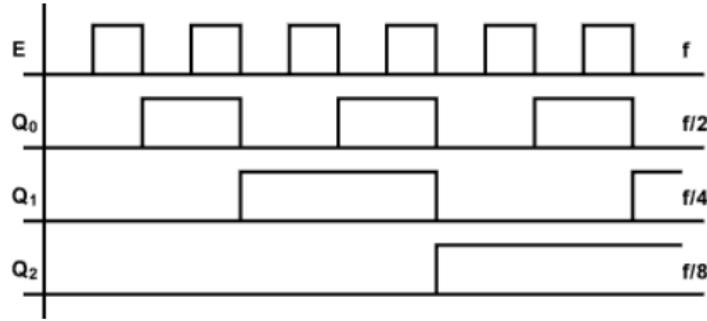


Abbildung 3:

Zur Berechnung des Teilverhältnisses: Mit dieser Formel werden Teilverhältnisse nach der Zweipotenzreihe berechnet ( $2, 4, 8, 16, \dots$ ) will man ein ungerades Teilverhältnis, dann müssen die Rücksetzeingänge der Flipflop beschaltet

$$F_t = \frac{F_E}{2^n}$$

$f_e$  = Eingangs frequenz

$f_t$  = geteilte Frequenz

bzw. n : Anzahl der Flipflops

## 2.1 Sychrone Frequenzteiler

Alle Sychrone getakteten Dualzähler lassen sich als Frequenzteiler mit festen  $2^n$ -Teilverhältnissen nutzen. Mit geeigneten Zusatzschaltungen und durch zum Teil getrennte Ansteuerungen der J-K-Eingänge einzelner Speicher Flipflops sind auch andere Teilverhältnisse entlang der Zählerstufen nicht addieren. Die Synchron Dual- und BCD-Teiler erkären sich aus den Zeitablaufdiagrammen der entsprechenden Zählerschaltungen. Das folgende Bild zeigt 3:1 Synchron-Teiler, links mit JK-MS-FF und rechts mit D-FF aufgebaut. Das Zeitablaufdiagramm des mit D-FF aufgebauten Synchron-Teilers wäre identisch, aber um einen halben Eingangstakt nach rechts verschoben.

Zu Beginn sind die Q-nicht Pegel des SN 74107N High. Der Master des ersten Flipflops wird mit positiver Taktflanke gesetzt und bei fallender Flanke

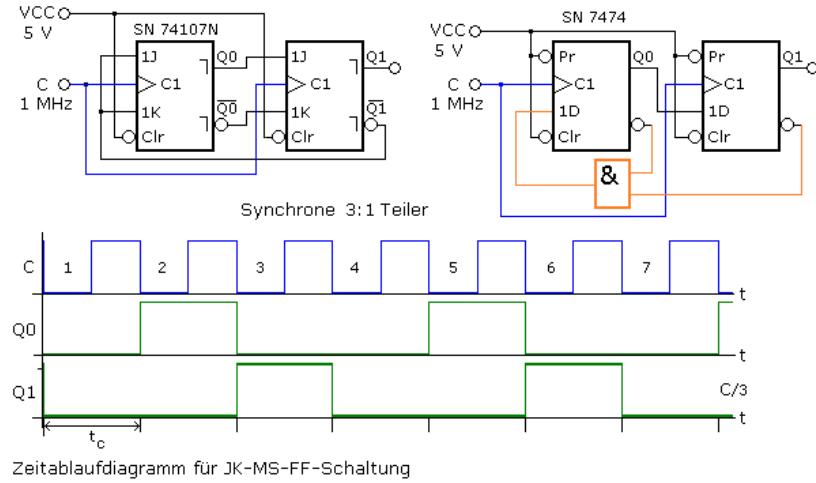


Abbildung 4: Zeitablaufdiagramm für JK-MS-Schaltung

wechselt der  $Q_0$  Pegel auf High. Der zweite Takt setzt  $Q_1$  des zweiten Flipflops auf High und  $Q_1$ -nicht, das Eingangssignal des ersten Flipflops auf Low. Am Ende des dritten Takts wird somit auch das zweite Flipflop zurück gesetzt und ein neuer Zyklus beginnt.

Der mit D-FF aufgebaute Synchrone Teiler wird mit positiver Taktflanke gesteuert. In der Annahme, dass zu Beginn beide Q-nicht Ausgänge High Pegel haben, wird vom UND Gatter bestimmt das erste Flipflop gesetzt. An  $Q_1$  und damit am Eingang des zweiten Flipflops liegt High Pegel, während  $Q_1$ -nicht mit Low Pegel das UND Gatter sperrt. Der zweite Takt setzt mit steigender Flanke  $Q_2$  auf High und  $Q_1$  auf Low. Mit dem dritten Takt wird  $Q_2$  auf Low und  $Q_2$ -nicht auf High gesetzt. Zu Beginn des vierten Takts ist das UND Gatter gesetzt und das erste Flipflop kann erneut kippen. Für den  $Q_1$ -Ausgang beginnt nach dem dritten Takt ein neuer Zyklus. Um einen Takt verschoben ist dieser Zyklus dann auch am  $Q_2$ -Ausgang vorhanden.