

1. Ejemplo de ejercicio de cálculo de latencias en memorias:

Supongamos dos memorias una de 200 MHz y otra 260 MHz de velocidad, teniendo en cuenta que sus latencias respectivas son 2-2-2-5 y 3-2-2-5 (CAS-RAS-PRECHARGE-ACTIVE).

Si la memoria esta formada por tableros de 64 celdas, de 8 filas por 8 columnas, y se van a leer 120 posiciones o celdas consecutivas.

Calcular la latencia total para cada memoria.

SOLUCIÓN:

La velocidad de la memoria se da en MHz que son el número de Hz (pulsos o ciclos de reloj) que se generan en un segundo, tenemos que calcular cuánto tarda en ejecutarse un ciclo (Hz).

Según la regla de tres:

Memoria 200MHz: $200\text{MHz} = 200 \times 10^6 \text{ Hz}$ (o ciclos)

$$\begin{array}{rcl} 200 \times 10^6 \text{ ciclos} & \text{-----} & 1 \text{ Seg} \\ 1 & \text{ciclo} & \text{-----} & X \text{ Seg} \end{array}$$

$1/(200 \times 10^6) = 0,000000005 \text{ s} = 5 \times 10^{-9} \text{ s} = \mathbf{5 \text{ ns}}$ (tiempo que tarda un ciclo de reloj)

Un **nanosegundo** es la milmillonésima parte de un segundo, (10^{-9} s).

Memoria 260MHz: $260\text{MHz} = 260 \times 10^6 \text{ Hz}$ (o ciclos)

$$\begin{array}{rcl} 260 \times 10^6 \text{ ciclos} & \text{-----} & 1 \text{ Seg} \\ 1 & \text{ciclo} & \text{-----} & X \text{ Seg} \end{array}$$

$1 \text{ Hz} = 1/(260 \times 10^6) = 0,0000000038 \text{ s} = 3,8 \times 10^{-9} \text{ s} = \mathbf{3,8 \text{ ns}}$ (tiempo que tarda un ciclo de reloj).

Los datos son almacenados en celdas de memoria individuales, cada uno identificado de manera única por un tablero o banco de memoria, fila y columna. La memoria esta formada por tableros apilados. En el ejemplo nuestro los tableros están formados por 64 celdas divididos en 8 filas x 8 columnas.

Según pudimos ver en la teoría de la Unidad2_MemoriaPrincipal, la **latencia** es el **número de ciclos de reloj que transcurren desde que la petición de datos es enviada hasta que los datos son transmitidos desde el módulo**. Existen los siguientes tipos de latencias:

Latencia **ACTIVE**: latencia producida cuando se envía la señal de activación del tablero.

Latencia **RAS**: latencia producida cuando se envía la señal de indicación de fila.

Latencia **CAS**: latencia producida cuando se envía la señal de indicación de columna o celda.

Latencia **PRECHARGE**: latencia producida cuando se envía la señal de desactivación del tablero activo.

Para la memoria 200 MHz tenemos 2-2-2-5 (CAS-RAS-PRECHARGE-ACTIVE):

CAS 2 ciclos de reloj.

RAS 2 ciclos de reloj.

PRECHARGE 2 ciclos de reloj

ACTIVE: 5 ciclos de reloj.

Para la memoria 260 MHz tenemos 3-2-2-5 (CAS-RAS-PRECHARGE-ACTIVE):

CAS 3 ciclos de reloj.

RAS 2 ciclos de reloj.

PRECHARGE 2 ciclos de reloj

ACTIVE: 5 ciclos de reloj.

Vamos a ver ahora cuantas veces tenemos que referenciar cada cosa para poder leer 120 posiciones o celdas consecutivas:

Si cada tablero tiene 64 celdas y tenemos que leer 120 debemos seleccionar 2 tableros diferentes, es decir 2 x Latencia ACTIVE y también deberemos desactivar estos tableros 2 x latencia PRECHARGE.

Si cada fila tiene 8 celdas debemos referenciar $120/8 = 15$ filas, es decir 15 x latencia RAS.

Si tenemos que leer 120 celdas o posiciones, debemos referenciar 120 celdas diferentes, es decir 120 x latencia CAS.

Los tiempos de latencias para la memoria **200 MHz** son:

El tiempo que dura un ciclo de reloj en esta memoria es **5 ns**, como la latencia es el número de ciclos de reloj que tarda en realizarse, si multiplicamos este por 5 ns tenemos el tiempo de latencia.

ACTIVE: $2 \times (5 \times 5 \text{ ns}) = 50 \text{ ns}$

RAS: $15 \times (2 \times 5 \text{ ns}) = 150 \text{ ns}$
CAS: $120 \times (2 \times 5 \text{ ns}) = 1200 \text{ ns}$
PRECHARGE: $2 \times (2 \times 5 \text{ ns}) = 20 \text{ ns}$

Total tiempo latencia memoria 200 MHz:

Suma de latencias ACTIVE + RAS + CAS + PRECHARGE = 50 + 150 + 1200 + 20 = 1420 ns

Los tiempos de latencias para la memoria **260 MHz** son:

El tiempo que dura un ciclo de reloj en esta memoria es **3,8 ns**, como la latencia es el número de ciclos de reloj que tarda en realizarse, si multiplicamos este por 3,8 ns tenemos el tiempo de latencia.

ACTIVE: $2 \times (5 \times 3,8 \text{ ns}) = 38 \text{ ns}$
RAS: $15 \times (2 \times 3,8 \text{ ns}) = 114 \text{ ns}$
CAS: $120 \times (3 \times 3,8 \text{ ns}) = 1368 \text{ ns}$
PRECHARGE: $2 \times (2 \times 3,8 \text{ ns}) = 15,2 \text{ ns}$

Total tiempo latencia memoria 260 MHz:

Suma de latencias ACTIVE + RAS + CAS + PRECHARGE = 38 + 114 + 1368 + 15,2 = 1535,2 ns

2. Ejemplo nomenclatura memorias DDR.

Dada una memoria DDR200 dar su velocidad física y su nomenclatura PCXXXXX.

SOLUCIÓN:

Según pudimos ver en la teoría de la Unidad2_MemoriaPrincipal:

Existen memorias que utilizan todo el ciclo para realizar una operación de lectura o escritura, y otras utilizan uno de los flancos, pudiéndose utilizar el segundo para realizar una nueva operación. Las memorias DDR utiliza estos dos flancos para la realización de sus operaciones, pudiéndose en un solo ciclo de reloj realizar dos operaciones, llamándose su velocidad 'Velocidad efectiva' o 'MHz efectivos'. La velocidad efectiva es el doble de la velocidad física, ya que por cada ciclo se realizan dos operaciones.

La Velocidad física sería entonces $200 / 2 = 100\text{MHz}$

En la teoría de la unidad podemos encontrar también que las memorias DDR se denominan con la nomenclatura "**DDR**" + **número** (es la velocidad efectiva), aunque a veces nos podemos encontrar la nomenclatura **PC** + **(ancho de banda)**, por ejemplo PC3200 para las DDR400.

El ancho de banda de memoria máximo teórico es generalmente calculado por la multiplicación del ancho del bus de datos por la frecuencia con la que transfiere datos.

También sabemos que el **bus de datos de las memorias DDR es de 64 bits**, es decir 8 bytes.

En este caso el ancho de banda es:

$$8 \text{ Bytes} \times 200 \text{ MHz} = 1600 \text{ MB/s}$$

La nomenclatura PCXXXXX sería entonces PC1600