

ciao

riciao, ririciao

March 18, 2021

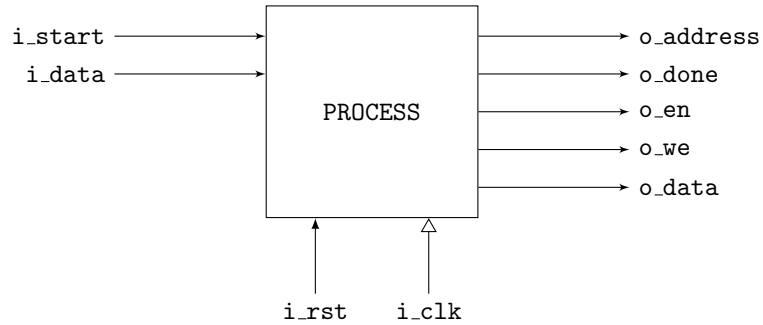
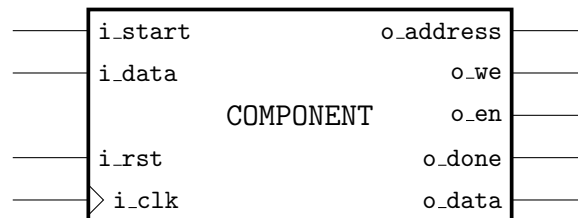


Figure 1: schema del componente realizzato



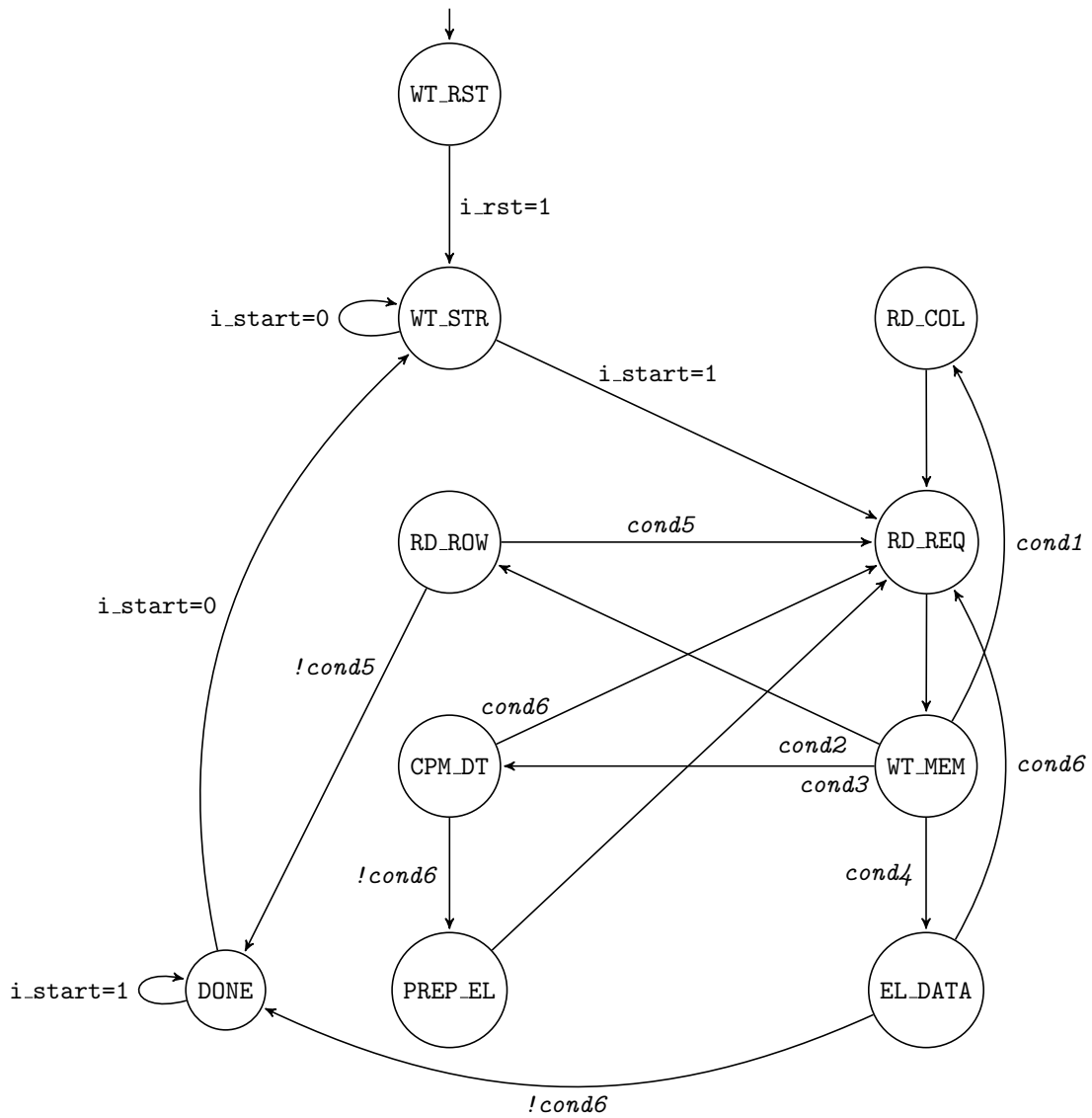


Figure 2: Diagramma degli stati della macchina a stati finiti utilizzata

Le condizioni utilizzate nel processo sono le seguenti:

<i>cond1</i>	$count = 0$
<i>cond2</i>	$count = 1$
<i>cond3</i>	$shift\_level = 3$ (non ancora calcolato)
<i>cond4</i>	$!cond1 \ \&\& \ !cond2 \ \&\& \ !cond3$
<i>cond5</i>	$n\_col \cdot n\_row > 0$
<i>cond6</i>	$count \leq n\_col \cdot n\_row + 2$

Si ricorda inoltre, che per ogni stato dell'FSM è presente un arco uscente implicito diretto verso lo stato WT\_STR, che simboleggia la possibilità di interrompere in qualsiasi momento l'elaborazione dell'immagine corrente, tramite un segnale  $i\_rst = 1$

Table 1: Esempio

(a) Contenuto della memoria				(b) Immagine sorgente		(c) Immagine equalizzata	
addr.	data	addr.	data				
0	14	0	14				
1	12	1	12				
2	13	2	13				
3	7	3	7				
4	13	4	13				
5	13	5	13				
6	7	6	7				
7	13	7	13				
8	13	8	13				
9	14	9	14				
10	12	10	12				
12	13	12	13				
13	7	13	7				
14	13	14	13				
15	13	15	13				
16	7	16	7				
17	13	17	13				

ciao sono un testo