

Progetto di Reti Logiche 2020/21

Prof. Palermo Gianluca

Shalby Hazem Hesham Yousef (Codice Persona: 10596243, Matricola: 910871)
Perego Niccolò (Codice Persona: 10628782, Matricola: 895468)

1 Aprile 2021



POLITECNICO
MILANO 1863

1 Requisiti di progetto

1.1 Descrizione del problema

Si vuole realizzare un componente in grado di svolgere una versione semplificata del processo di equalizzazione dell'istogramma di un'immagine, ossia di ricalibrare il contrasto di quest'ultima, effettuando una ridistribuzione dei valori di intensità pixel per pixel.

Le immagini di cui è richiesta la manipolazione sono definite in scala di grigi a 256 livelli e hanno una dimensione massima di 128x128 pixel.

1.2 Interfaccia del componente

Il componente realizzato ha un'interfaccia così definita:

In particolare:

- `i_clk` è il segnale di CLOCK in ingresso generato dal TestBench;
- `i_rst` è il segnale di RESET che inizializza la macchina, predisponendola alla ricezione del segnale di START. Può essere anche asincrono;
- `i_start` è il segnale di START generato dal Test Bench;
- `i_data` è il segnale (vettore) che arriva dalla memoria in seguito a una richiesta di lettura;
- `o_address` è il segnale (vettore) di uscita che manda l'indirizzo alla memoria;
- `o_done` è il segnale di uscita che comunica la fine dell'elaborazione e il dato di uscita scritto in memoria;
- `o_en` è il segnale di ENABLE da mandare alla memoria per poter comunicare (sia in lettura che in scrittura);
- `o_we` è il segnale di WRITE ENABLE da mandare alla memoria per comunicare quale operazione si vuole svolgere su di essa. Può assumere valori 0 e 1, rispettivamente per lettura e scrittura;
- `o_data` è il segnale (vettore) di uscita dal componente verso la memoria.

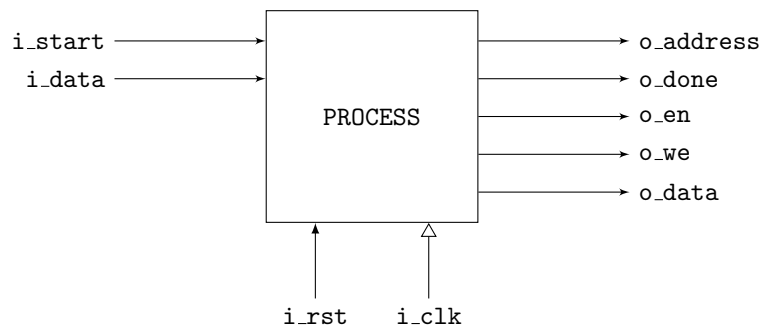


Figure 1: Schema del componente realizzato.