# 预备知识

## 信号完整性理论基础

可以参考《信号完整性揭秘-于博士SI设计手记》，主要要有传输线理论的概念，知道串扰和反射的现象及原因，理解线宽、铜箔厚度、介质厚度、介电常数对传输线阻抗的影响即可。 以上这些概念和Altium designer画板直接相关的，此外还需了解电源完整性概念。

## Altium designer软件基础

### 原理图绘制

会画就行，可以自己画封装，也可以白嫖立创EDA封装，要会编译和排查问题。

### PCB绘制

基本上，同原理图部分。

以下是画高速板额外要求的点：

#### 类设置（菜单栏 设计->类/Design->Class）

以DDR1为例，DATA[0..7]、DATA[8...15]以及其他线为同组需要同层，且需要等长，为方便后续规则设置，需要对这些走线进行分类，如下图所示

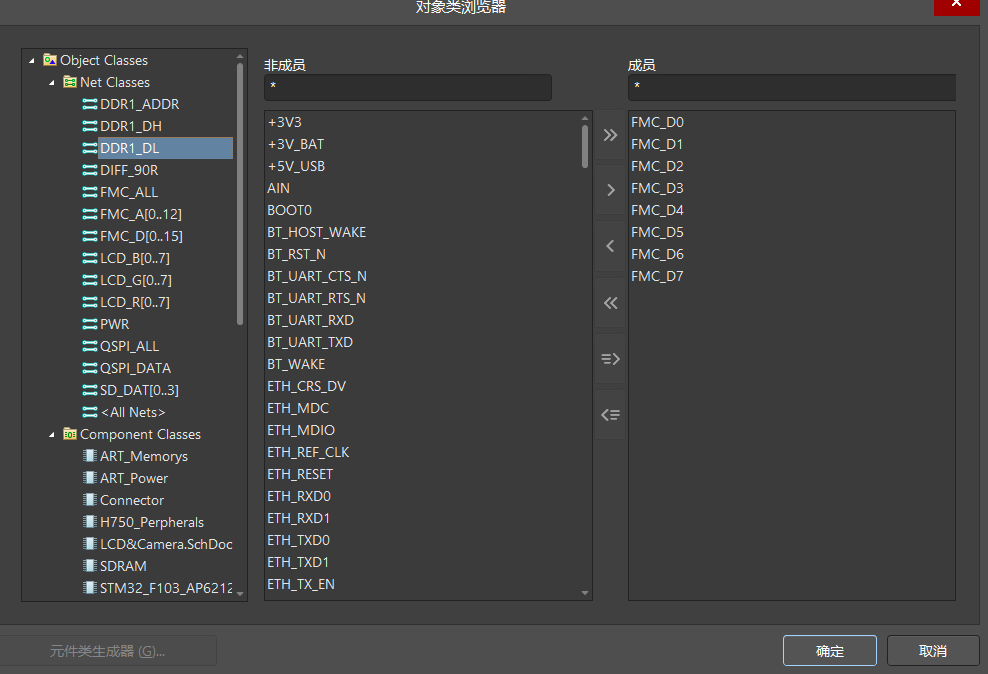


图 1‑1 AD类设置

#### PCB规则设置（菜单栏 设计->规则/Design->Rule）

要会设置安全间距（Clearance）、线宽（Width）、焊盘大小（Routing Via Style）、差分对（Differential Pairs Routing）、等长（High Speed->Matched lengths）等。这些规则直接作用于阻抗和传输线延时的控制，注意需要在匹配对象中选择要应用规则的对象，优先级高的规则在上面。

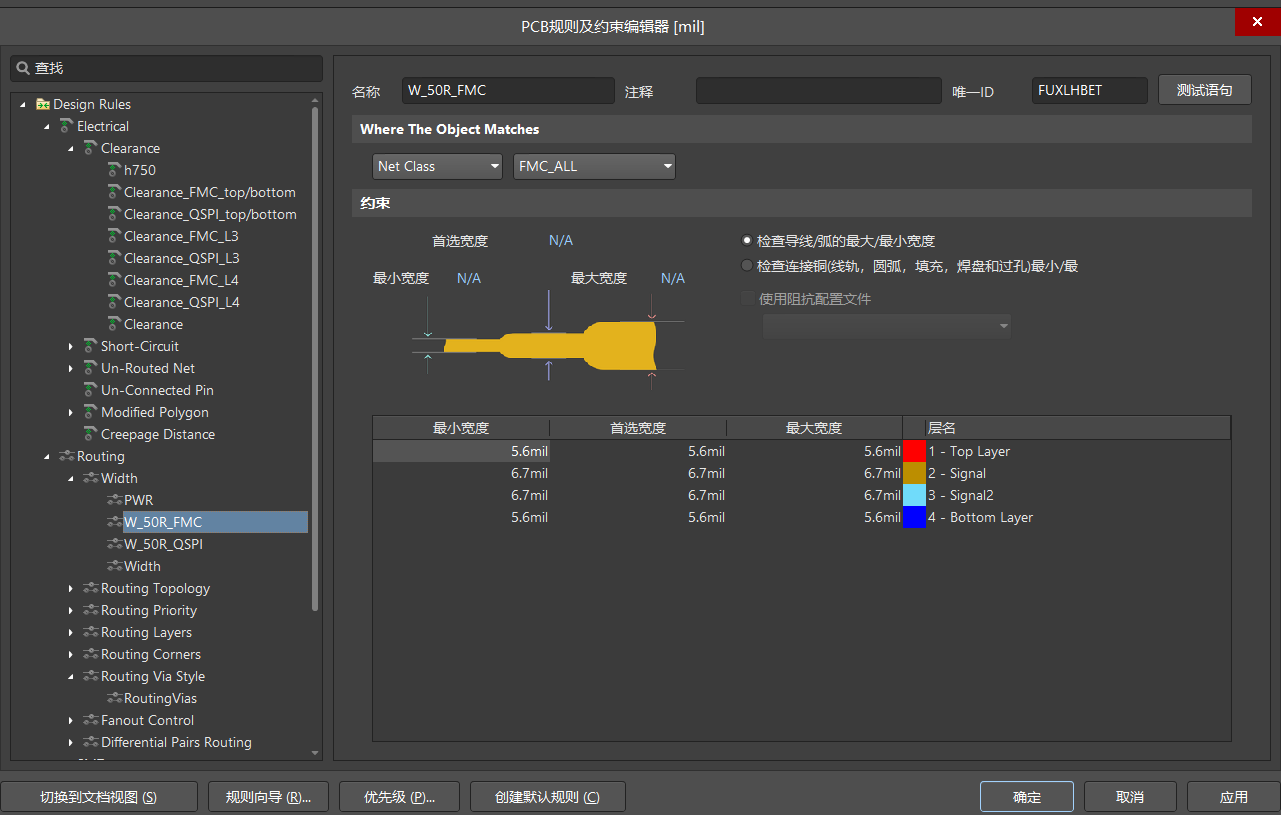


图 1‑2 规则

#### room的使用（菜单栏 设计->Room）

BGA等封装内走线时没法满足3W（线到线的中心距离至少要三倍线宽）原则，需要单独进行规则设定，此时就需要放一个room框住对应芯片封装，进行规则的单独设置，如下图对ROOM内安全间距进行了重新设定：

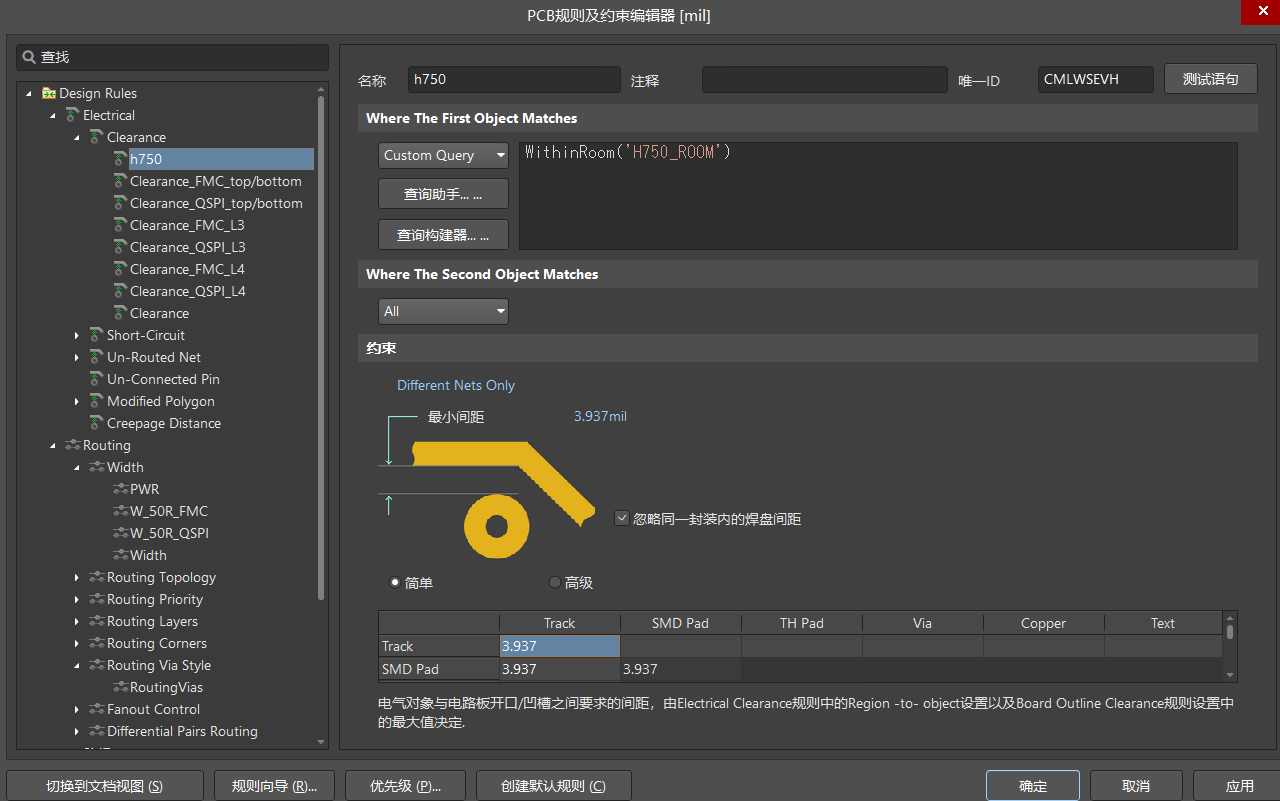


图 1‑3 ROOM规则

如上所示，匹配对象中选择Custom Query，语法填WithinRoom(‘room名’)。

#### 选择过滤器、PCB、属性面板等的使用

打开看一看、试一试就会了，不会可以找找AD教程。

#### 差分线对绘制、等长调整工具

# 高速板绘制

## 原理图设计和PCB布局

该阶段大体上和普通PCB设计相去不大，只介绍区别。

### 原理图设计

除了基础的原理图电路设计之外，在设计阶段应划分为普通部分和需要信号完整性的部分，如SDRAM、DDR设备、USB这些需要差分、等长的器件，在原理图设计阶段应当放置相关说明，如下图所示：

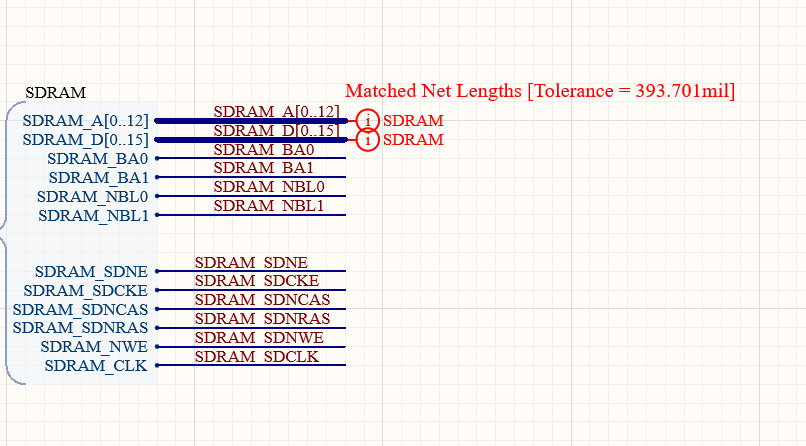


图 2‑1 等长提醒

可以在菜单栏 放置->指示中找到参数设置、差分对等，注意差分对网络最好为\_P和\_N结尾（避免后续手动在PCB中设置的麻烦）

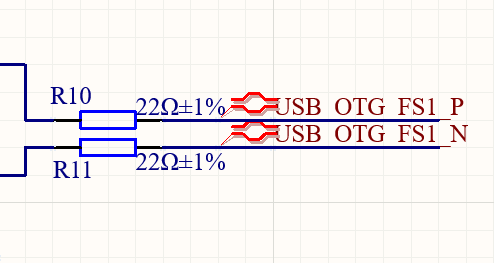


图 2‑2 差分对

### PCB布局

注意模块化布局，一个模块应尽量在同一个区域，并且在不影响功能的前提下，改动MCU接口，以使和MCU的连接尽可能集中在一小块区域而不影响到后续其它模块的布线。

## 布线（重点）

布线是高速PCB设计与普通PCB设计不同的地方，是设计的重点和难点。低速PCB layout时，很多人喜欢布局完成后直接拉线，规则设置、DRC等很少会有关注，布线时也很随意，只需要考虑连通即可。从低速PCB layout转到高速PCB layout时，可能会带上一些不好的习惯。其实，**高速PCB layout在布线之前需要做好充足的准备，匆匆忙忙直接开始布线和拉等长，即使拉出来了，要么就是实际工艺上无法生产，要么就是设计上存在很多缺陷和隐患，最后又得倒回重新开始布线**。布线的正确性和优化，是全阶段都需要考虑的，而不是仅仅在拉等长线时才考虑。从一开始就带着全局的意识去布线，是高速PCB布线的基本要求。这一部分的层叠、阻抗、规则设置应认真对待，在布线开始前应做好这方面的准备，未雨绸缪总胜于亡羊补牢。

一些常用设计规则：

* 3W规则
* 20H规则（电源层内缩）
* 根据叠层计算阻抗，信号层的参考面必须完整，若信号层相邻信号层，要注意避免平行走线；若以电源平面为参考面，要注意避免跨电源分割，实在跨分割了在两个分割面间接入100nF以内的缝补电容。

### 工艺、层压选择和层叠设计

#### PCB构成

总的来说，PCB包含 阻焊层、铜箔层、PP/CORE介质层。

（1）铜箔层：我们PCB绘制时的走线就位于铜箔层，每个走线层都需要有一个相邻的完整铜箔层作为参考（信号回流，一般整个铜箔面接GND或者PWR）。

（2）阻焊层：板子最外层那层绿色的油，也有一定的厚度和介电常数会影响表层的微带线。

（3）PP/CORE介质层：具备厚度和介电常数属性，至于PP和CORE的区别，可以阅读PCB制造工艺的资料，简单来说CORE芯板就是一块板两面贴着铜箔，而PP可以理解为就是胶水，它把新的铜箔粘在CORE上，同时起介质作用。因此，一般来说CORE会比PP较厚。

因为PCB以上几个层的参数会直接影响到阻抗，而阻抗的主要影响因素有4点，线宽、铜箔厚度、介质厚度和介电常数，后三者在此确定，再经过之后的阻抗计算，走线线宽、间距就可以确定了。

#### 层叠设计

层叠设计，包括层数的选择和各层的定义，4/6/8层甚至更多层数的板，对于固定层数的板来说，各层的定义是有固定的模板的，各有优劣。设计时基本是信号层-参考面-信号层-参考面这种交错的方式，以保证每层信号层都有一个完整参考面方便阻抗设计，参考面可用于GND或者PWR。

4层常用叠层：S1-GND-PWR-S2和GND-S1-S2-PWR，前者有最佳SI性能，后者有最佳EMI性能。

6层常用叠层：S1-GND-S2-PWR-GND-S3（优选）、S1-GND-S2-S3-PWR-S4（假八层，省成本专用，SI问题很难控制）等（比较多就不列了，一搜一大把）。

叠层设计细节可以通过视频<https://www.bilibili.com/video/BV12v411t7n3>来学习。

#### 层压选择

层叠设计确定完成后，有了确定的层数和信号、参考层分布，理论上本来是可以直接开始进行阻抗计算出线宽线距了，但由于PCB厂家工艺的问题，PP/CORE层厚度、铜箔厚度等并不是我们自由选定的，需要配合厂家工艺去进行设计，所以还需要参考PCB厂家给的参数进行PCB层压的设计，以厂家所给参数或者建议进行线宽计算。

立创PCB层压结构参考：<http://club.szlcsc.com/article/details_11533_1.html>

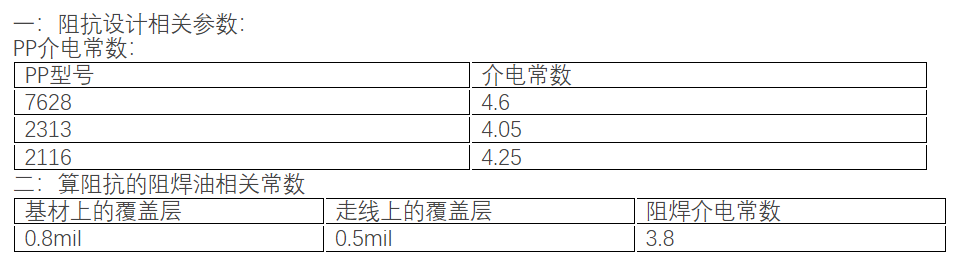


图 2‑3 立创PCB参数

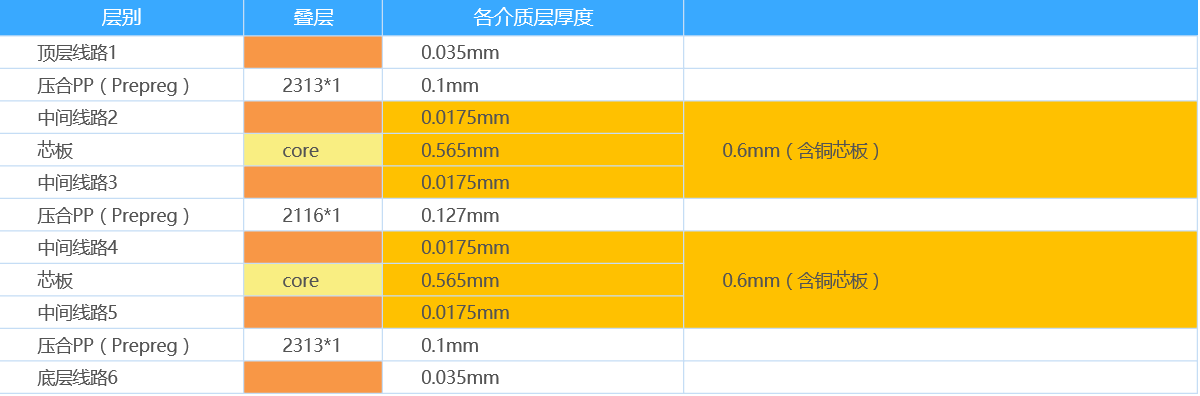


图 2‑4 立创PCB 1.6mm板厚6层板层压结构

华秋PCB层压结构参考：<https://www.hqpcb.com/quote/pressing>

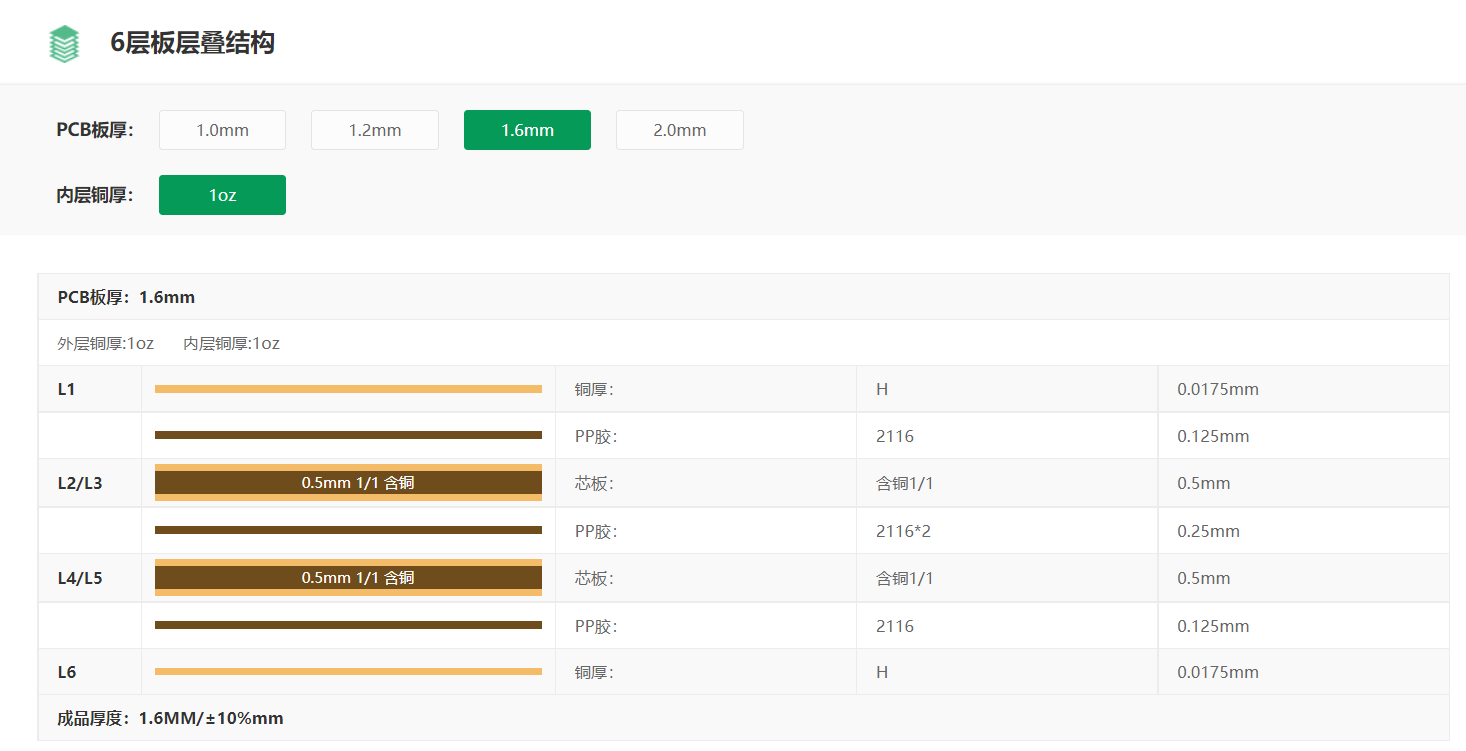


图 2‑5 华秋PCB 1.6mm板厚6层板层压结构

有些厂家，像华秋PCB会直接给出线宽建议，这个时候可以以他们的建议为准进行设计，因为再怎么自己进行阻抗计算，最终的阻抗匹配都需要厂家帮助进行调整。

### 阻抗计算

需要控制阻抗的线有两类，单端线和差分线，单端阻抗通常设计为50欧姆，差分通常为100欧姆，但USB差分线为90欧姆。

一般使用SI9000软件，选择模型输入参数进行计算即可，通常使用覆油微带线、带状线，与单端或者差分组合起来共有4个常用模型：单端覆油微带线、单端带状线、差分对覆油微带线、差分对覆油带状线。

如图 2‑6，是我在立创PCB6层JLC2313层压结构给定参数下计算的单端50R阻抗。左边三个红圈框出模型选择和计算页面，中间的红圈框出的是厂家会给的参数，我们填入即可，其中

H1：第一层铜箔下面介质层的厚度

Er1：第一层铜箔下面介质层的介电常数

T1：铜箔厚度，1oz对应1.4mil

C1：基材上（介质层上，也就是第一层没走线的部分）涂抹阻焊的厚度

C2：线路上阻焊的厚度

CEr：阻焊的介电常数

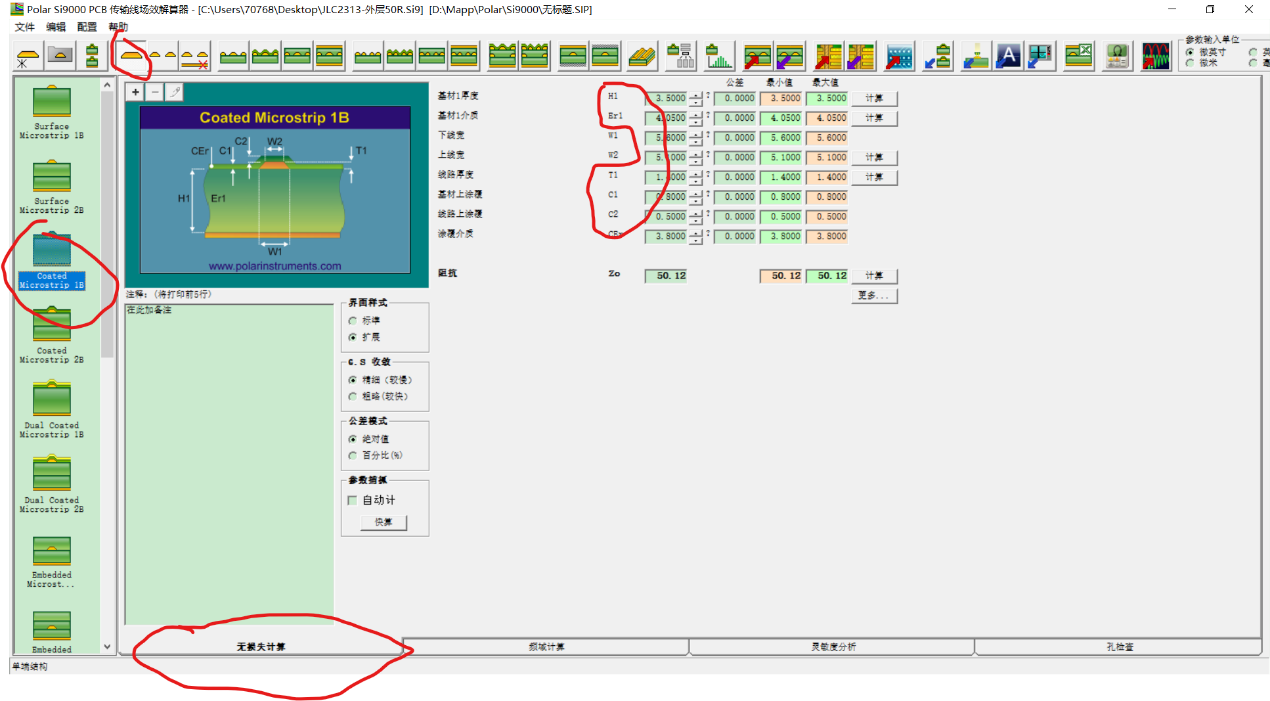


图 2‑6 SI9000计算单端覆油微带线-50R

有了以上厂家给定的参数，剩下的只需要填入上线宽和下线宽即可，不相等是因为实际上走线是梯形状的，下线宽对应我们AD里面的设置，上线宽，对于立创PCB来说，是下线宽-0.5mil，其实填入相等的问题也不大，我们的目的就是一直调整W1和W2使计算出来的阻抗满足设计要求，一般阻抗容忍误差都在±10%。

如图 2‑7，是我在同样立创PCB层压结构下计算的内层50R信号线线宽。

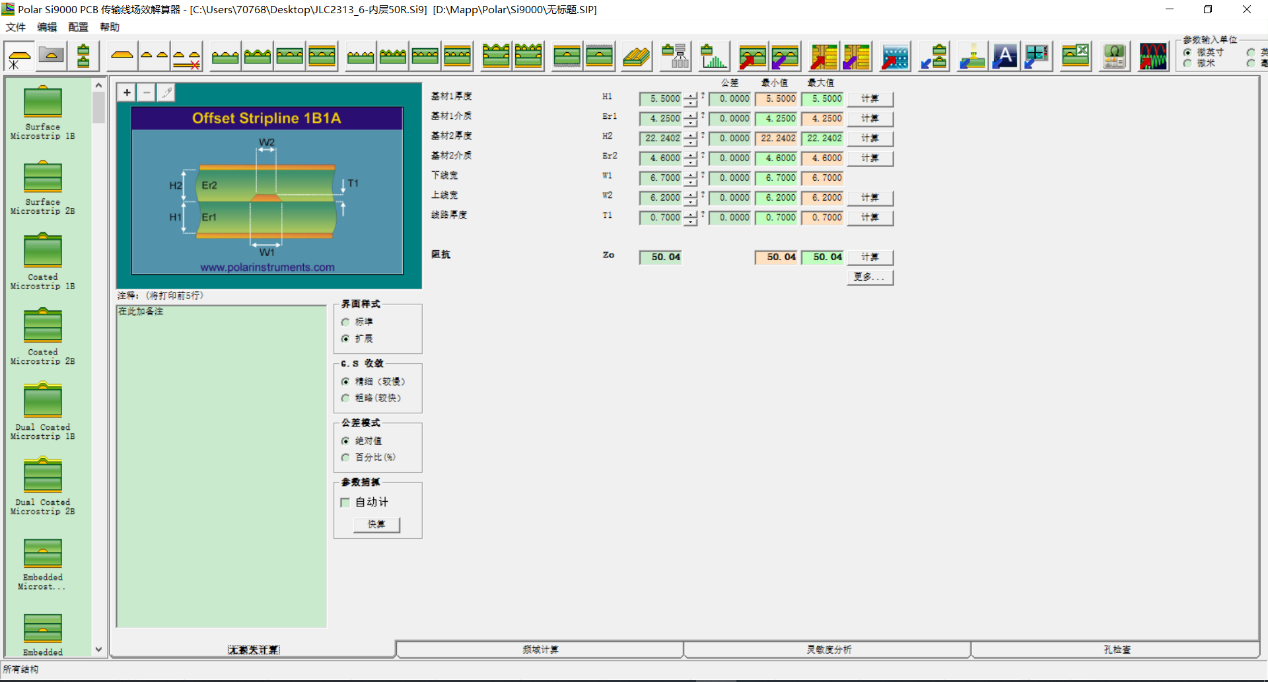


图 2‑7 SI9000计算单端带状线-50R

### AD PCB设置层叠

在Altium designer打开pcb文件的状态下，选择菜单栏 设计->层叠管理器（快捷键DK），如图 2‑8，需要添加层的时候，右键已有的层在其上/下插入层即可，其中Signal就是AD中通常的层，plane代表一整个参考面，是负片的形式（默认全敷铜，只能进行区域分割，不能走线）。由于最终厚度之类由厂家决定，AD中的设置无效，我们只需要在这里设置层数和电源层内缩即可（20H原则），不懂也没关系，一般设置电源层Pullback distance为20mil即可。（没有这一栏可以在表格标题栏上右键调出来）



图 2‑8 AD层叠管理器

### 工程设置

#### 开启在线DRC

打开线宽、线距、差分线对、长度匹配等的在线DRC检测功能，实时检测layout是否满足设定规则，如图 2‑9和图 2‑10。

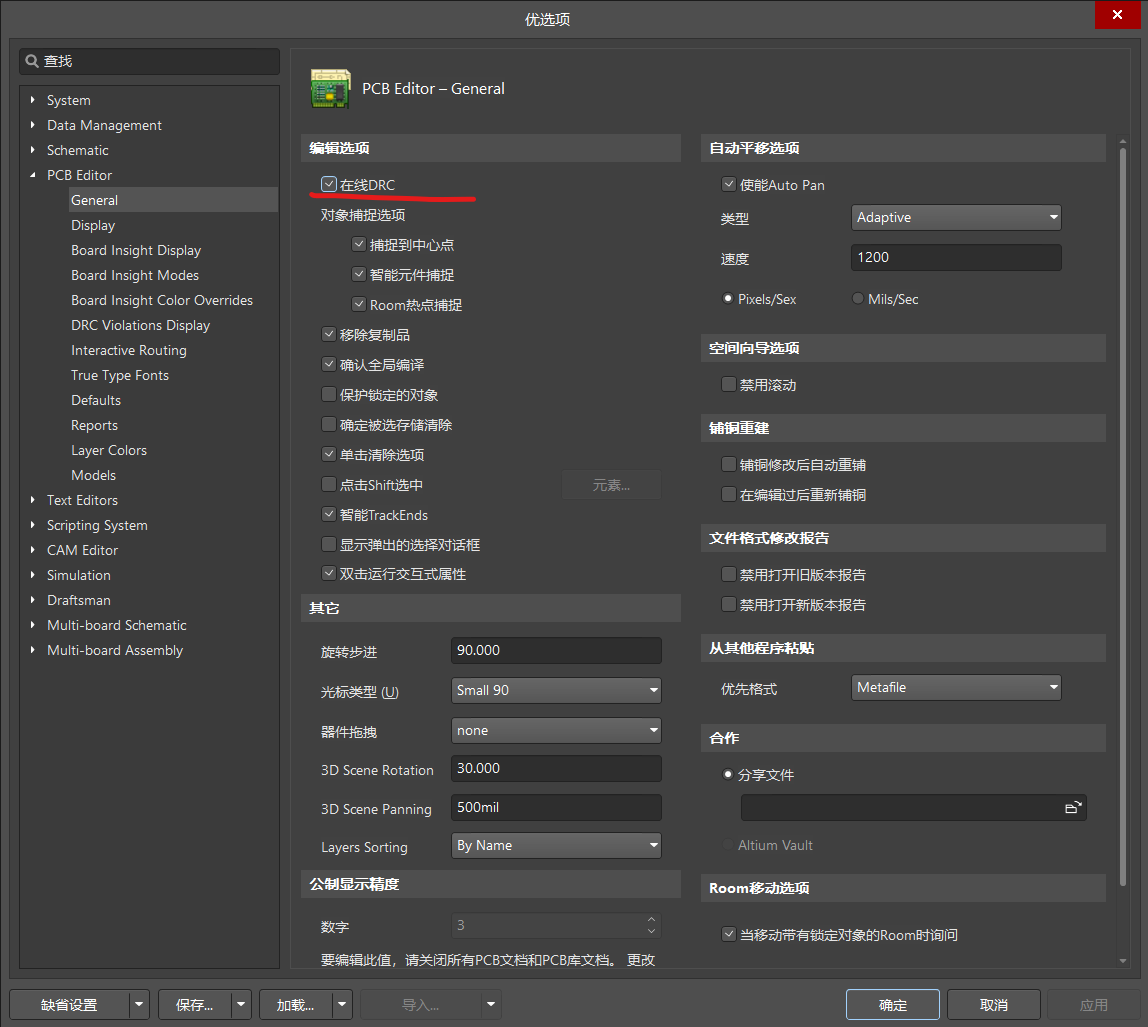


图 2‑9 优选项设置中的在线DRC

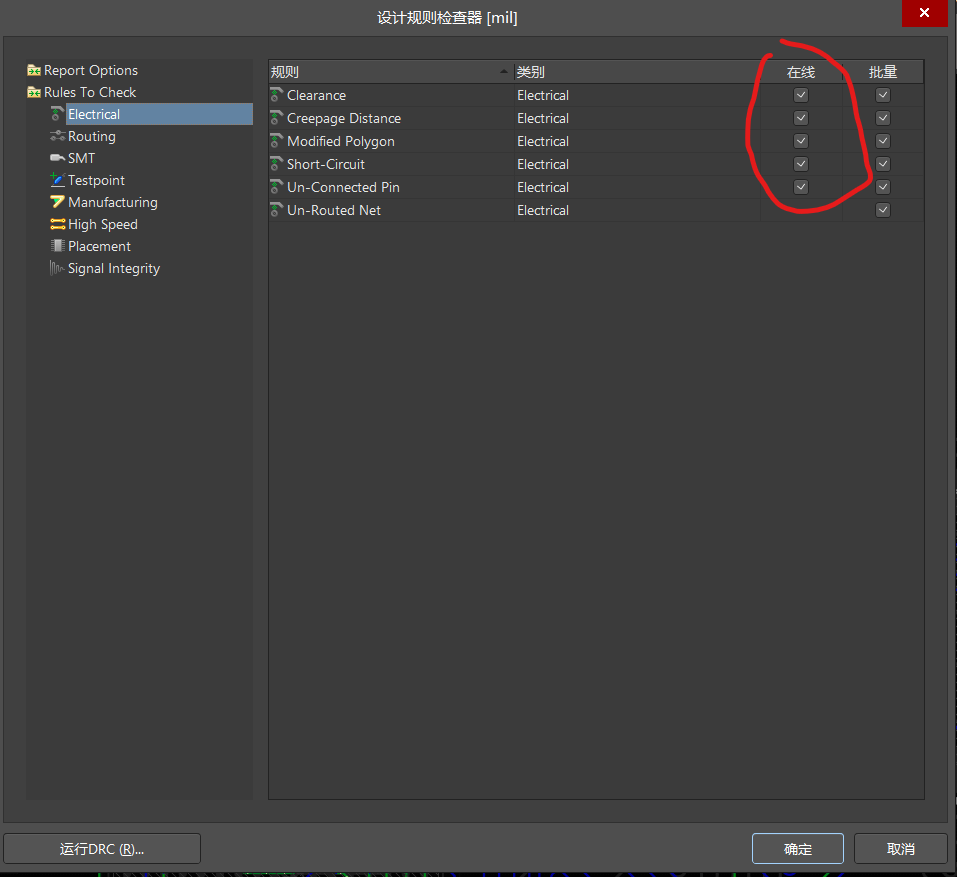


图 2‑10 DRC细则中的在线DRC开启

#### 关闭推挤布线模式

推挤布线容易在你没发觉的情况下推挤掉已经布好的差分线等，引起问题，选择使用忽略布线障碍模式，由自己解决问题会比较好，也比较方便画等长时的阻碍线。如图 2‑11。

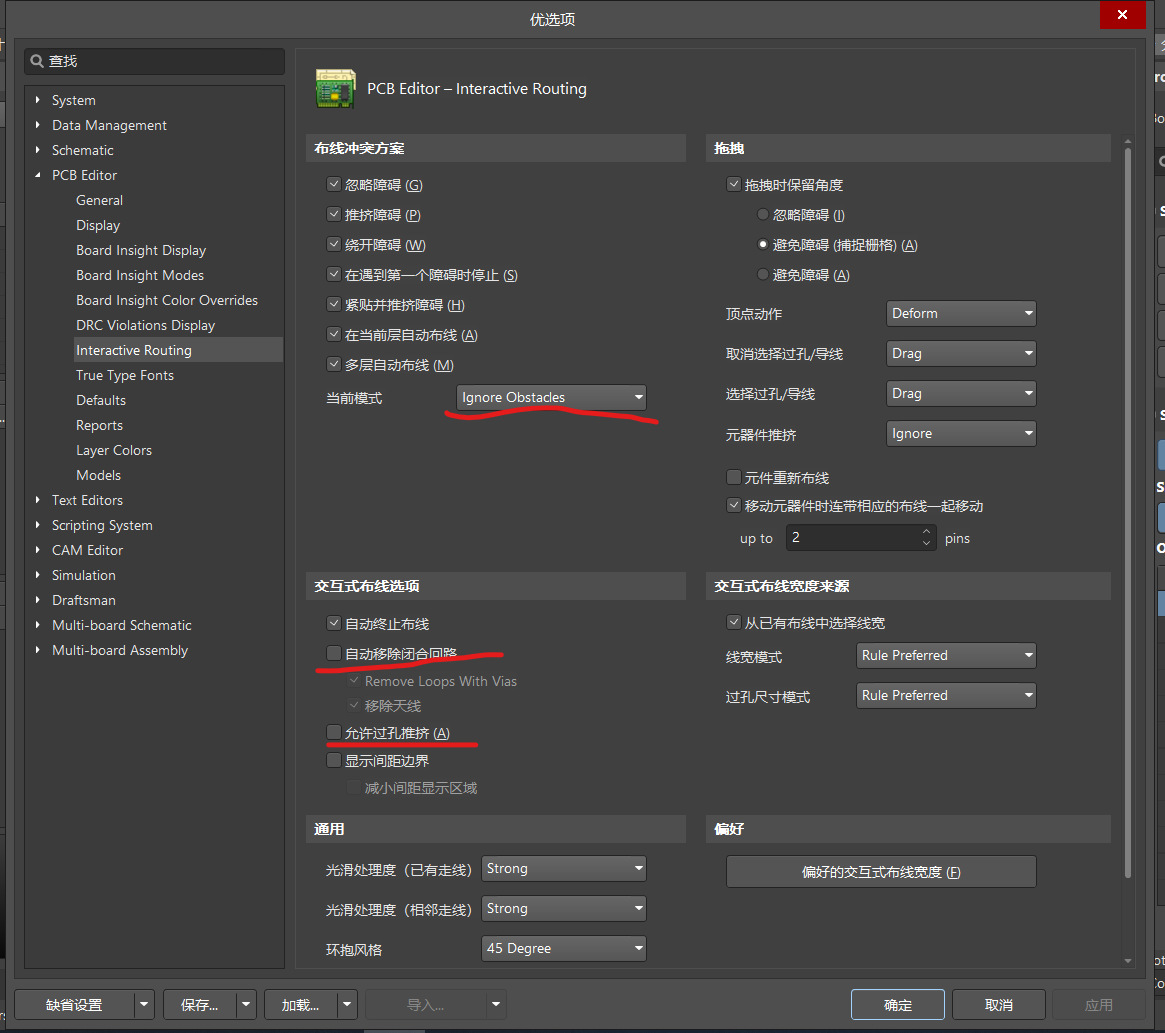


图 2‑11 不使用推挤布线模式

### 类、规则设置

#### 类设置

之前我已经计算过50R的单端线阻抗，SDRAM连线要求就是50R的阻抗匹配，所以这里我先设置了SDRAM走线的类，如图 2‑12，我把SDRAM连线分为三类：DATA高八位、DATA第八位、以及剩下的线归位ADDR类，此外还有一个FMC\_ALL包含了这些所有连线（方便全部连线等长规则）。

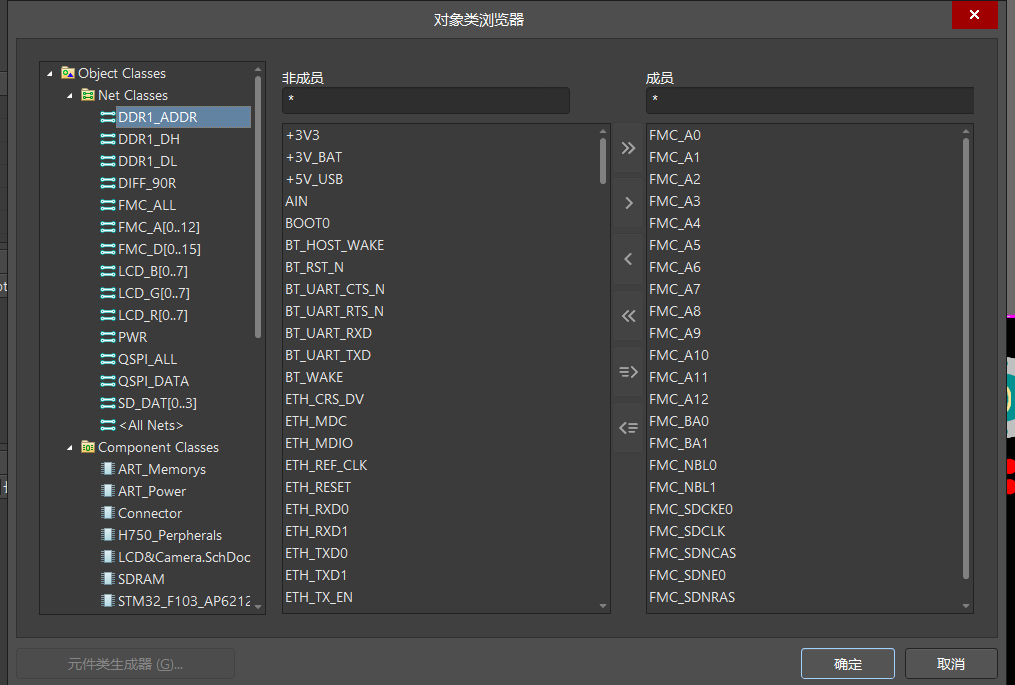


图 2‑12 类设置

#### 单端线线宽设置

如图2-10，我将之前计算阻抗时得到的线宽填入宽度规则，并应用于FMC\_ALL类，注意微带线（TOP/BOTTOM）和带状线（S1/S2）的线宽不同。

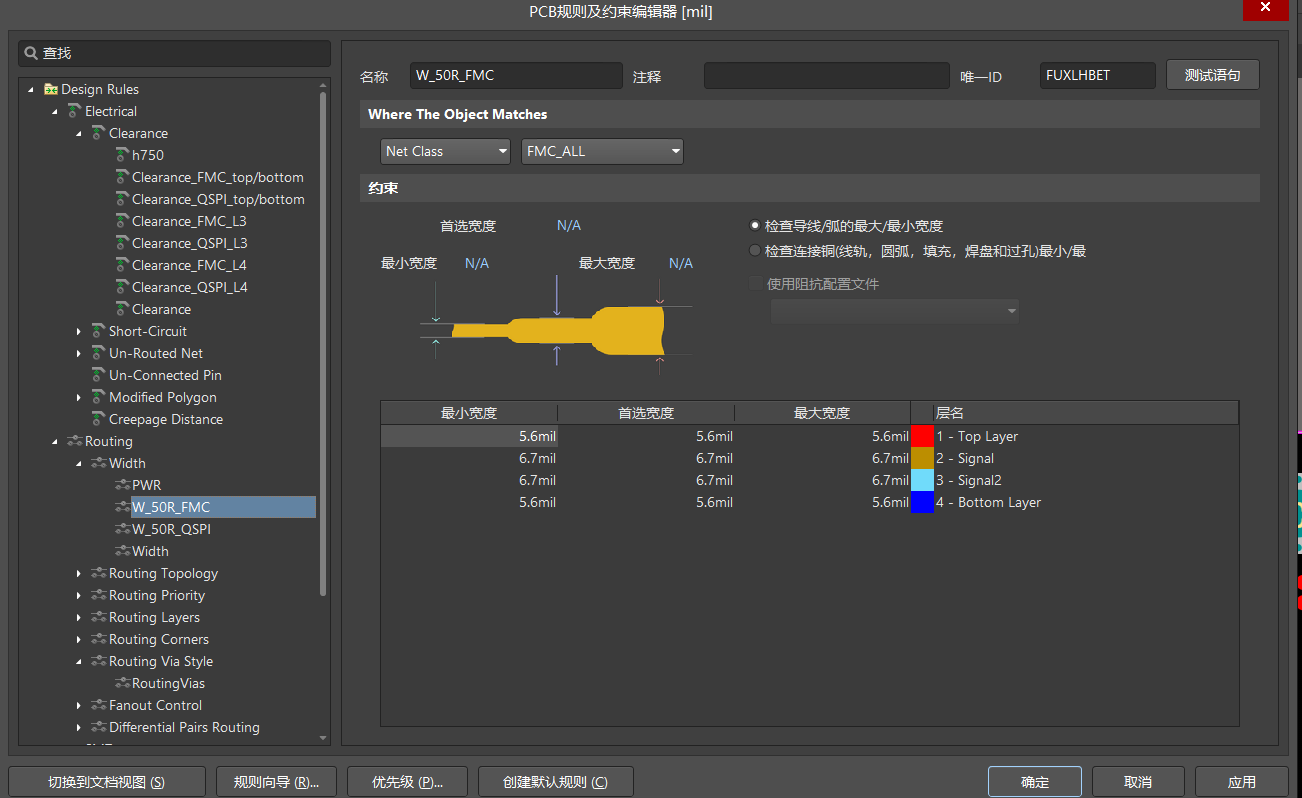


图 2‑13 宽度规则设置

#### 单端线安全间距设置

满足3W原则，针对TOP/BOTTOM，S1/S2不同的线宽我设置了不同的规则，如图 2‑14是对TOP层进行的设置，因为线宽为5.6，安全间距设置为5.6\*2=11.2（安全间距AD中指的是线边距离，和中心距3W等效）。注意图中红线划出部分，不能选Any Net。

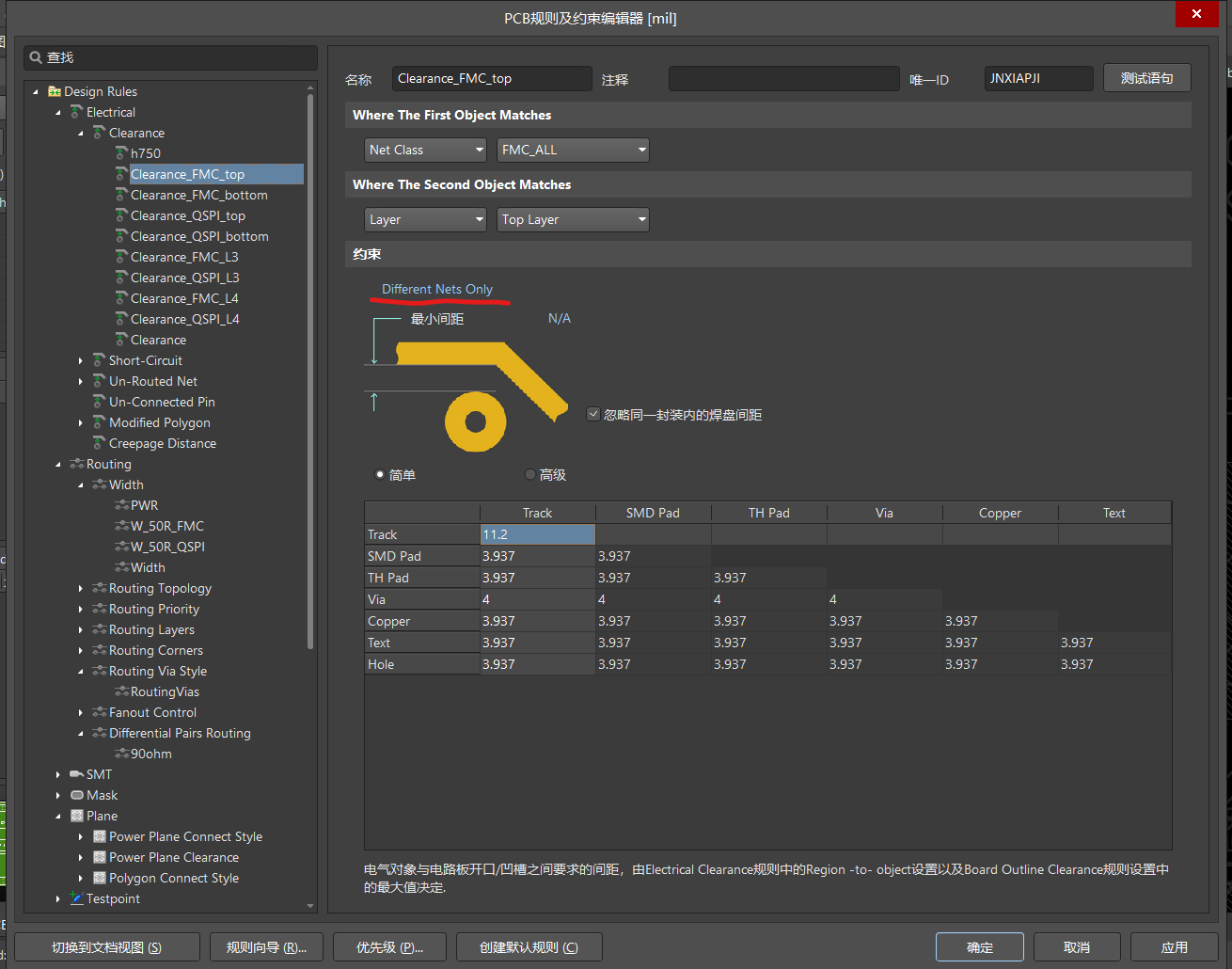


图 2‑14 安全间距规则设置

#### 差分线对设置

将之前在SI9000选择模型后计算的差分线参数输入进AD进行规则设置，如图 2‑15，其中S1S2层不走差分线，所以我随意设置了1mil，宽度5.9mil和间距8.4mil是计算出来的参数，填入。

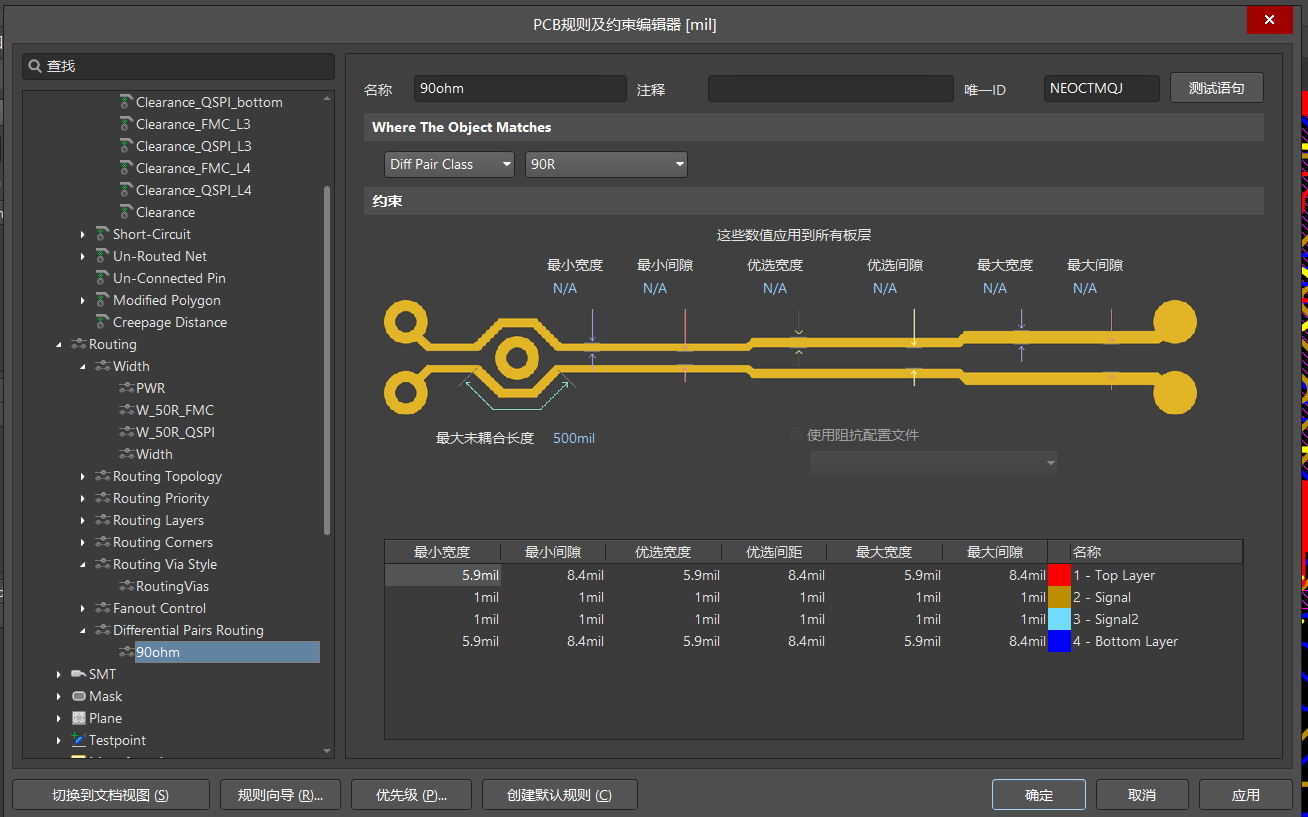


图 2‑15 差分对规则设置

#### 差分线安全间距设置

由于差分线的线宽、间距两者一起决定差分线的阻抗，而差分线有紧耦合和松耦合两种形式，差分线之间不需要满足3W规则，故在Clearance安全间距规则中应针对差分线设置一个高优先级的规则，安全间距设为某一较小值即可，如差分线对设置一节中，间距会由设置好的Differential Pairs Routing中的规则控制。

#### 过孔大小设置

BGA封装和其中过孔大小有着对应关系，具体可以参考

<https://blog.csdn.net/weixin_30810583/article/details/96175207>

对于0.8mm球距的BGA封装来说，一般过孔外直径16mil，内直径8mil，如图 2‑16

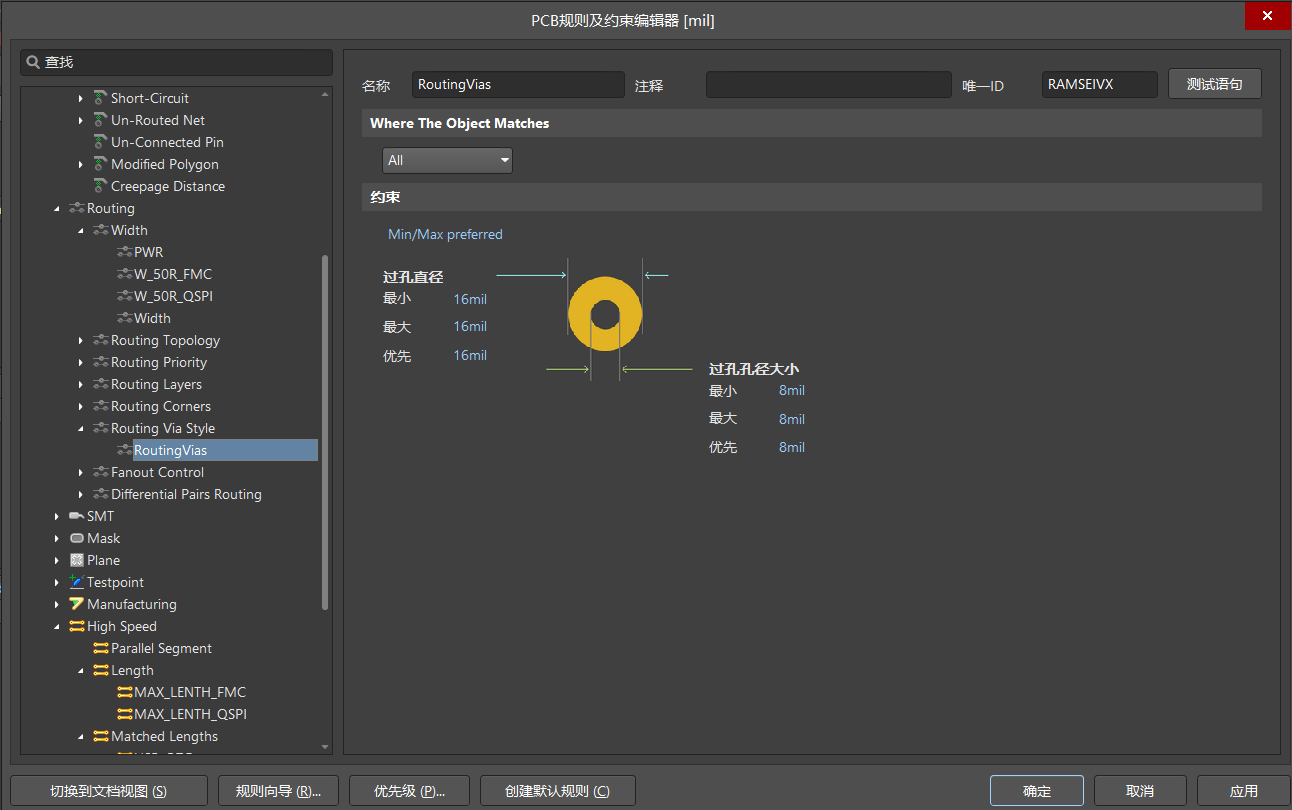


图 2‑16 过孔大小设置

#### 针对BGA封装的ROOM设置

如图 2‑17及图 2‑18，我在STM32H750XB芯片封装周围定义了一个矩形ROOM，使其包含BGA封装，之后再对齐进行BGA内安全间距的设置（否则无法扇出成功），注意ROOM规则要在其它规则的上面，高优先级。

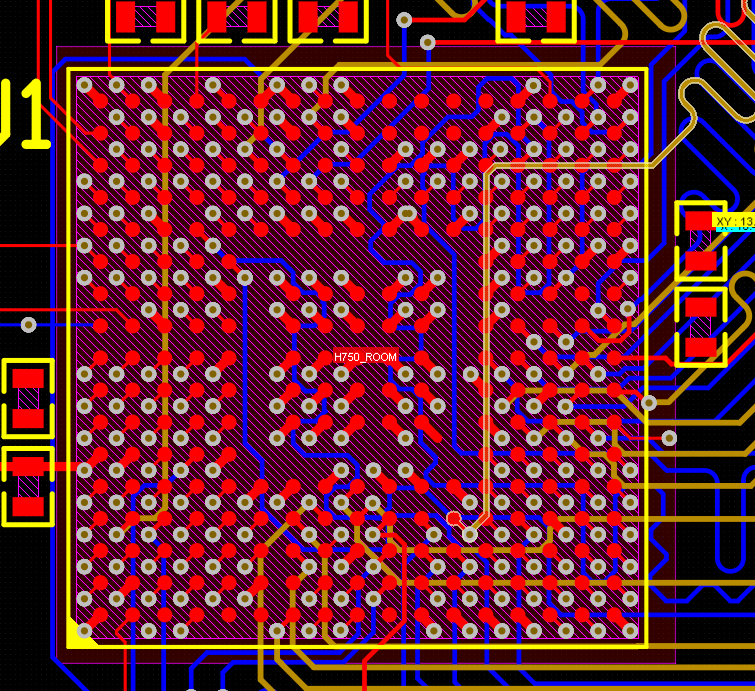


图 2‑17 H750\_ROOM

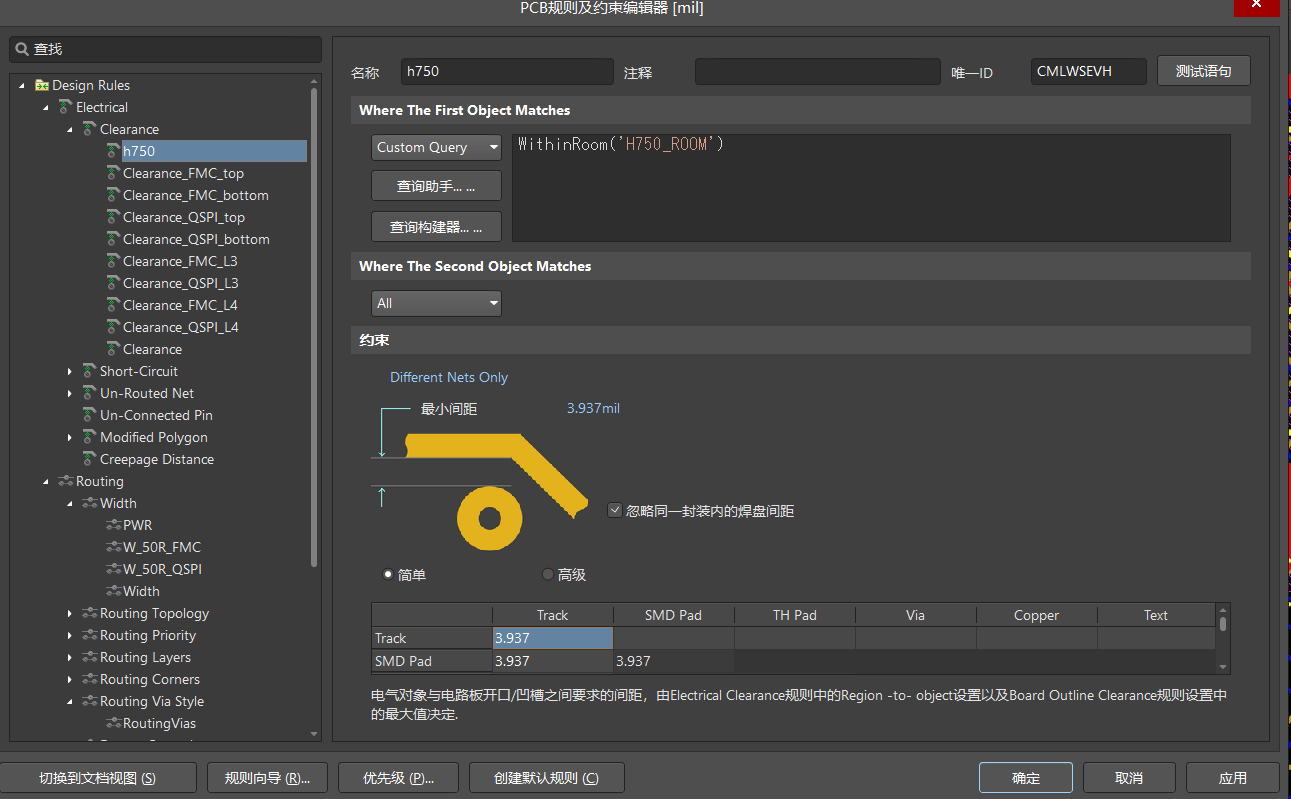


图 2‑18 ROOM规则设定

#### 等长规则设置

如图 2‑19，在High Speed下的Matched lengths中我新建了一条规则应用于FMC\_ALL，选择组内所有连线长度相差在±5mil内（实际ST官方给的容忍值为±10mm，390mil左右，这里我为了提前练习DDR布线设置的较为严格）

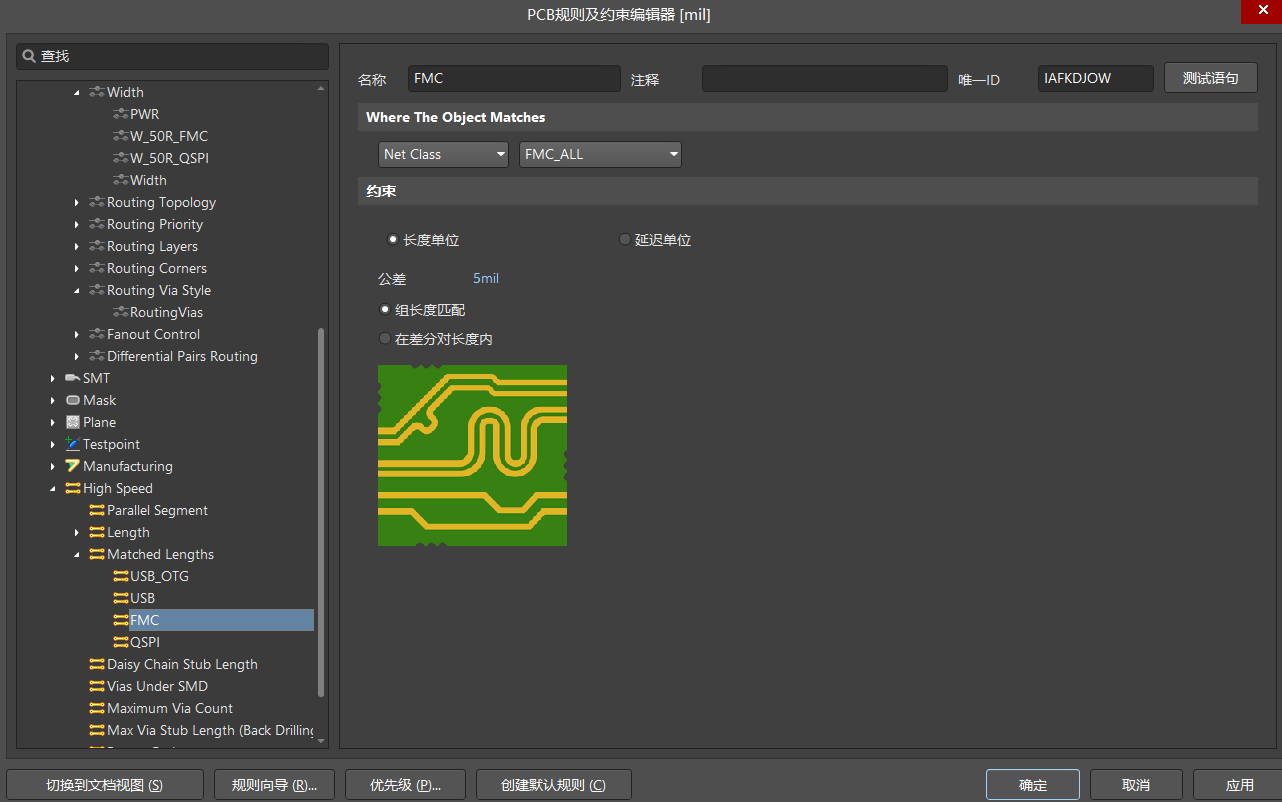


图 2‑19 等长匹配规则设置

#### 连线最大长度规则设置

此类参数可以阅读芯片官方手册，ST官方给定最大连线长度为120mm，进行对应的规则设置：

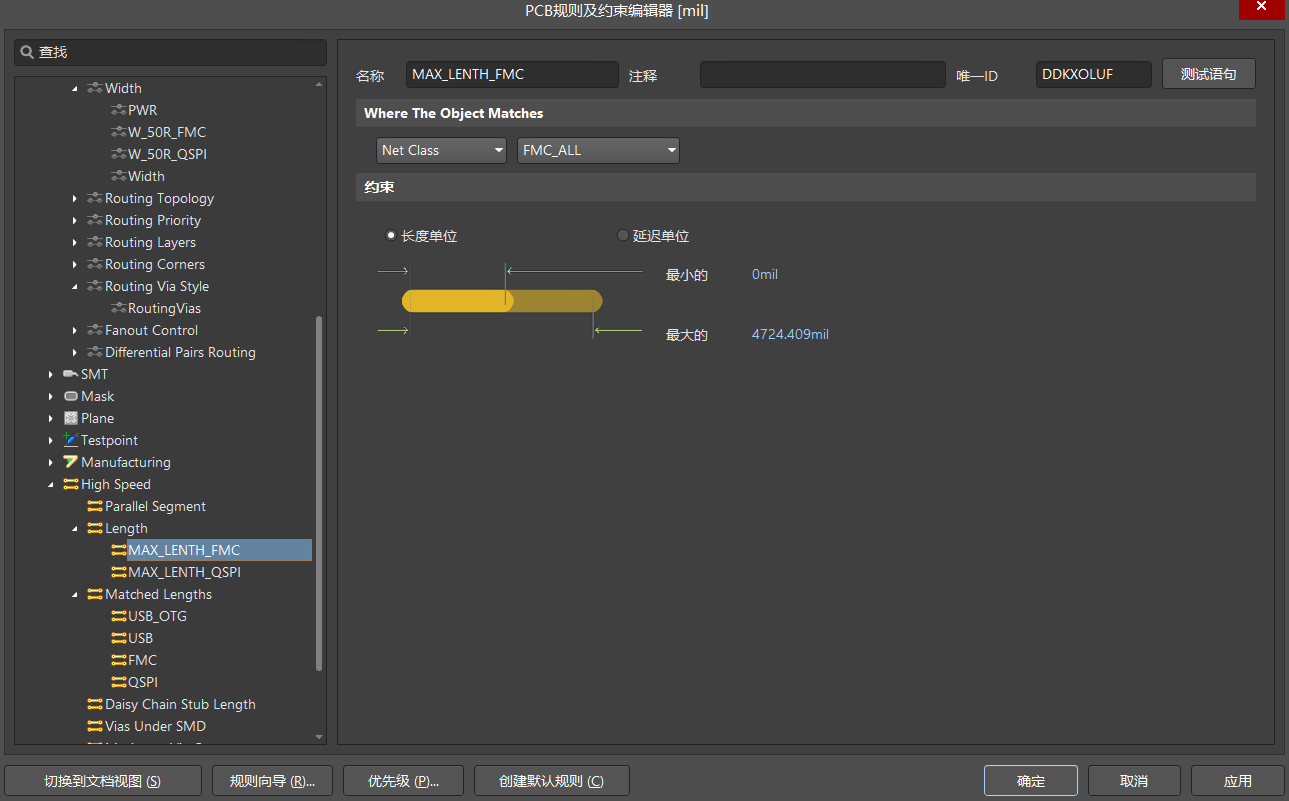


图 2‑20 最大长度规则设置

### 扇出

根据BGA封装的pitch，完整设置完所有规则后，菜单栏 布线->扇出->器件，之后选中要扇出的器件即可。

后续在布线阶段，经常会需要调整局部扇出方向，或是外移过孔，以留出等长、差分线的布线通道。

### 布线

此部分技巧来源于经验积累。只能自己多画板子，多看视频学习。

可以先走重要的线，走线时留出空间进行等长，同时布线时经常需要调整扇出。

DDR布线实战细节可参考视频（初次学习建议耐心看完）：

https://www.bilibili.com/video/BV1oy4y1v7z1

#### 等长线的布线

* 先连通，后调整
* 先布时钟差分线、地址线，后布数据线
* 布线时预先留好等长空间，特别是差分线要留出空间
* 同组同层，地址线可相对妥协不同组同层，数据线必须同组同层
* 控制最长那根线的线长

#### 等长线的等长调整

* 画阻碍线控制波峰，如果阻碍线画不出来，设置忽略障碍的布线模式。
* 对DDR来说使时钟线略微长于其他线，在布线阶段也应事先考虑好
* 若等长有困难，调整布线和扇出

#### 差分线的布线

* 必须等长，且要比普通等长线留出更多的空间
* 优先级最高

#### 差分线的等长调整

* 优先级最高
* 先差分同组等长，再单端调节差分对等长

### 仿真

## 打板