

PCB 设计技巧百问

1、如何选择 PCB 板材？

选择 PCB 板材必须在满足设计需求和可量产性及成本中间取得平衡点。设计需求包含电气和机构这两部分。通常在设计非常高速的 PCB 板子(大于 GHz 的频率)时这材质问题会比较重要。例如，现在常用的 FR-4 材质，在几个 GHz 的频率时的介质损(dielectric loss)会对信号衰减有很大的影响，可能就不合用。就电气而言，要注意介电常数(dielectric constant)和介质损在所设计的频率是否合用。

2、如何避免高频干扰？

避免高频干扰的基本思路是尽量降低高频信号电磁场的干扰，也就是所谓的串扰(Crosstalk)。可用拉大高速信号和模拟信号之间的距离，或加 ground guard/shunt traces 在模拟信号旁边。还要注意数字地对模拟地的噪声干扰。

3、在高速设计中，如何解决信号的完整性问题？

信号完整性基本上是阻抗匹配的问题。而影响阻抗匹配的因素有信号源的架构和输出阻抗(output impedance)，走线的特性阻抗，负载端的特性，走线的拓扑(topology)架构等。解决的方式是靠端接(termination)与调整走线的拓扑。

4、差分布线方式是如何实现的？

差分对的布线有两点要注意，一是两条线的长度要尽量一样长，另一是两线的间距(此间距由差分阻抗决定)要一直保持不变，也就是要保持平行。平行的方式有两种，一为两条线走在同一走线层(side-by-side)，一为两条线走在上下相邻两层(over-under)。一般以前者 side-by-side 实现的方式较多。

5、对于只有一个输出端的时钟信号线，如何实现差分布线？

要用差分布线一定是信号源和接收端也都是差分信号才有意义。所以对只有一个输出端的时钟信号是无法使用差分布线的。

接收端差分线对之间可否加一匹配电阻？

接收端差分线对间的匹配电阻通常会加，其值应等于差分阻抗的值。这样信号品质会好些。

7、为何差分对的布线要靠近且平行？

对差分对的布线方式应该要适当的靠近且平行。所谓适当的靠近是因为这间距会影响到差分阻抗(differential impedance)的值，此值是设计差分对的重要参数。需要平行也是因为要保持差分阻抗的一致性。若两线忽远忽近，差分阻抗就会不一致，就会影响信号完整性(signal integrity)及时间延迟(timing delay)。

8、如何处理实际布线中的一些理论冲突的问题

1. 基本上，将模/数地分割隔离是对的。要注意的是信号走线尽量不要跨过有分割的地方(moat)，还有不要让电源和信号的回流电流路径(returning current path)变太大。

2. 晶振是模拟的正反馈振荡电路，要有稳定的振荡信号，必须满足 loop gain 与 phase 的规范，而这模拟信号的振荡规范很容易受到干扰，即使加 ground guard traces 可能也无法完全隔离干扰。而且离的太远，地平面上的噪声也会影响正反馈振荡电路。所以，一定要将晶振和芯片的距离尽可能靠近。

3. 确实高速布线与 EMI 的要求有很多冲突。但基本原则是因 EMI 所加的电感电容或 ferrite bead，不能造成信号的一些电气特性不符合规范。所以，最好先用安排走线和 PCB 叠层的

技巧来解决或减少 EMI 的问题, 如高速信号走内层。最后才用电阻电容或 ferrite bead 的方式, 以降低对信号的伤害。

9、如何解决高速信号的手工布线和自动布线之间的矛盾？

现在较强的布线软件的自动布线器大部分都有设定约束条件来控制绕线方式及过孔数目。各家 EDA 公司的绕线引擎能力和约束条件的设定项目有时相差甚远。例如, 是否有足够的约束条件控制蛇行线(serpentine)蜿蜒的方式, 能否控制差分对的走线间距等。这会影响到自动布线出来的走线方式是否能符合设计者的想法。另外, 手动调整布线的难易也与绕线引擎的能力有绝对的关系。例如, 走线的推挤能力, 过孔的推挤能力, 甚至走线对敷铜的推挤能力等等。所以, 选择一个绕线引擎能力强的布线器, 才是解决之道。

10、关于 test coupon。

test coupon 是用来以 TDR (Time Domain Reflectometer) 测量所生产的 PCB 板的特性阻抗是否满足设计需求。一般要控制的阻抗有单根线和差分对两种情况。所以, test coupon 上的走线线宽和线距(有差分对时)要与所要控制的线一样。最重要的是测量时接地点的位置。为了减少接地引线(ground lead)的电感值, TDR 探棒(probe)接地的地方通常非常接近量信号的地方(probe tip), 所以, test coupon 上量测信号的点跟接地点的距离和方式要符合所用的探棒。详情参考如下链接

1. http://developer.intel.com/design/chipsets/applnots/pcd_pres399.pdf

2. <http://www.Polarinstruments.com/index.html> (点选 Application notes)

11、在高速 PCB 设计中, 信号层的空白区域可以敷铜, 而多个信号层的敷铜在接地和接电源上应如何分配？

一般在空白区域的敷铜绝大部分情况是接地。只是在高速信号线旁敷铜时要注意敷铜与信号线的距离, 因为所敷的铜会降低一点走线的特性阻抗。也要注意不要影响到它层的特性阻抗, 例如在 dual stripline 的结构时。

12、是否可以把电源平面上面的信号线使用微带线模型计算特性阻抗？电源和地平面之间的信号是否可以使用带状线模型计算？

是的, 在计算特性阻抗时电源平面跟地平面都必须视为参考平面。例如四层板: 顶层-电源层-地层-底层, 这时顶层走线特性阻抗的模型是以电源平面为参考平面的微带线模型。

13、在高密度印制板上通过软件自动产生测试点一般情况下能满足大批量生产的测试要求吗？

一般软件自动产生测试点是否满足测试需求必须看对加测试点的规范是否符合测试机具的要求。另外, 如果走线太密且加测试点的规范比较严, 则有可能没办法自动对每段线都加上测试点, 当然, 需要手动补齐所要测试的地方。

14、添加测试点会不会影响高速信号的质量？

至于会不会影响信号质量就要看加测试点的方式和信号到底多快而定。基本上外加的测试点(不用线上既有的穿孔(via or DIP pin)当测试点)可能加在线上或是从线上拉一小段线出来。前者相当于是加上一个很小的电容在线上, 后者则是多了一段分支。这两个情况都会对高速信号多多少少会有点影响, 影响的程度就跟信号的频率速度和信号缘变化率(edge rate)有关。影响大小可透过仿真得知。原则上测试点越小越好(当然还要满足测试机具的要求)分支越短越好。

15、若干 PCB 组成系统, 各板之间的地线应如何连接？

各个 PCB 板子相互连接之间的信号或电源在动作时, 例如 A 板子有电源或信号送到 B 板子, 一定会有等量的电流从地层流回到 A 板子 (此为 Kirchhoff current law)。这地层上的电流会找阻抗最小的地方流回去。所以, 在各个不管是电源或信号相互连接的接口处, 分配给地层的管脚数不能太少, 以降低阻抗, 这样可以降低地层上的噪声。另外, 也可以分析整个电流环

路，尤其是电流较大的部分，调整地层或地线的接法，来控制电流的走法(例如，在某处制造低阻抗，让大部分的电流从这个地方走)，降低对其它较敏感信号的影响。

16、能介绍一些国外关于高速 PCB 设计的技术书籍和资料吗？

现在高速数字电路的应用有通信网路和计算机等相关领域。在通信网路方面，PCB 板的工作频率已达 GHz 上下，迭层数就我所知有到 40 层之多。计算机相关应用也因为芯片的进步，无论是一般的 PC 或服务器(Server) 板子上的最高工作频率也已经达到 400MHz (如 Rambus) 以上。因应这高速高密度走线需求，盲埋孔(blind/buried vias)、microvias 及 build-up 制程工艺的需求也渐渐越来越多。这些设计需求都有厂商可大量生产。

以下提供几本不错的技术书籍：

1.Howard W. Johnson ,“ High-Speed Digital Design — A Handbook of Black Magic ”;

2.Stephen H. Hall ,“ High-Speed Digital System Design ”;

3.Brian Yang ,“ Digital Signal Integrity ”;

4.Dooglas Brook ,“ Integrity Issues and printed Circuit Board Design ”。

17、两个常被参考的特性阻抗公式：

a.微带线(microstrip)

$Z = \{87 / [\sqrt{\epsilon_r + 1.41}]\} \ln[5.98H / (0.8W + T)]$ 其中，W 为线宽，T 为走线的铜皮厚度，H 为走线到参考平面的距离， ϵ_r 是 PCB 板材质的介电常数(dielectric constant)。此公式必须在 $0.1 < (W/H) < 2.0$ 及 $1 < (\epsilon_r) < 15$ 的情况才能应用。

b.带状线(stripline)

$Z = [60 / \sqrt{\epsilon_r}] \ln \{4H / [0.67\pi(T + 0.8W)]\}$ 其中，H 为两参考平面的距离，并且走线位于两参考平面的中间。此公式必须在 $W/H < 0.35$ 及 $T/H < 0.25$ 的情况才能应用。

18、差分信号线中间可否加地线？

差分信号中间一般是不能加地线。因为差分信号的应用原理最重要的一点便是利用差分信号间相互耦合(coupling)所带来的好处，如 flux cancellation，抗噪声(noise immunity)能力等。若在中间加地线，便会破坏耦合效应。

19、刚柔板设计是否需要专用设计软件与规范？国内何处可以承接该类电路板加工？

可以用一般设计 PCB 的软件来设计柔性电路板(Flexible Printed Circuit)。一样用 Gerber 格式给 FPC 厂商生产。由于制造的工艺和一般 PCB 不同，各个厂商会依据他们的制造能力会对最小线宽、最小线距、最小孔径(via)有其限制。除此之外，可在柔性电路板的转折处铺些铜皮加以补强。至于生产的厂商可上网“FPC”当关键词查询应该可以找到。

20、适当选择 PCB 与外壳接地的点的原则是什么？

选择 PCB 与外壳接地点选择的原理是利用 chassis ground 提供低阻抗的路径给回流电流(returning current)及控制此回流电流的路径。例如，通常在高频器件或时钟产生器附近可以

借固定用的螺丝将 PCB 的地层与 chassis ground 做连接，以尽量缩小整个电流回路面积，也就减少电磁辐射。

21、电路板 DEBUG 应从那几个方面着手？

就数字电路而言，首先依序确定三件事情：

1. 确认所有电源值的大小均达到设计所需。有些多重电源的系统可能会要求某些电源之间起来的顺序与快慢有某种规范。
2. 确认所有时钟信号频率都工作正常且信号边缘上没有非单调(non-monotonic)的问题。
3. 确认 reset 信号是否达到规范要求。

这些都正常的话，芯片应该要发出第一个周期(cycle)的信号。接下来依照系统运作原理与 bus protocol 来 debug。

22、在电路板尺寸固定的情况下，如果设计中需要容纳更多的功能，就往往需要提高 PCB 的走线密度，但是这样有可能导致走线的相互干扰增强，同时走线过细也使阻抗无法降低，请专家介绍在高速 (>100MHz) 高密度 PCB 设计中的技巧？

在设计高速高密度 PCB 时，串扰(crosstalk interference)确实是要特别注意的，因为它对时序(timing)与信号完整性(signal integrity)有很大的影响。以下提供几个注意的地方：

1. 控制走线特性阻抗的连续与匹配。
2. 走线间距的大小。一般常看到的间距为两倍线宽。可以透过仿真来知道走线间距对时序及信号完整性的影响，找出可容忍的最小间距。不同芯片信号的结果可能不同。
3. 选择适当的端接方式。
4. 避免上下相邻两层的走线方向相同，甚至有走线正好上下重叠在一起，因为这种串扰比同层相邻走线的情形还大。
5. 利用盲埋孔(blind/buried via)来增加走线面积。但是 PCB 板的制作成本会增加。

在实际执行时确实很难达到完全平行与等长，不过还是要尽量做到。除此以外，可以预留差分端接和共模端接，以缓和对时序与信号完整性的影响。

23、模拟电源处的滤波经常是用 LC 电路。但是为什么有时 LC 比 RC 滤波效果差？

LC 与 RC 滤波效果的比较必须考虑所要滤掉的频带与电感值的选择是否恰当。因为电感的感抗(reactance)大小与电感值和频率有关。如果电源的噪声频率较低，而电感值又不够大，这时滤波效果可能不如 RC。但是，使用 RC 滤波要付出的代价是电阻本身会耗能，效率较差，且要注意所选电阻能承受的功率。

24、滤波时选用电感，电容值的方法是什么？

电感值的选用除了考虑所想滤掉的噪声频率外，还要考虑瞬时电流的反应能力。如果 LC 的输出端会有机会需要瞬间输出大电流，则电感值太大会阻碍此大电流流经此电感的速度，增

加纹波噪声(ripple noise)。

电容值则和所能容忍的纹波噪声规范值的大小有关。纹波噪声值要求越小，电容值会较大。而电容的 ESR/ESL 也会有影响。

另外，如果这 LC 是放在开关式电源(switching regulation power)的输出端时，还要注意此 LC 所产生的极点零点(pole/zero)对负反馈控制(negative feedback control)回路稳定度的影响。

25、如何尽可能的达到 EMC 要求，又不致造成太大的成本压力？

PCB 板上会因 EMC 而增加的成本通常是因增加地层数目以增强屏蔽效应及增加了 ferrite bead、choke 等抑制高频谐波器件的缘故。除此之外，通常还是需搭配其它机构上的屏蔽结构才能使整个系统通过 EMC 的要求。以下仅就 PCB 板的设计技巧提供几个降低电路产生的电磁辐射效应。

1、尽可能选用信号斜率(slew rate)较慢的器件，以降低信号所产生的高频成分。 2、注意高频器件摆放的位置，不要太靠近对外的连接器。

3、注意高速信号的阻抗匹配，走线层及其回流电流路径(return current path)，以减少高频的反射与辐射。

4、在各器件的电源管脚放置足够与适当的去耦合电容以缓和电源层和地层上的噪声。特别注意电容的频率响应与温度的特性是否符合设计所需。

5、对外的连接器附近的地可与地层做适当分割，并将连接器的地就近接到 chassis ground。

6、可适当运用 ground guard/shunt traces 在一些特别高速的信号旁。但要注意 guard/shunt traces 对走线特性阻抗的影响。

7、电源层比地层内缩 $20H$ ， H 为电源层与地层之间的距离。

26、当一块 PCB 板中有多个数/模功能块时，常规做法是要将数/模地分开，原因何在？

将数/模地分开的原因是因为数字电路在高低电位切换时会在电源和地产生噪声，噪声的大小跟信号的速度及电流大小有关。如果地平面上不分割且由数字区域电路所产生的噪声较大而模拟区域的电路又非常接近，则即使数模信号不交叉，模拟的信号依然会被地噪声干扰。也就是说数模地不分割的方式只能在模拟电路区域距产生大噪声的数字电路区域较远时使用。

27、另一种作法是在确保数/模分开布局，且数/模信号走线相互不交叉的情况下，整个 PCB 板地不做分割，数/模地都连到这个地平面上。道理何在？

数模信号走线不能交叉的要求是因为速度稍快的数字信号其返回电流路径(return current path)会尽量沿着走线的下方附近的地流回数字信号的源头，若数模信号走线交叉，则返回电流所产生的噪声便会出现在模拟电路区域内。

28、在高速 PCB 设计原理图设计时，如何考虑阻抗匹配问题？

在设计高速 PCB 电路时,阻抗匹配是设计的要素之一。而阻抗值跟走线方式有绝对的关系,例如是走在表面层(microstrip)或内层(stripline/double stripline),与参考层(电源层或地层)的距离,走线宽度,PCB 材质等均会影响走线的特性阻抗值。也就是说要在布线后才能确定阻抗值。一般仿真软件会因线路模型或所使用的数学算法的限制而无法考虑到一些阻抗不连续的布线情况,这时候在原理图上只能预留一些 terminators(端接),如串联电阻等,来缓和走线阻抗不连续的效应。真正根本解决问题的方法还是布线时尽量注意避免阻抗不连续的发生。

29、哪里能提供比较准确的 IBIS 模型库?

IBIS 模型的准确性直接影响到仿真的结果。基本上 IBIS 可看成是实际芯片 I/O buffer 等效电路的电气特性资料,一般可由 SPICE 模型转换而得(亦可采用测量,但限制较多),而 SPICE 的资料与芯片制造有绝对的关系,所以同样一个器件不同芯片厂商提供,其 SPICE 的资料是不同的,进而转换后的 IBIS 模型内之资料也会随之而异。也就是说,如果用了 A 厂商的器件,只有他们有能力提供他们器件准确模型资料,因为没有其它人会比他们更清楚他们的器件是由何种工艺做出来的。如果厂商所提供的 IBIS 不准确,只能不断要求该厂商改进才是根本解决之道。

30、在高速 PCB 设计时,设计者应该从那些方面去考虑 EMC、EMI 的规则呢?

一般 EMI/EMC 设计时需要同时考虑辐射(radiated)与传导(conducted)两个方面。前者归属于频率较高的部分(>30MHz)后者则是较低频的部分(<30MHz)。所以不能只注意高频而忽略低频的部分。

一个好的 EMI/EMC 设计必须一开始布局时就要考虑到器件的位置,PCB 迭层的安排,重要联机的走法,器件的选择等,如果这些没有事前有较佳的安排,事后解决则会事倍功半,增加成本。例如时钟产生器的位置尽量不要靠近对外的连接器,高速信号尽量走内层并注意特性阻抗匹配与参考层的连续以减少反射,器件所推的信号之斜率(slew rate)尽量小以减低高频成分,选择去耦合(decoupling/bypass)电容时注意其频率响应是否符合需求以降低电源层噪声。另外,注意高频信号电流之回流路径使其回路面积尽量小(也就是回路阻抗 loop impedance 尽量小)以减少辐射。还可以用分割地层的方式以控制高频噪声的范围。最后,适当的选择 PCB 与外壳的接地点(chassis ground)。

31、如何选择 EDA 工具?

目前的 pcb 设计软件中,热分析都不是强项,所以并不建议选用,其它的功能 1.3.4 可以选择 PADS 或 Cadence 性能价格比都不错。

PLD 的设计的初学者可以采用 PLD 芯片厂家提供的集成环境,在做到百万门以上的设计时可以选择单点工具。

32、请推荐一种适合于高速信号处理和传输的 EDA 软件。

常规的电路设计,INNOVEDA 的 PADS 就非常不错,且有配合用的仿真软件,而这类设计往往占据了 70%的应用场合。在做高速电路设计,模拟和数字混合电路,采用 Cadence 的解决方案应该属于性能价格比较好的软件,当然 Mentor 的性能还是非常不错的,特别是它的设计流程管理方面应该是最为优秀的。(大唐电信技术专家 王升)

33、对 PCB 板各层含义的解释

Topoverlay ----顶层器件名称，也叫 top silkscreen 或者 top component legend, 比如 R1 C5, IC10.

bottomoverlay----同理

multilayer-----如果你设计一个 4 层板,你放置一个 free pad or via, 定义它作为 multilay 那么它的 pad 就会自动出现在 4 个层上,如果你只定义它是 top layer, 那么它的 pad 就会只出现在顶层上。

34、2G 以上高频 PCB 设计，走线,排版,应重点注意哪些方面？

2G 以上高频 PCB 属于射频电路设计，不在高速数字电路设计讨论范围内。而射频电路的布局 (layout)和布线 (routing)应该和原理图一起考虑的，因为布局布线都会造成分布效应。而且，射频电路设计一些无源器件是通过参数化定义，特殊形状铜箔实现，因此要求 EDA 工具能够提供参数化器件，能够编辑特殊形状铜箔。

Mentor 公司的 boardstation 中有专门的 RF 设计模块，能够满足这些要求。而且，一般射频设计要求有专门射频电路分析工具，业界最著名的是 agilent 的 eesoft，和 Mentor 的工具有很好的接口。

35、2G 以上高频 PCB 设计，微带的设计应遵循哪些规则？

射频微带线设计，需要用三维场分析工具提取传输线参数。所有的规则应该在这个场提取工具中规定。

36、对于全数字信号的 PCB，板上有一个 80MHz 的钟源。除了采用丝网（接地）外，为了保证有足够的驱动能力，还应该采用什么样的电路进行保护？

确保时钟的驱动能力，不应该通过保护实现，一般采用时钟驱动芯片。一般担心时钟驱动能力，是因为多个时钟负载造成。采用时钟驱动芯片，将一个时钟信号变成几个，采用点到点的连接。选择驱动芯片，除了保证与负载基本匹配，信号沿满足要求（一般时钟为沿有效信号），在计算系统时序时，要算上时钟在驱动芯片内时延。

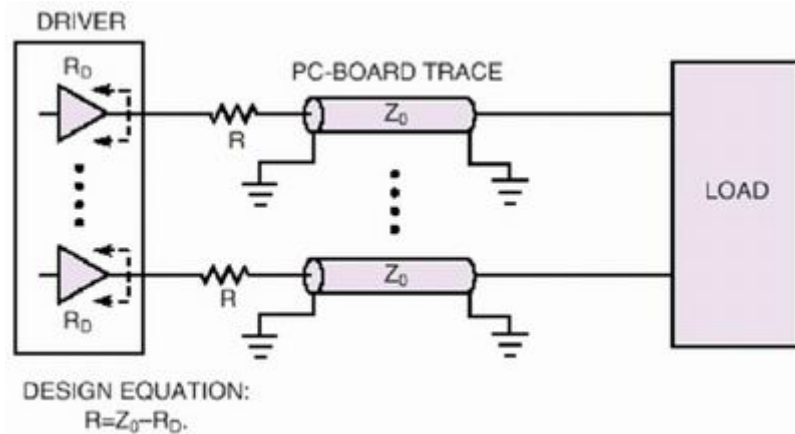
37、如果用单独的时钟信号板，一般采用什么样的接口，来保证时钟信号的传输受到的影响小？

时钟信号越短，传输线效应越小。采用单独的时钟信号板，会增加信号布线长度。而且单板的接地供电也是问题。如果要长距离传输，建议采用差分信号。LVDS 信号可以满足驱动能力要求，不过您的时钟不是太快，没有必要。

38、27M,SDRAM 时钟线（80M-90M），这些时钟线二次谐波刚好在 VHF 波段，从接收端高频窜入后干扰很大。除了缩短线长以外，还有那些好办法？

如果是三次谐波大，二次谐波小，可能因为信号占空比为 50%，因为这种情况下，信号没有偶次谐波。这时需要修改一下信号占空比。

此外，对于如果是单向的时钟信号，一般采用源端串联匹配。这样可以抑制二次反射，但不会影响时钟沿速率。源端匹配值，可以采用下图公式得到。



39、什么是走线的拓扑架构？

Topology,有的也叫 routing order.对于多端口连接的网络的布线次序。

40、怎样调整走线的拓扑架构来提高信号的完整性？

这种网络信号方向比较复杂，因为对单向，双向信号，不同电平种类信号，拓扑影响都不一样，很难说哪种拓扑对信号质量有利。而且作前仿真时，采用何种拓扑对工程师要求很高，要求对电路原理，信号类型，甚至布线难度等都要了解。

41、怎样通过安排迭层来减少 EMI 问题？

首先，EMI 要从系统考虑，单凭 PCB 无法解决问题。

层叠对 EMI 来讲，我认为主要是提供信号最短回流路径，减小耦合面积，抑制差模干扰。

另外地层与电源层紧耦合，适当比电源层外延，对抑制共模干扰有好处。

42、为何要铺铜？

一般铺铜有几个方面原因。

1，EMC.对于大面积的地或电源铺铜，会起到屏蔽作用，有些特殊地，如 PGND 起到防护作用。

2，PCB 工艺要求。一般为了保证电镀效果，或者层压不变形，对于布线较少的 PCB 板层铺铜。

3，信号完整性要求，给高频数字信号一个完整的回流路径，并减少直流网络的布线。当然还有散热，特殊器件安装要求铺铜等等原因。

43、在一个系统中，包含了 dsp 和 pld，请问布线时要注意哪些问题呢？

看你的信号速率和布线长度的比值。如果信号在传输线上的时延和信号变化沿时间可比的话，就要考虑信号完整性问题。另外对于多个 DSP，时钟，数据信号走线拓扑也会影响信号质量和时序，需要关注。

44、除 protel 工具布线外，还有其他好的工具吗？

至于工具，除了 PROTEL，还有很多布线工具，如 MENTOR 的 WG2000,EN2000 系列和 powerpcb，Cadence 的 allegro，zuken 的 cadstar,cr5000 等，各有所长。

45、什么是“信号回流路径”？

信号回流路径,即 return current。高速数字信号在传输时，信号的流向是从驱动器沿 PCB 传输线到负载，再由负载沿着地或电源通过最短路径返回驱动器端。这个在地或电源上的返回信号就称信号回流路径。Dr.Johnson 在他的书中解释，高频信号传输，实际上是对传输线与直流层之间包夹的介质电容充电的过程。SI 分析的就是这个围场的电磁特性，以及他们之间的耦合。

46、如何对接插件进行 SI 分析？

在 IBIS3.2 规范中, 有关于接插件模型描述。一般使用 EBD 模型。如果是特殊板, 如背板, 需要 SPICE 模型。也可以使用多板仿真软件 (HYPERLYNX 或 IS_multiboard), 建立多板系统时, 输入接插件的分布参数, 一般从接插件手册中得到。当然这种方式会不够精确, 但只要在可接受范围内即可。

47、请问端接的方式有哪些?

端接 (terminal), 也称匹配。一般按照匹配位置分有源端匹配和终端匹配。其中源端匹配一般为电阻串联匹配, 终端匹配一般为并联匹配, 方式比较多, 有电阻上拉, 电阻下拉, 戴维南匹配, AC 匹配, 肖特基二极管匹配。

48、采用端接 (匹配) 的方式是由什么因素决定的?

匹配采用方式一般由 BUFFER 特性, 拓普情况, 电平种类和判决方式来决定, 也要考虑信号占空比, 系统功耗等。

49、采用端接 (匹配) 的方式有什么规则?

数字电路最关键的是时序问题, 加匹配的目的在于改善信号质量, 在判决时刻得到可以确定的信号。对于电平有效信号, 在保证建立、保持时间的前提下, 信号质量稳定; 对延有效信号, 在保证信号延单调性前提下, 信号变化延速度满足要求。Mentor ICX 产品教材中有关于匹配的一些资料。另外《High Speed Digital design a hand book of blackmagic》有一章专门对 terminal 的讲述, 从电磁波原理上讲述匹配对信号完整性的作用, 可供参考。

50、能否利用器件的 IBIS 模型对器件的逻辑功能进行仿真? 如果不能, 那么如何进行电路的板级和系统级仿真?

IBIS 模型是行为级模型, 不能用于功能仿真。功能仿真, 需要用 SPICE 模型, 或者其他结构级模型。

51、在数字和模拟并存的系统中, 有 2 种处理方法, 一个是数字地和模拟地分开, 比如在地层, 数字地是独立地一块, 模拟地独立一块, 单点用铜皮或 FB 磁珠连接, 而电源不分开; 另一种是模拟电源和数字电源分开用 FB 连接, 而地是统一地地。请问李先生, 这两种方法效果是否一样?

应该说从原理上讲是一样的。因为电源和地对高频信号是等效的。

区分模拟和数字部分的目的是为了抗干扰, 主要是数字电路对模拟电路的干扰。但是, 分割可能造成信号回流路径不完整, 影响数字信号的信号质量, 影响系统 EMC 质量。因此, 无论分割哪个平面, 要看这样作, 信号回流路径是否被增大, 回流信号对正常工作信号干扰有多大。

现在也有一些混合设计, 不分电源和地, 在布局时, 按照数字部分、模拟部分分开布局布线, 避免出现跨区信号。

52、安规问题: FCC、EMC 的具体含义是什么?

FCC: federal communication commission 美国通信委员会

EMC: electro magnetic compatibility 电磁兼容

FCC 是个标准组织, EMC 是一个标准。标准颁布都有相应的原因, 标准和测试方法。

53、何谓差分布线?

差分信号, 有些也称差动信号, 用两根完全一样, 极性相反的信号传输一路数据, 依靠两根信号电平差进行判决。为了保证两根信号完全一致, 在布线时要保持并行, 线宽、线间距保持不变。

54、PCB 仿真软件有哪些?

仿真的种类很多, 高速数字电路信号完整性分析仿真分析 (SI) 常用软件有 icx, signalvision, hyperlynx, XTK, spectraquest 等。有些也用 Hspice。

55、PCB 仿真软件是如何进行 LAYOUT 仿真的?

高速数字电路中,为了提高信号质量,降低布线难度,一般采用多层板,分配专门的电源层,地层。

56、在布局、布线中如何处理才能保证 50M 以上信号的稳定性

高速数字信号布线,关键是减小传输线对信号质量的影响。因此,100M 以上的高速信号布局时要求信号走线尽量短。

数字电路中,高速信号是用信号上升延时间来界定的。而且,不同种类的信号(如 TTL,GTL,LVTTL),确保信号质量的方法不一样。

57、室外单元的射频部分,中频部分,乃至对室外单元进行监控的低频电路部分往往采用部署在同一 PCB 上,请问对这样的 PCB 在材质上有何要求?如何防止射频,中频乃至低频电路互相之间的干扰?

混合电路设计是一个很大的问题。很难有一个完美的解决方案。

一般射频电路在系统中都作为一个独立的单板进行布局布线,甚至会有专门的屏蔽腔体。而且射频电路一般为单面或双面板,电路较为简单,所有这些都是为了减少对射频电路分布参数的影响,提高射频系统的一致性。相对于一般的 FR4 材质,射频电路板倾向与采用高 Q 值的基材,这种材料的介电常数比较小,传输线分布电容较小,阻抗高,信号传输时延小。在混合电路设计中,虽然射频,数字电路做在同一块 PCB 上,但一般都分成射频电路区和数字电路区,分别布局布线。之间用接地过孔带和屏蔽盒屏蔽。

58、对于射频部分,中频部分和低频电路部分部署在同一 PCB 上,mentor 有什么解决方案? Mentor 的板级系统设计软件,除了基本的电路设计功能外,还有专门的 RF 设计模块。在 RF 原理图设计模块中,提供参数化的器件模型,并且提供和 EESOFTE 等射频电路分析仿真工具的双向接口;在 RF LAYOUT 模块中,提供专门用于射频电路布局布线的图案编辑功能,也有和 EESOFTE 等射频电路分析仿真工具的双向接口,对于分析仿真后的结果可以反标回原理图和 PCB。同时,利用 Mentor 软件的设计管理功能,可以方便的实现设计复用,设计派生,和协同设计。大大加速混合电路设计进程。

手机板是典型的混合电路设计,很多大型手机设计制造商都利用 Mentor 加安杰伦的 eesoft 作为设计平台。

59、mentor 的产品结构如何?

Mentor Graphics 的 PCB 工具有 WG(原 veribest)系列和 Enterprise(boardstation)系列。详细信息,请登录 <http://www.mentor.com/>。

60、Mentor 的 PCB 设计软件对 BGA、PGA、COB 等封装是如何支持的?

Mentor 的 autoactive RE 由收购得来的 veribest 发展而来,是业界第一个无网格,任意角度布线器。

众所周知,对于球栅阵列,COB 器件,无网格,任意角度布线器是解决布通率的关键。

在最新的 autoactive RE 中,新增添了推挤过孔,铜箔,REROUTE 等功能,使它应用更方便。

另外,他支持高速布线,包括有时延要求信号布线和差分对布线。

61、Mentor 的 PCB 设计软件对差分线队的处理又如何?

Mentor 软件在定义好差分对属性后,两根差分对可以一起走线,严格保证差分对线宽,间距和长度差,遇到障碍可以自动分开,在换层时可以选择过孔方式。

62、在一块 12 层 PCB 板上,有三个电源层 2.2v, 3.3v,5v,将三个电源各作在一层,地线该如何处理?

一般说来,三个电源分别做在三层,对信号质量比较好。因为不大可能出现信号跨平面层分割现象。跨分割是影响信号质量很关键的一个因素,而仿真软件一般都忽略了它。

对于电源层和地层,对高频信号来说都是等效的。在实际中,除了考虑信号质量外,电源平面耦合(利用相邻地平面降低电源平面交流阻抗),层叠对称,都是需要考虑的因素。

63、PCB 在出厂时如何检查是否达到了设计工艺要求？

很多 PCB 厂家在 PCB 加工完成出厂前，都要经过加电的网络通断测试，以确保所有联线正确。同时，越来越多的厂家也采用 x 光测试，检查蚀刻或层压时的一些故障。

对于贴片加工后的成品板，一般采用 ICT 测试检查，这需要在 PCB 设计时添加 ICT 测试点。如果出现问题，也可以通过一种特殊的 X 光检查设备排除是否加工原因造成故障。

64、“机构的防护”是不是机壳的防护？

是的。机壳要尽量严密，少用或不用导电材料，尽可能接地。

65、在芯片选择的时候是否也需要考虑芯片本身的 esd 问题？

不论是双层板还是多层板，都应尽量增大地的面积。在选择芯片时要考虑芯片本身的 ESD 特性，这些在芯片说明中一般都有提到，而且即使不同厂家的同一种芯片性能也会有所不同。设计时多加注意，考虑的全面一点，做出电路板的性能也会得到一定的保证。但 ESD 的问题仍然可能出现，因此机构的防护对 ESD 的防护也是相当重要的。

66、在做 pcb 板的时候，为了减小干扰，地线是否应该构成闭合形式？

在做 PCB 板的时候，一般来讲都要减小回路面积，以便减少干扰，布地线的时候，也不应布成闭合形式，而是布成树枝状较好，还有就是尽可能增大地的面积。

67、如果仿真器用一个电源，pcb 板用一个电源，这两个电源的地是否应该连在一起？

如果可以采用分离电源当然较好，因为如此电源间不易产生干扰，但大部分设备是有具体要求的。既然仿真器和 PCB 板用的是两个电源，按我的想法是不该将其共地的。

68、一个电路由几块 pcb 板构成，他们是否应该共地？

一个电路由几块 PCB 构成，多半是要求共地的，因为在一个电路中用几个电源毕竟是不太实际的。但如果你有具体的条件，可以用不同电源当然干扰会小些。

69、设计一个手持产品，带 LCD，外壳为金属。测试 ESD 时，无法通过 ICE-1000-4-2 的测试，CONTACT 只能通过 1100V，AIR 可以通过 6000V。ESD 耦合测试时，水平只能可以通过 3000V，垂直可以通过 4000V 测试。CPU 主频为 33MHZ。有什么方法可以通过 ESD 测试？

手持产品又是金属外壳，ESD 的问题一定比较明显，LCD 也恐怕会出现较多的不良现象。如果没办法改变现有的金属材质，则建议在机构内部加上防电材料，加强 PCB 的地，同时想办法让 LCD 接地。当然，如何操作要看具体情况。

70、设计一个含有 DSP，PLD 的系统，该从那些方面考虑 ESD？

就一般的系统来讲，主要应考虑人体直接接触的部分，在电路上以及机构上进行适当的保护。至于 ESD 会对系统造成多大的影响，那还要依不同情况而定。干燥的环境下，ESD 现象会比较严重，较敏感精细的系统，ESD 的影响也会相对明显。虽然大的系统有时 ESD 影响并不明显，但设计时还是要多加注意，尽量防患于未然。

71、PCB 设计中，如何避免串扰？

变化的信号（例如阶跃信号）沿传输线由 A 到 B 传播，传输线 C-D 上会产生耦合信号，变化的信号一旦结束也就是信号恢复到稳定的直流电平时，耦合信号也就不存在了，因此串扰仅发生在信号跳变的过程当中，并且信号沿的变化（转换率）越快，产生的串扰也就越大。空间中耦合的电磁场可以提取为无数耦合电容和耦合电感的集合，其中由耦合电容产生的串扰信号在受害网络上可以分成前向串扰和反向串扰 S_c ，这个两个信号极性相同；由耦合电感产生的串扰信号也分成前向串扰和反向串扰 S_L ，这两个信号极性相反。耦合电感电容产生的前向串扰和反向串扰同时存在，并且大小几乎相等，这样，在受害网络上的前向串扰信号由于极性相反，相互抵消，反向串扰极性相同，叠加增强。

串扰分析的模式通常包括默认模式，三态模式和最坏情况模式分析。默认模式类似我们实际

对串扰测试的方式,即侵害网络驱动器由翻转信号驱动,受害网络驱动器保持初始状态(高电平或低电平),然后计算串扰值。这种方式对于单向信号的串扰分析比较有效。三态模式是指侵害网络驱动器由翻转信号驱动,受害的网络的三态终端置为高阻状态,来检测串扰大小。这种方式对双向或复杂拓扑网络比较有效。最坏情况分析是指将受害网络的驱动器保持初始状态,仿真器计算所有默认侵害网络对每一个受害网络的串扰的总和。这种方式一般只对个别关键网络进行分析,因为要计算的组合太多,仿真速度比较慢。

72、导带,即微带线的地平面的铺铜面积有规定吗?

对于微波电路设计,地平面的面积对传输线的参数有影响。具体算法比较复杂(请参阅安杰伦的 EESOFIT 有关资料)。而一般 PCB 数字电路的传输线仿真计算而言,地平面面积对传输线参数没有影响,或者说忽略影响。

73、在 EMC 测试中发现时钟信号的谐波超标十分严重,只是在电源引脚上连接去耦电容。在 PCB 设计中需要注意哪些方面以抑止电磁辐射呢?

EMC 的三要素为辐射源,传播途径和受害体。传播途径分为空间辐射传播和电缆传导。所以要抑制谐波,首先看看它传播的途径。电源去耦是解决传导方式传播,此外,必要的匹配和屏蔽也是需要的。

74、采用 4 层板设计的产品中,为什么有些是双面铺地的,有些不是?

铺地的作用有几个方面的考虑:1,屏蔽;2,散热;3,加固;4,PCB 工艺加工需要。所以不管几层板铺地,首先要看它的主要原因。

这里我们主要讨论高速问题,所以主要说屏蔽作用。表面铺地对 EMC 有好处,但是铺铜要尽量完整,避免出现孤岛。一般如果表层器件布线较多,很难保证铜箔完整,还会带来内层信号跨分割问题。所以建议表层器件或走线多的板子,不铺铜。

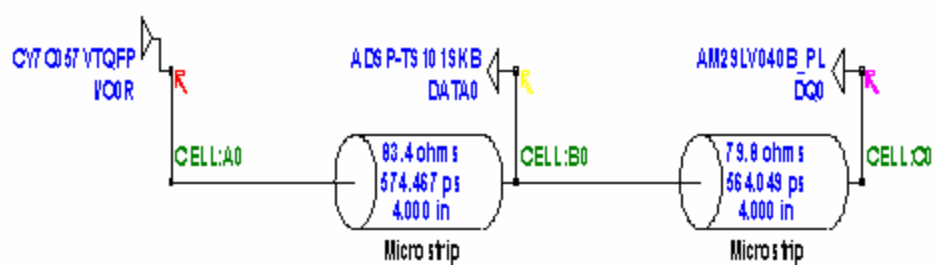
75、对于一组总线(地址,数据,命令)驱动多个(多达 4,5 个)设备(FLASH,SDRAM,其他外设...)的情况,在 PCB 布线时,采用那种方式?

布线拓扑对信号完整性的影响,主要反映在各个节点上信号到达时刻不一致,反射信号同样到达某节点的时刻不一致,所以造成信号质量恶化。一般来讲,星型拓扑结构,可以通过控制同样长的几个 stub,使信号传输和反射时延一致,达到比较好的信号质量。

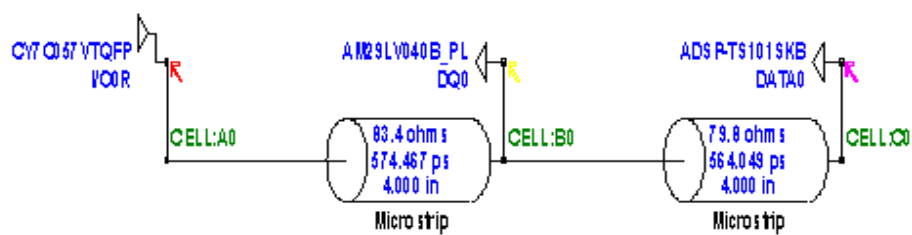
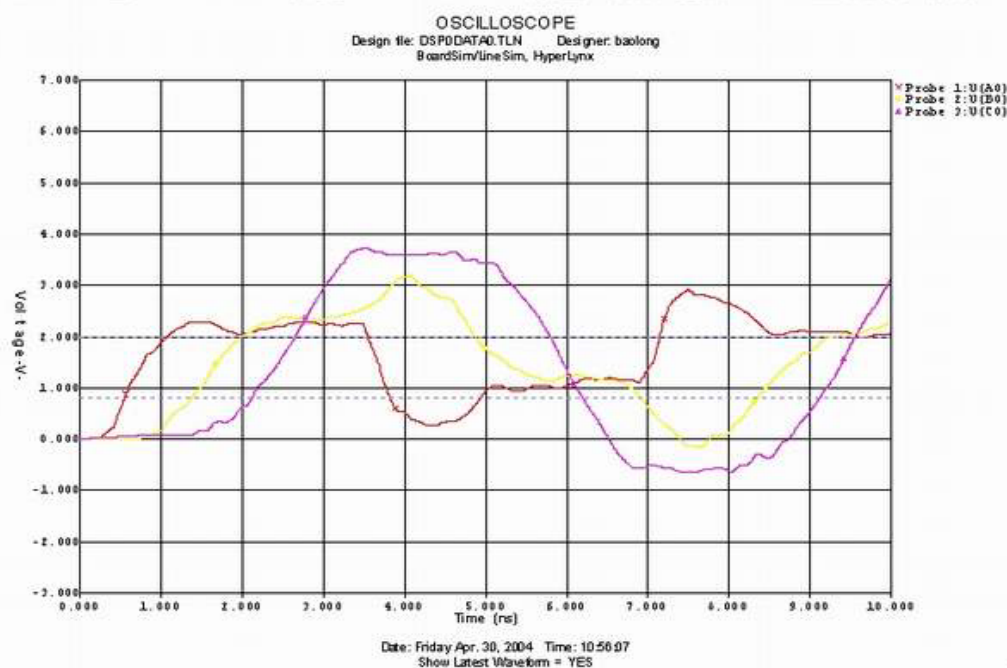
在使用拓扑之间,要考虑到信号拓扑节点情况、实际工作原理和布线难度。不同的 buffer,对于信号的反射影响也不一致,所以星型拓扑并不能很好解决上述数据地址总线连接到 flash 和 sdram 的时延,进而无法确保信号的质量;另一方面,高速的信号一般在 dsp 和 sdram 之间通信,flash 加载时的速率并不高,所以在高速仿真时只要确保实际高速信号有效工作的节点处的波形,而无需关注 flash 处波形;星型拓扑比较菊花链等拓扑来讲,布线难度较大,尤其大量数据地址信号都采用星型拓扑时。

附图是使用 Hyperlynx 仿真数据信号在 DDR——DSP——FLASH 拓扑连接,和 DDR——FLASH——DSP 连接时在 150MHz 时的仿真波形。

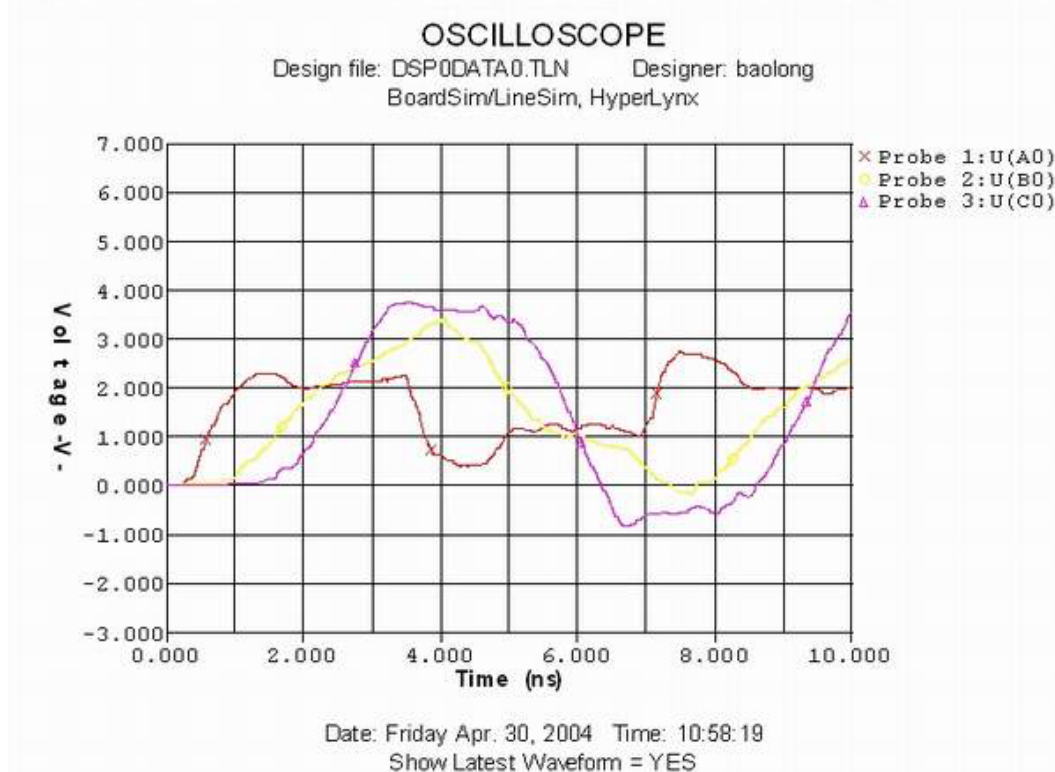
可以看到,第二种情形,DSP 处信号质量更好,而 FLASH 处波形较差,而实际工作信号时 DSP 和 DDR 处的波形。



DDR (红色) — DSP (黄色) — FLASH (紫色) 拓扑连接在 150MHz 的仿真波形。



DDR (红色) — FLASH (黄色) — DSP (紫色) 拓扑连接在 150MHz 的仿真波形。



76、频率 30M 以上的 PCB ,布线时使用自动布线还是手动布线 ;布线的软件功能都一样吗?是否高速信号是依据信号上升沿而不是绝对频率或速度。自动或手动布线要看软件布线功能的支持,有些布线手工可能会优于自动布线,但有些布线,例如查分布线,总线时延补偿布线,自动布线的效果和效率会远高于手工布线。一般 PCB 基材主要由树脂和玻璃丝布混合构成,由于比例不同,介电常数和厚度都不同。一般树脂含量高的,介电常数越小,可以更薄。具体参数,可以向 PCB 生产厂家咨询。另外,随着新工艺出现,还有一些特殊材质的 PCB 板提供给诸如超厚背板或低损耗射频板需要。

77、在 PCB 设计中,通常将地线又分为保护地和信号地;电源地又分为数字地和模拟地,为什么要对地线进行划分?

划分地的目的主要是出于 EMC 的考虑,担心数字部分电源和地上的噪声会对其他信号,特别是模拟信号通过传导途径有干扰。至于信号的和保护地的划分,是因为 EMC 中 ESD 静电放电的考虑,类似于我们生活中避雷针接地的作用。无论怎样分,最终的大地只有一个。只是噪声泻放途径不同而已。

78、在布时钟时,有必要两边加地线屏蔽吗?

是否加屏蔽地线要根据板上的串扰/EMI 情况来决定,而且如对屏蔽地线的处理不好,有可能反而会使情况更糟。

79、布不同频率的时钟线时有什么相应的对策?

对时钟线的布线,最好是进行信号完整性分析,制定相应的布线规则,并根据这些规则来进行布线。

80、PCB 单层板手工布线时,是放在顶层还是底层?

如果是顶层放器件,底层布线。

81、PCB 单层板手工布线时,跳线要如何表示?

跳线是 PCB 设计中特别的器件,只有两个焊盘,距离可以定长的,也可以是可变长度的。手工布线时可根据需要添加。板上会有直连线表示,料单中也会出现。

82、假设一片 4 层板,中间两层是 VCC 和 GND,走线从 top 到 bottom,从 BOTTOM SIDE 流到 TOP SIDE 的回流路径是经这个信号的 VIA 还是 POWER?

过孔上信号的回流路径现在还没有一个明确的说法,一般认为回流信号会从周围最近的接地或接电源的过孔处回流。一般 EDA 工具在仿真时都把过孔当作一个固定集总参数的 RLC 网络处理,事实上是取一个最坏情况的估计。

83、“进行信号完整性分析,制定相应的布线规则,并根据这些规则来进行布线”,此句如何理解?

前仿真分析,可以得到一系列实现信号完整性的布局、布线策略。通常这些策略会转化成一些物理规则,约束 PCB 的布局和布线。通常的规则有拓扑规则,长度规则,阻抗规则,并行间距和并行长度规则等等。PCB 工具可以在这些约束下,完成布线。当然,完成的效果如何,还需要经过后仿真验证才知道。

此外,Mentor 提供的 ICX 支持互联综合,一边布线,一边仿真,实现一次通过。

84、怎样选择 PCB 的软件?

选择 PCB 的软件,根据自己的需求。市面提供的高级软件很多,关键看看是否适合您设计能力,设计规模和设计约束的要求。刀快了好上手,太快会伤手。找个 EDA 厂商,请过去做个产品介绍,大家坐下来聊聊,不管买不买,都会有收获。

85、关于碎铜、浮铜的概念该怎么理解呢?

从 PCB 加工角度,一般将面积小于某个单位面积的铜箔叫碎铜,这些太小面积的铜箔会在加工时,由于蚀刻误差导致问题。从电气角度来讲,将没有合任何直流网络连结的铜箔叫浮铜,浮铜会由于周围信号影响,产生天线效应。浮铜可能会是碎铜,也可能是大面积的铜箔。

86、近端串扰和远端串扰与信号的频率和信号的上升时间是否有关系?是否会随着它们变化而变化?如果有关系,能否有公式说明它们之间的关系?

应该说侵害网络对受害网络造成的串扰与信号变化沿有关,变化越快,引起的串扰越大, $(V=L*di/dt)$ 。串扰对受害网络上数字信号的判决影响则与信号频率有关,频率越快,影响越大。详情请参阅相关链接:

http://www.eetchina.com/ARTICLES/2004MAY/1/2004MAY10_BD_NTFORUM01.HTM

http://www.eetchina.com/ART_8800305640_617681.617683.HTM.b8400e4b

87、在 PROTEL 中如何画绑定 IC?

http://www.eetchina.com/DG/eec_dg_free_reply.php?disc_grp_id=10004&topic_id=1000006921

具体讲,在 PCB 中使用机械层画绑定图,IC 衬底衬根据 IC SPEC.决定接 vccgndfloat,用机械层 print bonding drawing 即可。

88、用 PROTEL 绘制原理图,制板时产生的网络表始终有错,无法自动产生 PCB 板,原因是什么?

http://www.eetchina.com/DG/eec_dg_free_reply.php?disc_grp_id=10004&topic_id=1000002221

可以根据原理图对生成的网络表进行手工编辑,检查通过后即可自动布线。用制板软件自动布局和布线的板面都不十分理想。网络表错误可能是没有指定原理图中元件封装;也可能是布电路板的库中没有包含指定原理图中全部元件封装。如果是单面板就不要用自动布线,双面板就可以用自动布线。也可以对电源和重要的信号线手动,其他的自动。

89、PCB 与 PCB 的连接,通常靠接插镀金或银的“手指”实现,如果“手指”与插座间接触不良怎么办?

http://www.eetchina.com/DG/eec_dg_free_reply.php?disc_grp_id=10007&topic_id=1000006877

如果是清洁问题,可用专用的电器触点清洁剂清洗,或用写字用的橡皮擦清洁 PCB。还要考虑 1、金手指是否太薄,焊盘是否和插座不吻合;2、插座是否进了松香水或杂质;3、插座的质量是否可靠。

90、如何用 powerPCB 设定 4 层板的层？

http://www.eetchina.com/DG/eec_dg_free_reply.php?disc_grp_id=10004&topic_id=1000006458

可以将层定义为

1:no plane+ component(top route)

2:cam plane 或 split/mixed (GND)

3:cam plane 或 split/mixed (power)

4:no plane+component(如果单面放元件可以定义为 no plane+route)

注意:

cam plane 生成电源和地层是负片,并且不能在该层走线,而 split/mixed 生成的是正片,而且该层可以作为电源或地,也可以在该层走线(部推荐在电源层和地层走线,因为这样会破坏该层的完整性,可能造成 EMI 的问题)。将电源网络(如 3.3V,5V 等)在 2 层的 assign 中由左边列表添加到右边列表,这样就完成了层定义

91、PCB 中各层的含义是什么？

http://www.eetchina.com/DG/eec_dg_free_reply.php?disc_grp_id=10004&topic_id=1000006038

Mechanical 机械层：定义整个 PCB 板的外观，即整个 PCB 板的外形结构。

Keepoutlayer 禁止布线层：定义在布电气特性的铜一侧的边界。也就是说先定义了禁止布线层后，在以后的布过程中，所布的具有电气特性的线不可以超出禁止布线层的边界。

Topoverlay 顶层丝印层 & Bottomoverlay 底层丝印层：定义顶层和底的丝印字符，就是一般在 PCB 板上看到的元件编号和一些字符。

Toppaste 顶层焊盘层 & Bottompaste 底层焊盘层：指我们可以看到的露在外面的铜铂。

Topsolder 顶层阻焊层 & Bottomsolder 底层阻焊层：与 toppaste 和 bottompaste 两层相反，是要盖绿油层。

Drillguide 过孔引导层：

Drilldrawing 过孔钻孔层：

Multilayer 多层：指 PCB 板的所有层。

92、在高速 PCB 中，VIA 可以减少很大的回流路径，但有的又说情愿弯一下也不要打 VIA，应该如何取舍？

分析 RF 电路的回流路径，与高速数字电路中信号回流还不太一样。首先，二者有共同点，都是分布参数电路，都是应用 maxwell 方程计算电路的特性。

然而，射频电路是模拟电路，有电路中电压 $V = V(t)$ ，电流 $I = I(t)$ 两个变量都需要进行控制，而数字电路只关注信号电压的变化 $V = V(t)$ 。因此，在 RF 布线中，除了考虑信号回流外，还需要考虑布线对电流的影响。即打弯布线和过孔对信号电流有没有影响。

此外，大多数 RF 板都是单面或双面 PCB，并没有完整的平面层，回流路径分布在信号周围各个地和电源上，仿真时需要使用 3D 场提取工具分析，这时候打弯布线和过孔的回流需要具体分析；高速数字电路分析一般只处理有完整平面层的多层 PCB，使用 2D 场提取分析，只考虑在相邻平面的信号回流，过孔只作为一个集总参数的 R - L - C 处理。

93、在设计 PCB 板时，有如下两个叠层方案：

叠层 1

》信号

》地

》信号

》电源 + 1.5V

- 》 信号
- 》 电源 + 2.5V
- 》 信号
- 》 电源 + 1.25V
- 》 电源 + 1.2V
- 》 信号
- 》 电源 + 3.3V
- 》 信号
- 》 电源 + 1.8V
- 》 信号
- 》 地
- 》 信号

叠层 2

- 》 信号
- 》 地
- 》 信号
- 》 电源 + 1.5V
- 》 信号
- 》 地
- 》 信号
- 》 电源 + 1.25V + 1.8V
- 》 电源 + 2.5V + 1.2V
- 》 信号
- 》 地
- 》 信号
- 》 电源 + 3.3V
- 》 信号
- 》 地
- 》 信号

哪一种叠层顺序比较优选？对于叠层 2，中间的两个分割电源层是否会对相邻的信号层产生影响？这两个信号层已经有地平面给信号作为回流路径。

应该说两种层叠各有好处。第一种保证了平面层的完整，第二种增加了地层数目，有效降低了电源平面的阻抗，对抑制系统 EMI 有好处。

理论上讲，电源平面和地平面对于交流信号是等效的。但实际上，地平面具有比电源平面更好的交流阻抗，信号优选地平面作为回流平面。但是由于层叠厚度因素的影响，例如信号和电源层间介质厚度小于与地之间的介质厚度，第二种层叠中跨分割的信号同样在电源分隔处存在信号回流不完整的问题。

94、当信号跨电源分割时，是否表示对该信号而言，该电源平面的交流阻抗大？此时，如果该信号层还有地平面与其相邻，即使信号和电源层间介质厚度小于与地之间的介质厚度，信号是否也会选择地平面作为回流路径？

没错，这种说法是对的，根据阻抗计算公式， $Z = \sqrt{L/C}$ ，在分隔处，C 变小，Z 增大。当然此处，信号还与地层相邻，C 比较大，Z 较小，信号优先从完整的地平面上回流。但是，

不可避免会在分隔处产生阻抗不连续。

95、在使用 protel 99se 软件设计，处理器的是 89C51,晶振 12MHZ 系统中还有一个 40KHZ 的超声波信号和 800hz 的音频信号，此时如何设计 PCB 才能提供高抗干扰能力？

对于 89C51 等单片机而言,多大的信号的时候能够影响 89C51 的正常工作?除了拉大两者之间的距离之外,还有没有其他的技巧来提高系统抗干扰的能力?

PCB 设计提供高抗干扰能力，当然需要尽量降低干扰源信号的信号变化沿速率，具体多高频率的信号，要看干扰信号是那种电平，PCB 布线多长。除了拉开间距外，通过匹配或拓扑解决干扰信号的反射，过冲等问题，也可以有效降低信号干扰。

96、请问焊盘对高速信号有什么影响？

一个很好的问题。焊盘对高速信号有的影响，它的影响类似器件的封装对器件的影响上。详细的分析，信号从 IC 内出来以后，经过绑定线，管脚，封装外壳，焊盘，焊锡到达传输线，这个过程的所有关节都会影响信号的质量。但是实际分析时，很难给出焊盘、焊锡加上管脚的具体参数。所以一般就用 IBIS 模型中的封装的参数将他们都概括了，当然这样的分析在较低的频率上分析是可以接收的，对于更高频率信号更高精度仿真，就不够精确了。现在的一个趋势是用 IBIS 的 V - I、V - T 曲线描述 buffer 特性，用 SPICE 模型描述封装参数。当然，在 IC 设计当中，也有信号完整性问题，在封装选择和管脚分配上也考虑了这些因素对信号质量的影响。

97、自动浮铜后，浮铜会根据板子上面器件的位置和走线布局来填充空白处，但这样就会形成很多的小于等于 90 度的尖角和毛刺（比如一个多脚芯片各个管脚之间会有很多相对的尖角浮铜），在高压测试时候会放电，无法通过高压测试，不知除了自动浮铜后通过人工一点一点修正去除这些尖角和毛刺外有没有其他的好办法。

自动浮铜中出现的尖角浮铜问题，的确是各很麻烦的问题，除了有你提到的放电问题外，在加工中也会由于酸滴积聚问题，造成加工的问题。从 2000 年起，mentor 在 WG 和 EN 当中，都支持动态铜箔边缘修复功能，还支持动态覆铜，可以自动解决你所提到的问题。请见[动画演示](#)。（如直接打开有问题,请按鼠标右键选择“在新窗口中打开”，或选择“目标另存为”将该文件下载到本地硬盘再打开。）

98、请问在 PCB 布线中电源的分布和布线是否也需要象接地一样注意。若不注意会带来什么样的问题？会增加干扰么？

电源若作为平面层处理，其方式应该类似于地层的处理，当然，为了降低电源的共模辐射，建议内缩 20 倍的电源层距地层的高度。如果布线，建议走树状结构，注意避免电源环路问题。电源闭环会引起较大的共模辐射。

99、地址线是否应该采用星形布线？若采用星形布线，则 V_{tt} 的终端电阻可不可以放在星形的连接点处或者放在星形的一个分支的末端？

地址线是否要采用星型布线，取决于终端之间的时延要求是否满足系统的建立、保持时间，另外还要考虑到布线的难度。星型拓扑的原因是确保每个分支的时延和反射一致，所以星型连接中使用终端并联匹配，一般会在所有终端都添加匹配，只在一个分支添加匹配，不可能满足这样的要求。

100、如果希望尽量减少板面积，而打算像内存条那样正反贴，可以吗？

正反贴的 PCB 设计，只要你的焊接加工没问题，当然可以。

101、如果只是在主板上贴有四片 DDRmemory，要求时钟能达到 150Mhz，在布线方面有什么具体要求？

150Mhz 的时钟布线，要求尽量减小传输线长度，降低传输线对信号的影响。如果还不能满足要求，仿真一下，看看匹配、拓扑、阻抗控制等策略是有效。

102、在 PCB 板上线宽及过孔的大小与所通过的电流大小的关系是怎样的？

答：一般的 PCB 的铜箔厚度为 1 盎司，约 1.4mil 的话，大致 1mil 线宽允许的最大电流为 1A。过孔比较复杂，除了与过孔焊盘大小有关外，还与加工过程中电镀后孔壁沉铜厚度有关。