

# 计算机组织与体系结构实习 Lab 2.2

2017/10/30

## 1、RISC-V 性能模拟器

在lab 2.1的基础上，需完成：

1. 实现多周期处理器的模拟。要求如下：

- 自行划分指令各阶段，建议为5个阶段。
- 定点指令中，除了乘除和取余，各指令在执行阶段的周期数均为**1**。访存指令默认全部命中cache。
- 定点指令中，32位乘法指令（两个操作数均为32位）的执行阶段周期数为**1**，64位乘法指令（两个操作数均为64位数）的执行阶段周期数为**2**，32位数与64位数相乘，执行阶段周期数也为**2**。
- 定点指令中，单独的除法和取余指令的执行阶段周期数均为**40**。
- 如果同时需要商和余数，指令序列推荐如下，两条指令的总执行周期为**40**

```
• DIV[U] rdq, rs1, rs2; REM[U] rdr, rs1, rs2
```

**注意：**rdq不能是rs1或rs2。

2. 实现流水线处理器的模拟，要求如下：

- 指令各阶段划分同上
- 指令执行阶段的周期数同上
- 定点乘法可流水，除法不可流水
- 没有任何前递逻辑，遇到数据冒险就停顿，直到冒险解决
- 对于跳转和分支指令，跳转条件在执行阶段获得计算结果。为保证执行效率，统一采用静态分支预测策略：默认分支跳转不发生。如果执行阶段发现预测错误，需要重新取值，并碾压掉已进入流水线的错误指令。
- 没有任何的结构冒险

3. 提供模拟器模板，可根据模板修改，也可自行编写代码。

## 2、检查要求

0. 在报告中给出指令各阶段的清晰描述，并提供数据通路图。
1. 运行lab 2.1中提供的测试程序，输出执行的动态指令数。
2. 分别输出在多周期和流水线下的执行周期数，并分别计算CPI。
3. 请对流水线中因不同类型的冒险而发生的停顿进行统计分析。
4. 最终提交：lab报告（格式不限），模拟器源码，执行脚本及README说明。
5. 如果提供图形化界面，**可加分**。
6. 如果实现完整的ISA，或实现其他扩展集，**可加分**。
7. 如果能够正确实现动态分支预测或者乱序执行，并在数据通路图中给出相关模块和控制逻辑说明，**可加分**。