

计算机组织与体系结构实习 Lab 1.2

实习目的

1. 通过本 lab，以 RISC-V ISA 的各类处理器为例，了解并掌握比较方法和思路。
2. 深刻理解性能公式，并改变指令系统、微结构等因素，利用公式分析可能产生的影响。

一. 阅读 2021 年 CF 论文《A Comparative Survey of Open-Source Application-Class RISC-V Processor Implementations》，完成下述实验，回答下列问题。

1. 请根据文中给出的或网上查阅的资料，填写下表。

处理器名称	Rocket	BOOM	CVA6	SHAKTI
支持的 ISA				
基本特性，比如顺序/乱序、流水级数等				
Git contribution (community activity)				
Google Scholar hits (academic impact)				
FPGA Boards (technology support)				
Tapeouts (technology support especially documents)				

2. 本文选择应用级处理器作为比较对象，请解释什么是应用级处理器 (Application-class processor)，并说明这样选择的优点和不足。

3. 请阐述文中对四个处理器进行比较时采用的思路和方法，并举例说明。

4、第五章中使用性能、面积和能效作为评价指标，对上述四个处理器进行比较，得到结论。试回答：

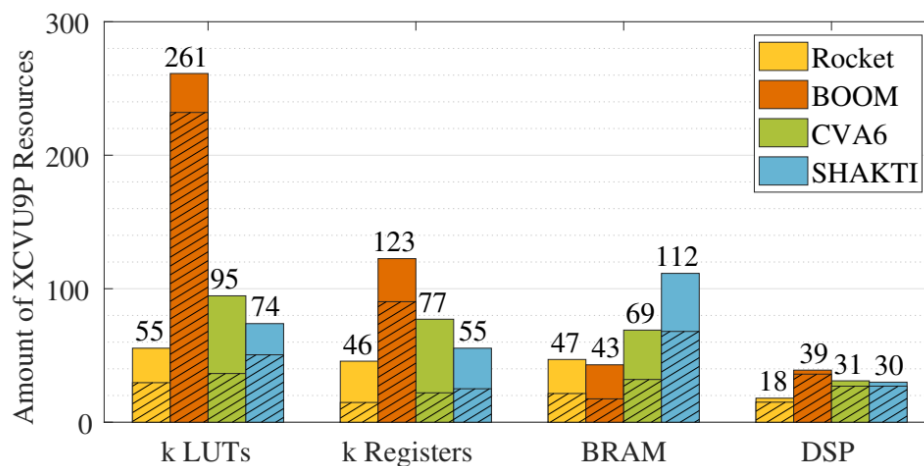
1) 对性能进行比较时，采用下图中参数作为评价指标，试一一解释。

DMIPS per MHz	CoreMark per MHz	SPEC17 IPC	Fmax [MHz] XCVU9P	Fmax [MHz] 22FDX
------------------	---------------------	---------------	----------------------	---------------------

2) 对能效进行比较时，对比了功耗（power consumption）和能效（energy efficiency），通过论文或查阅资料，解释他们的异同。

3) 看下面的图表，尝试分析 BOOM 处理器的特点。

Core	DMIPS per MHz	CoreMark per MHz	SPEC17 IPC	Fmax [MHz] XCVU9P	Fmax [MHz] 22FDX
Rocket	1.71	2.94	0.33	198	813
BOOM	3.87	6.25	0.50	88	943
CVA6	1.21	2.08	-	112	738
SHAKTI	1.70	2.84	0.23	136	685



Core	FPGA SoC static	FPGA SoC dynamic	ASIC Core static	ASIC Core dynamic	FPGA SoC MOp/J
Rocket	3080	1820	4.14	15.76	17.4
BOOM	3080	3030	26.37	139.03	31.7
CVA6	3080	1995	9.27	26.30	11.9
SHAKTI	3080	1660	24.20	23.81	17.5

二. 分析下列指令系统、微结构等方面的变化, 对程序中的指令数目、CPI、时钟周期以及整体性能的影响。如有影响, 请在下表内写明提升(增加)或降低(减少)或不确定, 并说明原因。如无影响, 请写无影响并说明原因。

		程序中的指令数	CPI	时钟周期	整体性能
1	ISA 中增加一条复杂指令				
2	减少处理器中的通用寄存器数量				
3	改善存储访问速度				
4	保持原有的 32 位指令系统, 并为常用功能添加 16 位指令系统				
5	在 CISC 处理器的微结构实现中, 将 CISC 指令先分解成 RISC 类指令(微操作), 然后再译码执行。				