

计算机组织与系统结构实习报告 Lab 2.2

学号：

姓名：

大班教师：

Part I：RISC-V 多周期模拟器（50分）

1. 基于实现的RISC-V ISA，给出指令各阶段的寄存器传输级描述（10分）。每类指令举1-2个例子即可。示例如下：

```
add rd, rs1, rs2
  共分为4个阶段
  取值: instr[31:0] <- imem[pc], PC <- PC +4
  译码: opcode = 0x33, func3 = 0x0, func7 = 0x00, raddr1 = instr[19:15], raddr2= instr[24:20],
  waddr= instr[11:7]
  执行: alusel= 0x0000(加法操作)
  写回: wen =1 wdata= aluout
```

2. 基于以上分析，给出多周期处理器的数据通路图和控制信号产生逻辑。不限形式，手绘也可。（10分）
3. 运行测试程序，给出动态执行的指令数。（共5个定点程序，每个2分）
4. 运行测试程序，给出多周期处理器的执行周期数，并计算平均CPI。（共5个定点程序，每个4分）

Part II：RISC-V 流水线模拟器（50分）

1. 基于实现的RISC-V ISA，给定流水线处理器的阶段划分，并简单介绍各阶段的工作。（5分）
2. 给出流水线处理器的数据通路图和控制信号产生逻辑。不限形式，手绘也可。（5分）
3. 请简要描述该流水线中会产生各种冒险，每类均需举例说明。（10分）
4. 运行测试程序，给出流水线处理器的执行周期数，并计算平均CPI。（共5个测试程序，每个4分）
5. 请对该流水线处理器中因不同类型的冒险而发生的停顿进行统计，并打印数据和分析。（共5个测试程序，每个2分）

Part III：其他加分

如有任何加分项目，请在此说明，并给出运行结果。