

VLSI 超大積體電路

實習

題目：前瞻進位加法器

任課教師：李文達老師

班級：電子三甲

學生：109360142 邱少譽

實習名稱:四位元前瞻式加法器(4Bits Look ahead adder)

班級: 電子三甲 姓名: 邱少譽 學號:109360142

1. 基本理論:前瞻式加法器(Look ahead adder)

由於在一般加法器下所生成的 $C_{i+1} = (A * B_i) + (A_i * C_i) + (B_i * C_i)$

所以我就先行將其公式整理為 $C_{i+1} = (A * B_i) + (A_i + B_i) * C_i$

並設兩個變數 G_i 、 P_i 來代表 $(A * B_i)$ 、 $(A_i + B_i)$

可得 $C_{i+1} = G_i + P_i * C_i$ ，並藉由此架構，先行計算出進位的數值

2. VLSI 電路架構設計

(1)本電路總元件介紹

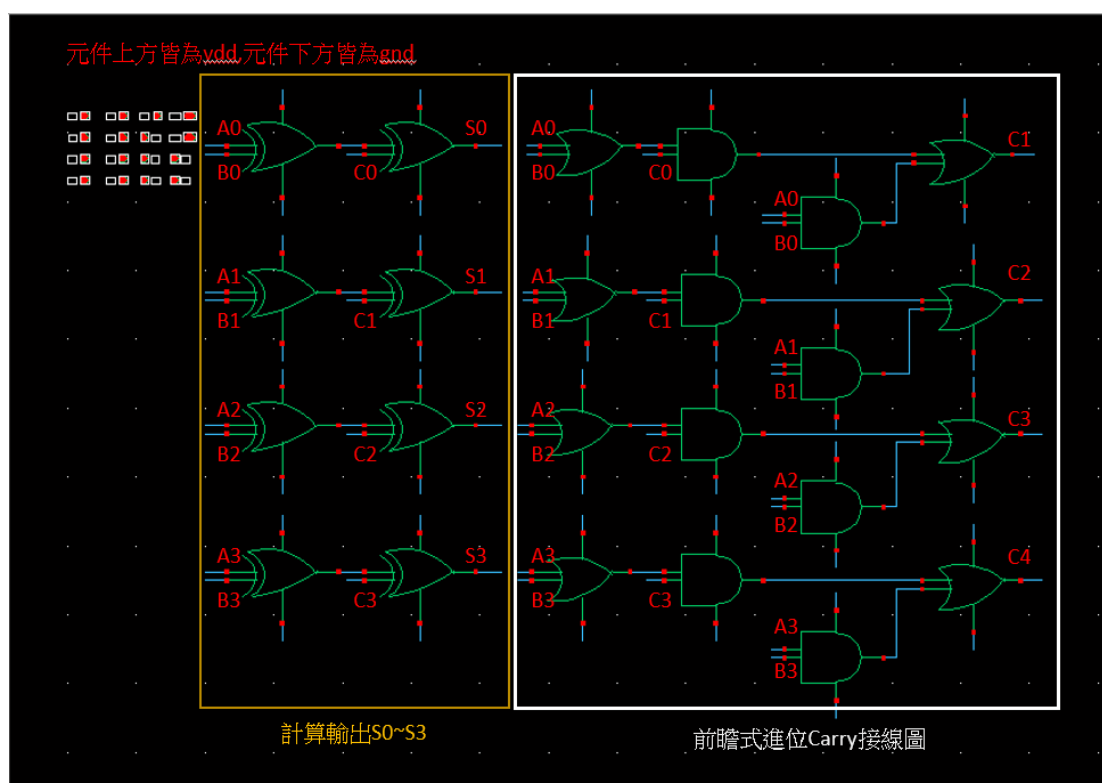


圖 4: 前瞻式加法器 cadence 電路總圖

(2)本電路的製成步驟如下：

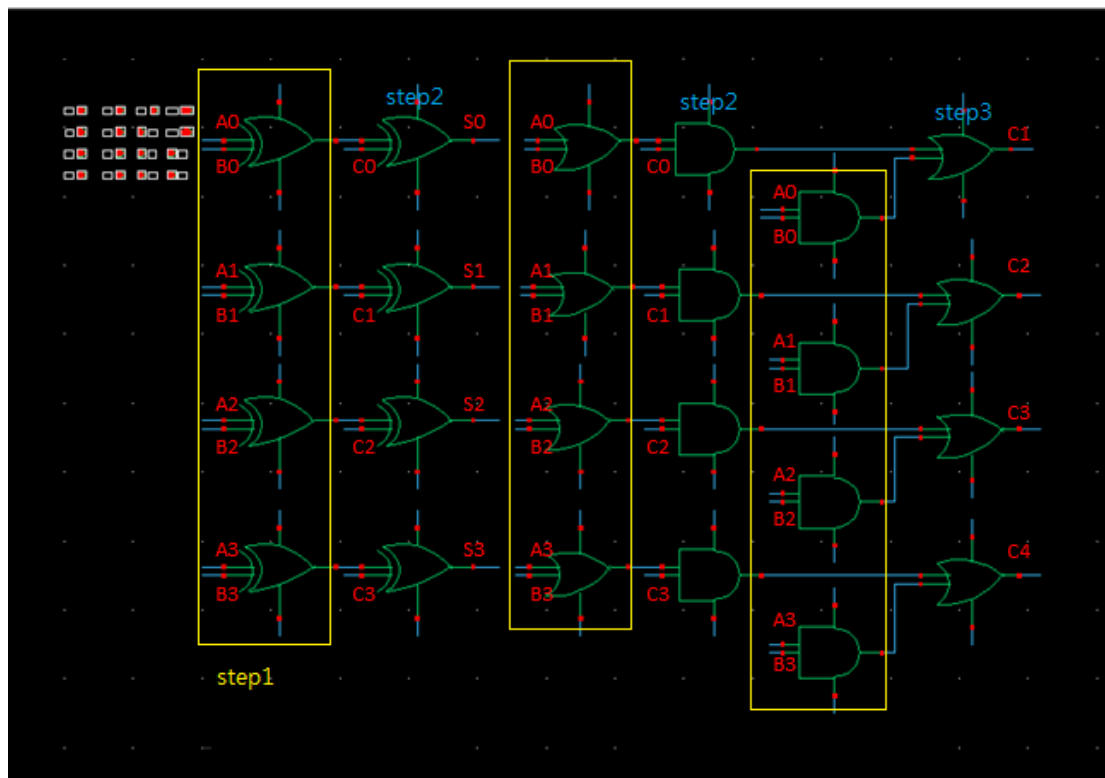


圖 1:輸出電路步驟架構圖

STEP1:先計算 $A_n \oplus B_n$ (左) , $A_n \text{ or } B_n$ (中) , $A_n \text{ and } B_n$ (右)

STEP2:接續計算 $A_n \oplus B_n \oplus C_n$ 得 S_n , 以及 $P_n * C_n$

STEP3 接續計算得 $C_{n+1} = G_n + P_n * C_n$

STEP4:重複 Step2 與 Step3 , 即可得解

(3) 提前計算 Cout 的電路方式

可直接算出 Cout 並且能夠多節省兩個時間序，但是在需多接多個多輸入的邏輯閘，所以本電路並未採用，藉由上述 $C_{i+1} = G_i + P_i * C_i$ 可以更快的一層層推敲從 C1 到 C3，特別的是在最高為能先算 carry，所以能夠多節省兩個時間序。

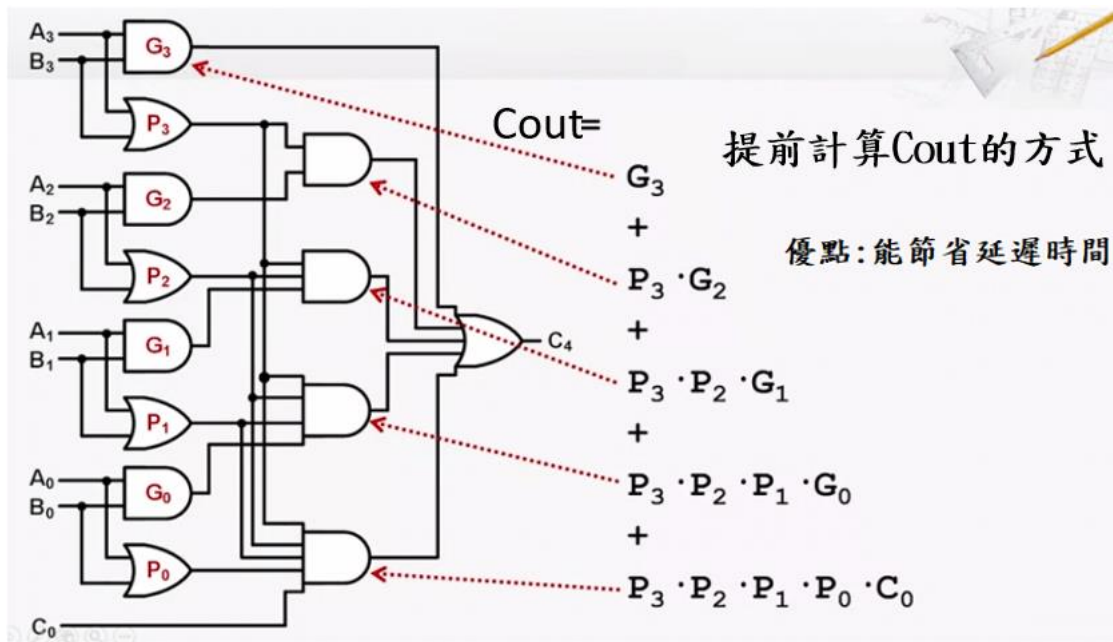


圖 2: 提前計算 Cout 的電路架構(圖片來源: it 邦幫忙)

(4) 與其他比較器比較優缺點

表 1: 漣波加法器(RCA)與前瞻加法器(CLA)比較

	漣波加法器(RCA)	前瞻加法器(CLA)	前瞻加法器 (先算 Cout)
組成結構	將四個一位元加法器串接而成	每個位元的進位是來自前瞻加法器所計算出的結果	C1 到 C3 的進位是來自前瞻加法器所計算出的結果
優點	電路較簡單，設計方便	進位延遲時間能夠個別先算，較節省時間	進位延遲時間能夠個別先算，且最後 Cout 可以先算能更省時間
缺點	高位元運算需要等低位元運算的進位，所以延遲時間較長	若位元數一多，電路較為複雜，較難設計	若位元數一多，電路比一般前瞻式加法器更為複雜，更難設計
花費時間比較 (以 nbits 為例)(如圖 3)	$3n$	$1+2n$	$1+2n-2$

(4) 解析所延遲的時間

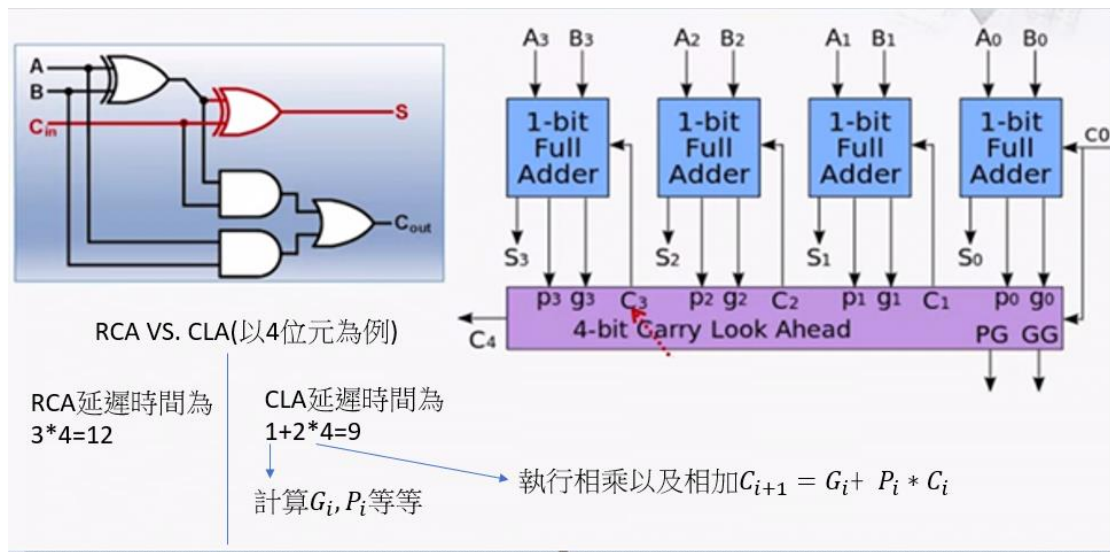


圖 3：漣波加法器與前瞻加法器延遲時間及架構解析(圖片來源:it 邦幫忙)

3. 元件佈局(SP 檔展示)

```

1 ***look_ahed***
2 .lib "/home/LEE/t109360142/Desktop/icfb/CDL_OUT/cic018.l" TT
3 |
4 .SUBCKT nand A B vout vdd gnd
5 Mp1 vout A vdd vdd P_18 L=180.00n W=1.88u
6 Mp2 vout B vdd vdd P_18 L=180.00n W=1.88u
7 Mn1 vout A w1 gnd N_18 L=180.00n W=500.0n
8 Mn2 w1 B gnd gnd N_18 L=180.00n W=500.0n
9 .ENDS
10
11 .SUBCKT nor A B vout vdd gnd
12 Mp1 w1 A vdd vdd P_18 L=180.00n W=1.88u
13 Mp2 vout B w1 vdd P_18 L=180.00n W=1.88u
14 Mn1 vout A gnd gnd N_18 L=180.00n W=500.0n
15 Mn2 vout B gnd gnd N_18 L=180.00n W=500.0n
16 .ENDS
17
18 .SUBCKT inv vin vout vdd gnd
19 mp1 vout vin vdd vdd P_18 L=180.00n W=1.88u m=1
20 mn1 vout vin gnd gnd N_18 L=180.00n W=500.0n m=1
21 .ENDS
22
23 .SUBCKT or A B Y vdd gnd
24 xnor A B vout vdd gnd nor
25 xinv vout Y vdd gnd inv
26 .ENDS
27
28 .SUBCKT and A B Y vdd gnd
29 xnand A B vout vdd gnd nand
30 xinv vout Y vdd gnd inv
31 .ENDS
32
33 .SUBCKT xor A B Y vdd gnd
34 xnand1 A B n1 vdd gnd nand
35 xnand2 A n1 n2 vdd gnd nand
36 xnand3 B n1 n3 vdd gnd nand
37 xnand4 n2 n3 Y vdd gnd nand
38 .ENDS
39
40 .SUBCKT look_ahed A0 A1 A2 A3 B0 B1 B2 B3 Cin S0 S1 S2 S3 Cout vdd gnd
41 xxor1 A0 B0 w1 vdd gnd xor
42 xxor2 w1 Cin S0 vdd gnd xor
43 xxor3 A1 B1 w2 vdd gnd xor
44 xxor4 w2 C1 S1 vdd gnd xor
45 xxor5 A2 B2 w3 vdd gnd xor
46 xxor6 w3 C2 S2 vdd gnd xor
47 xxor7 A3 B3 w4 vdd gnd xor
48 xxor8 w4 C3 S3 vdd gnd xor
49

```

圖 5:sp 檔 1

SP 檔功能介紹：

(如圖 5)第二行:引用 cic018.1 製程檔(TT 為模擬環境)

(如圖 5).subckt 到.ends 為各個包裝好的子電路

```
50 xand1 A0 B0 g0 vdd gnd and
51 xor1 A0 B0 p0 vdd gnd or
52 xand2 p0 Cin pg0 vdd gnd and
53 xor2 pg0 G0 C1 vdd gnd or
54
55 xand3 A1 B1 g1 vdd gnd and
56 xor3 A1 B1 p1 vdd gnd or
57 xand4 p1 C1 pg1 vdd gnd and
58 xor4 pg1 G1 C2 vdd gnd or
59
60 xand5 A2 B2 g2 vdd gnd and
61 xor5 A2 B2 p2 vdd gnd or
62 xand6 p2 C2 pg2 vdd gnd and
63 xor6 pg2 G2 C3 vdd gnd or
64
65 xand7 A3 B3 g3 vdd gnd and
66 xor7 A3 B3 p3 vdd gnd or
67 xand8 p3 C3 pg3 vdd gnd and
68 xor8 pg3 G3 Cout vdd gnd or
69
70 .ENDS
71
72 vdd vdd 0 1.8
73 vgnd gnd 0 0
74 vA0 A0 gnd pulse(0 1.8 0 0.1n 0.1n 12.5n 25n)
75 vA1 A1 gnd pulse(0 1.8 0 0.1n 0.1n 25n 50n)
76 vA2 A2 gnd pulse(0 1.8 0 0.1n 0.1n 50n 100n)
77 vA3 A3 gnd pulse(0 1.8 0 0.1n 0.1n 100n 200n)
78 vB0 B0 gnd pulse(0 1.8 0 0.1n 0.1n 8n 16n )
79 vB1 B1 gnd pulse(0 1.8 0 0.1n 0.1n 16n 32n)
80 vB2 B2 gnd pulse(0 1.8 0 0.1n 0.1n 32n 64n)
81 vB3 B3 gnd pulse(0 1.8 0 0.1n 0.1n 64n 128n)
82
83 vCin Cin gnd pulse(0 1.8 0 0.1n 0.1n 200n 400n)
84
85 xlook A0 A1 A2 A3 B0 B1 B2 B3 Cin S0 S1 S2 S3 Cout vdd gnd look_ahed
86
87 .op
88 .options post
89 .tran 0.01n 800n
90 .end
91
```

圖 6:sp 檔 2

SP 檔功能介紹：

(如圖 6)第 74 行的 pulse function 內部數值為：

PULSE (V1 V2 td tr tf pw per)

V1 初始電壓, V2 脈波電壓 td, 延遲時間, tr 上升時間
, tf 下降時間, pw 脈波寬度, per 週期

數值設計理念 per 為 pw 的兩倍，且每個位元差的 per 也同為兩倍就能滿足所有解，(A 與 B 的 per 時間不同能夠錯開，以方便測試)

4. 晶片電路波形模擬

以下波形第一個為 cin, 第二個為 A3~A0, 第二個為 B3~B0 第四個為 cout 第五個為 S3~S0，由圖 8 可得大致模擬的結果

$$\begin{array}{r}
 \text{Cin} \\
 \text{A3 A2 A1 A0} \\
 + \text{B3 B2 B1 B0} \\
 \hline
 \text{Cout S3 S2 S1 S0}
 \end{array}$$

圖 7：輸出算式對照圖

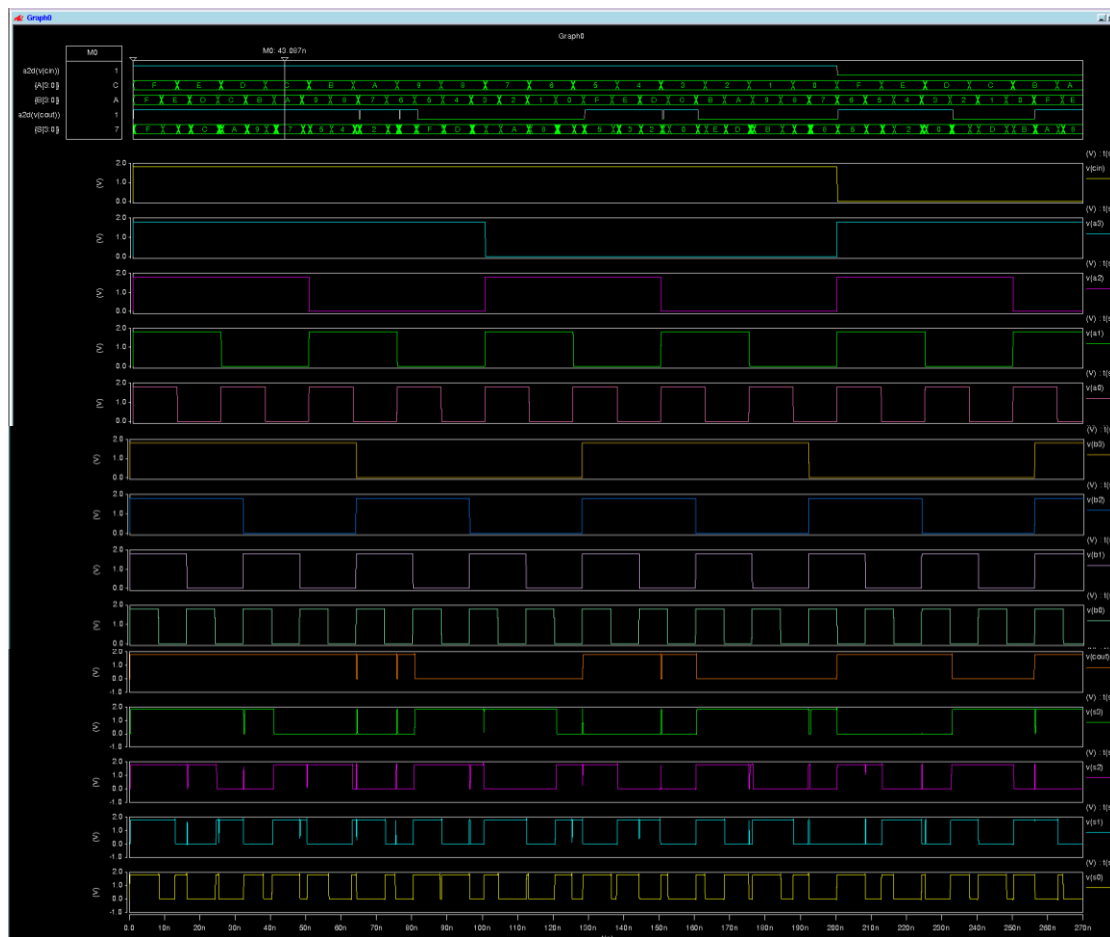


圖 8：前瞻式加法器 cosmos scope 模擬輸出入腳位

5. LVS 結果

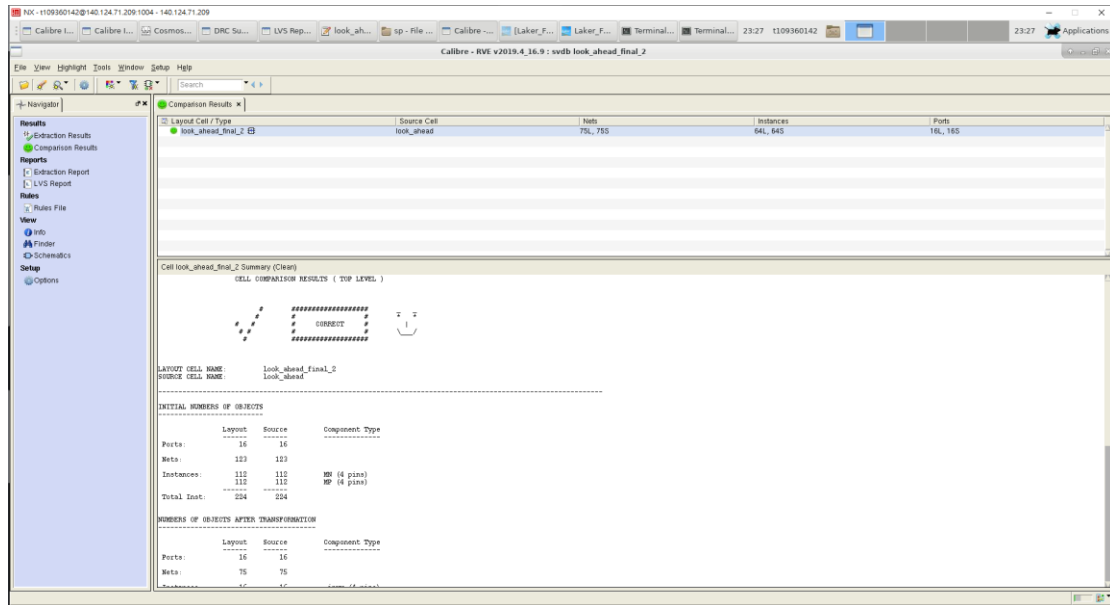


圖 9：前瞻式加法器 LVS

6. 佈局結果

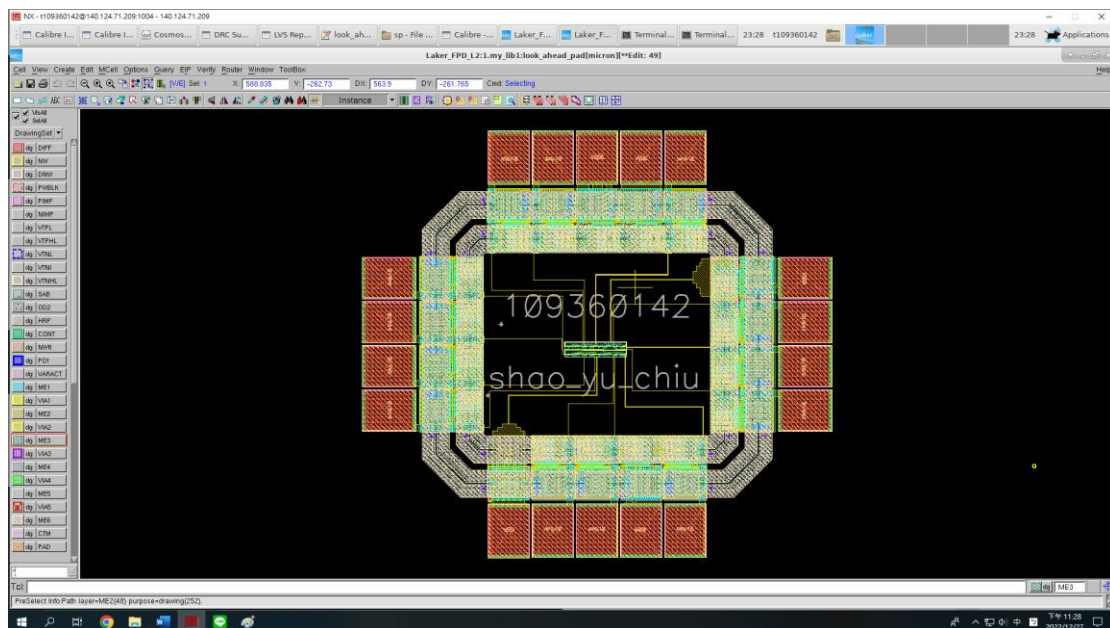


圖 10：前瞻式加法器整體佈局結果(含 PAD)

Pad 接線腳位簡介: AIN_18 為輸出入的 PAD, VDDI 為內層電路的電源端, VSSI 為內層電路的接地端, VDDE 為 PAD 的電源端, VSSE 為 PAD 的接地端, corner 為轉角處的連接端

7. 結論

藉由本次前瞻進位加法器實驗，有別於以往一般的漣波加法器，雖然架構稍微複雜些許，但是就整體而言相較於省下的時間成本，比起來根本不算什麼，至於本次實驗看似沒有減少很多單位時間，是因為 bits 數較少，倘若 bits 數較多時減少的時間就很可觀。