

实验 2 存储器工作原理

一、实验目的：

1. 熟练 RAM 和 ROM 的数据读写过程；
2. 掌握存储器的容量扩展方法；
3. 掌握寄存器文件的工作原理、设计方法和控制过程；
4. 掌握数据通路建立过程中各控制信号的时序关系；
5. 掌握寄存器和存储器之间的数据传输过程。
6. 熟悉多路选择器的使用

二、实验环境：

PC+Windows+Logisim

三、实验内容：

1. 存储器扩展 （30 分）

请用 $4K \times 8b$ （数据接口设置为分离加载和存储）的存储芯片扩展成为 $16K \times 32b$ 的存储器（字节编址，但按字对齐访问），搭建外围电路，完成如下对存储器的自动读写操作：

- （1）从存储单元 $M[10]$ 开始地址写入任意 $n(n>10)$ 个数据的写入操作；
- （2）对（1）写入数据读出，并验证其正确性
- （3）将存储器封装如图 2-1 所示。

提示：① $16K \times 32b$ ，就是 64KB，按“字节编址”，就是给每个字节一个地址，即 2^{16} 个字节（地址），所以地址线需 16 根， $A_{15} \sim A_0$ 。②按“字对齐访问”，就是给一个地址，例如：0000 0100 1111 11 00，那么实际访问的是 0000 0100 1111 11 00、0000 0100 1111 11 01、0000 0100 1111 11 10、0000 0100 1111 11 11 4 个字节，形成 32 位的字。简单的实现方法：地址线 A_1A_0 两位不参

与地址选择，空出来，只用 A₁₅~A₂ 连接作为存储芯片及其扩展的地址输入。这样比如给定地址 0x00、0x01、0x02、0x03 时，都访问 0x00 开始的 4 个字节，即一个字。

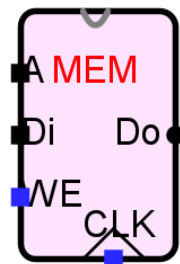


图 2-1 存储器封装

2. RegFile 设计 （30 分）

分析图 2-2 所示的寄存器堆的原理图,构建含有 32 个 32 位寄存器堆 Regfile 的电路，写入操作需有时钟信号控制，读取操作是组合电路。

要求：

(1)寄存器堆文件的端口信号如表 2-1 所示:

表 2-1 RegFile 端口信号

信号名称	位宽	方向	描述
CLK	1	I	时钟信号
RA1	5	I	读出寄存器地址 1
RA2	5	I	读出寄存器地址 2
WA	5	I	写入寄存器地址
Din	32	I	写入寄存器数据
WE	1	I	写入使能控制
RD1	32	O	寄存器地址 1 读出数据
RD2	32	O	寄存器地址 2 读出数据

(2)0 号寄存器的内容始终为 32 位全零，即 R0 恒等于 0;

(3)有两个读端口和一个写端口；

(4)能在时钟信号有效时写入数据到指定寄存器，能够随时读取任意一个寄存器的数据；

(5)为了能在后续实验中直接使用该寄存器堆模块，请按照表 2-1 给出的引脚图进行设计，然后按照图 2-3 进行封装。

(6)验证 RegFile 电路的正确性。

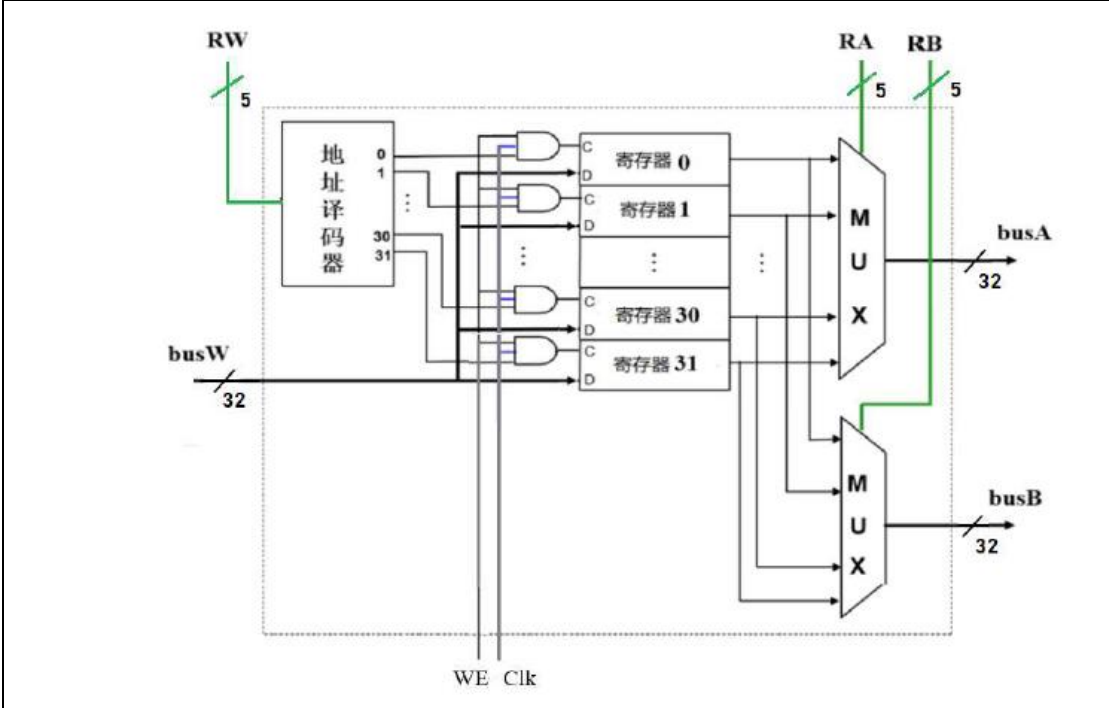


图 2-2 寄存器堆设计原理图

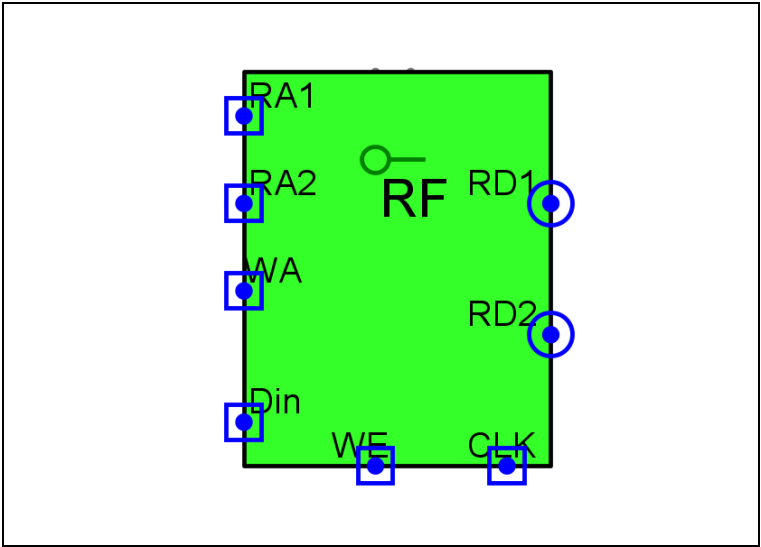


图 2-3 寄存器堆封装

3.数据互传（40 分）

(1) 数据通路构建

将封装好的 RegFile（即 RF）、MEM、以及第一次实验实现的 ALU，按图 2-4 所示的数据通路连接起来。

加载 ALU 电路的方法：将 ALU 电路拷贝到当前电路文件 XXX.circ 的同一个目录下，然后在 XXX.circ 的左边电路工程框，右键单击电路，选择“加载 Logisim 库”把 ALU 文件电路加载进来。

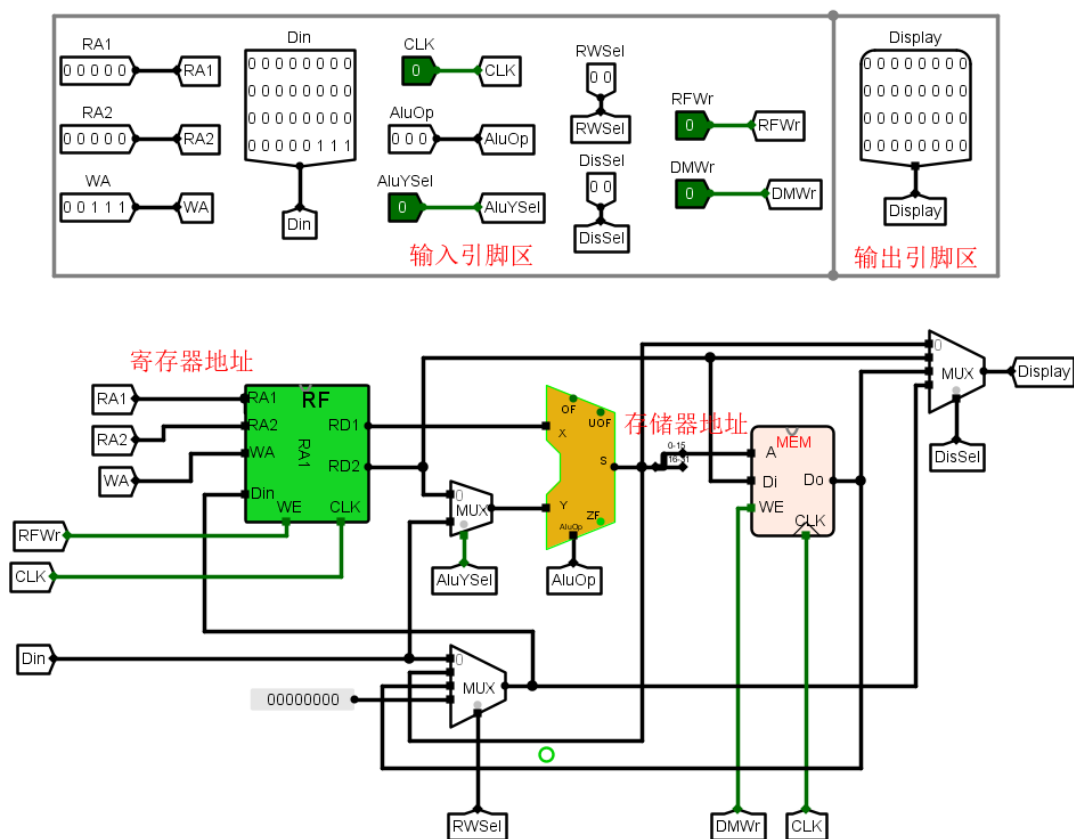


图 2-4 连接多个设备的数据通路图

(2) 分析图 2-4 所示的数据通路, 注意图中 3 个数据选择器的作用。

①将寄存器初始化为常数。

实现：R[7]<=0xfff_1000，填写完成表 2-2，要求按十六进制填写。若过程和某个信号无关，则填写“×”。

表 2-2 实现 R[7]<=x7fff 1000 的输入设置

[illegible]

用图或带箭头的文字说明表 2-2 设置的输入，会产生什么样的数据流动。数据流动是否需要 CLK？若需要，CLK 发出的时间和其他输入信号的时间关系是怎么样？

按照表 2-2 的设置方法，给 R[8]~R[11]写入 128~130，给 R[28]~R[30]写入-128~-130 的补码。截图说明数据写入了寄存器。

②寄存器传送给存储器，即 $M[x] \leq R[i]$ 。

实现： $M[12] \leq R[7]$ 。

将存储器地址 15 用 $R[0]+12$ 的方法产生，填写完成表 2-3。要求按十六进制填写，若过程和某个信号无关，则填写“×”。

表 2-3 实现 $M[12] \leq R[7]$ 的输入设置（ $R[0]+12$ 产生 MEM 地址）

RA1	RA2	WA	Din	AluOp	AluYSel	RWSel	RFWr	DMWr	CLK

将存储器地址 12 用 $R[1]+0$ 的方法产生，填写完成表 2-4，要求按十六进制填写，若和某个信号无关，则填写“×”。

表 2-4 实现 $M[12] \leq R[7]$ 的输入设置（ $R[1]+0$ 产生 MEM 地址）

RA1	RA2	WA	Din	AluOp	AluYSel	RWSel	RFWr	DMWr	CLK

用图或带箭头的文字说明表 2-3 设置的输入，会产生什么样的数据流动。数据流动是否需要 CLK？若需要，CLK 发出的时间和其他输入信号的时间关系是怎么样？

按照表 2-3 的设置方法，分别将 R[8]~R[11]、R[28]~R[30]写入 M[16]、M[20]、M[24]、M[28]、M[32]、M[36]。截图说明数据写入了存储器。分析：M[16]、M[20]、M[24]、M[28]、M[32]、M[36]在存储器中是否是连续的字？为什么地址都是 4 的倍数？

③存储器内容写入寄存器

实现： $R[16] \leq M[24]$ ，填写完成表 2-5，要求按十六进制填写。若过程和某个信号无关，则填写“×”。表格可以续行。

表 2-5 实现 $R[16] \leftarrow M[24]$ 的输入设置

RA1	RA2	WA	Din	AluOp	AluYSel	RWSel	RFWr	DMWr	CLK

用图或带箭头的文字说明表 2-5 设置的输入，会产生什么样的数据流动。数据流动是否需要 CLK？若需要，CLK 发出的时间和其他输入信号的时间关系是怎么样？

按照表 2-5 的设置方法，分别将 M[28]、M[32]、M[36]写入 R[17]~R[19]，截图说明数据写入了寄存器。

④ 寄存器之间的数据传输

实现： $R[25] \leftarrow R[19]$ ，填写完成表 2-6，要求按十六进制填写，若和某个信号无关，则填写“×”。

表 2-6 实现 $R[25] \leftarrow R[19]$ 的输入设置

RA1	RA2	WA	Din	AluOp	AluYSel	RWSel	RFWr	DMWr	CLK

用图或带箭头的文字说明表 2-6 设置的输入，会产生什么样的数据流动。数据流动是否需要 CLK？若需要，CLK 发出的时间和其他输入信号的时间关系是怎么样？

截图说明数据写入了寄存器。

⑤ 寄存器运算后写入寄存器

实现： $R[26] \leftarrow R[18] \text{ OP } R[7]$ ，OP 运算自己选择（各人不同），填写完成表 2-7，要求按十六进制填写。若过程和某个信号无关，则填写“×”。

表 2-7 实现 $R[26] \leftarrow R[18] \text{ OP } R[7]$ 的输入设置

RA1	RA2	WA	Din	AluOp	AluYSel	RWSel	RFWr	DMWr	CLK

上表中 ALU 实现什么运算？截图说明运算正确并将结果写入了寄存器。

四、思考题

请分析在图 2-4 的数据通路中，如何实现 MEM 中 M[X]和 M[Y]的数据传输？

五、实验报告

1.报告要求

根据本次实验内容的要求，写出实验操作步骤，包括：

（1）电路原理图；（可打印）；

（2）电路功能表；

（3）实验数据记录表，即实验测试时的输入输出对应表，要注意实验数据要对典型和和特异数据进行实验；

（4）错误现象及原因分析；

（5）回答思考题。

2.提交要求

提交纸质实验报告，并将电路图.circ 文件打包以班级为单位统一提交电子稿。