

实验 2 存储器工作原理

一、实验目的：

1. 熟练 RAM 和 ROM 的数据读写过程；
2. 掌握存储器的容量扩展方法；
3. 掌握寄存器文件的工作原理、设计方法和控制过程；
4. 掌握数据通路建立过程中各控制信号的时序关系；
5. 掌握寄存器和存储器之间的数据传输过程。
6. 熟悉多路选择器的使用

二、实验环境：

PC+Windows+Logisim

三、实验内容：

1. 存储器扩展（30 分）

请用 $4K \times 8b$ （数据接口设置为分离加载和存储）的存储芯片扩展成为 $16K \times 32b$ 的存储器，搭建外围电路，完成如下对存储器的自动读写操作：

- (1) 从存储单元 M[10]开始地址写入任意 n ($n > 10$) 个数据的写入操作；
- (2) 对 (1) 写入数据读出，并验证其正确性
- (3) 将存储器封装如图 2-1 所示。

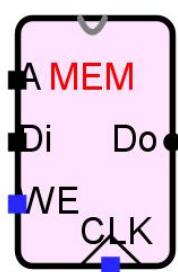


图 2-1 存储器封装

2.MIPS RegFile 设计 (30 分)

分析图 2-2 所示的寄存器堆的原理图, 构建含有 32 个 32 位寄存器堆 Regfile 的电路, 写入操作需有时钟信号控制, 读取操作是组合电路。

要求:

(1)MIPS 寄存器堆文件的端口信号如表 2-1 所示:

表 2-1 RegFile 端口信号

| 信号名称 | 位宽 | 方向 | 描述 |
|------|----|----|--------------|
| CLK | 1 | I | 时钟信号 |
| RA1 | 5 | I | 读出寄存器地址 1 |
| RA2 | 5 | I | 读出寄存器地址 2 |
| WA | 5 | I | 写入寄存器地址 |
| Din | 32 | I | 写入寄存器数据 |
| WE | 1 | I | 写入使能控制 |
| RD1 | 32 | O | 寄存器地址 1 读出数据 |
| RD2 | 32 | O | 寄存器地址 2 读出数据 |

(2) 0 号寄存器的内容始终为 32 位全零, 即 R0 恒等于 0;

(3) 有两个读端口和一个写端口;

(4) 能在时钟信号有效时写入数据到指定寄存器, 能够随时读取任意一个寄存器的数据;

(5) 为了能在后续实验中直接使用该寄存器堆模块, 请按照表 2-1 给出的引脚图进行设计, 不要改变灰框内的引脚、隧道的名称, 该电路已经进行进行了封装如图 2-3 所示。

(6) 验证 RegFile 电路的正确性。

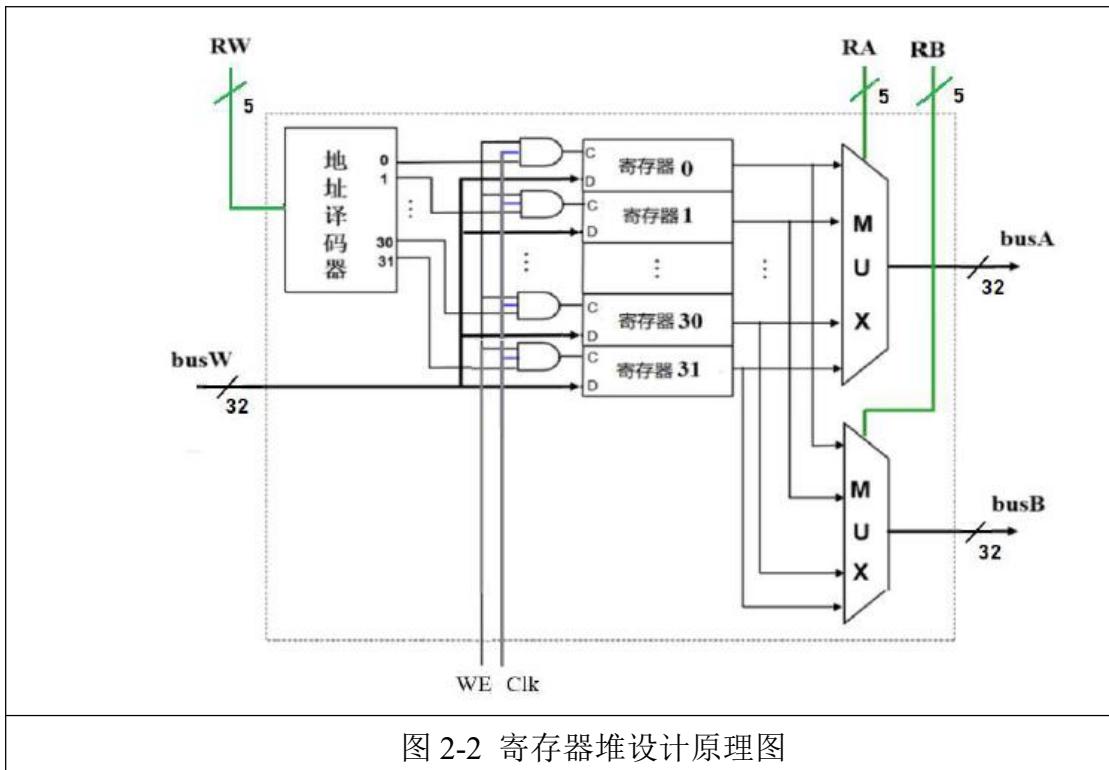


图 2-2 寄存器堆设计原理图

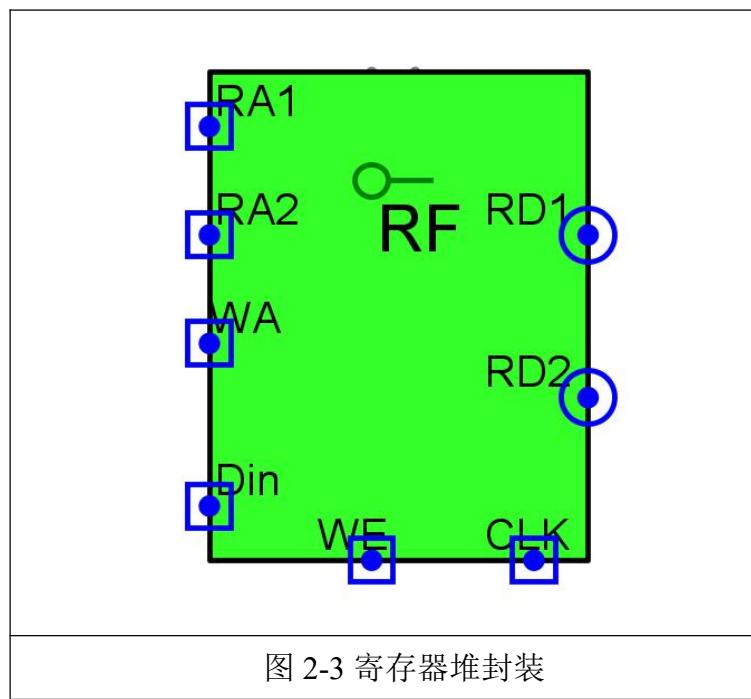


图 2-3 寄存器堆封装

3. 存储器之间的数据互传 (40 分)

分析图 2-4 所示的数据通路图中三个数据选择器的功能，利用本实验的存储器和 RegFileLogisim 下绘制和完善该电路，然后利用控制信号完成以下各种部件之间的数据传输，并针对每一种情况填写完整的控制流程。

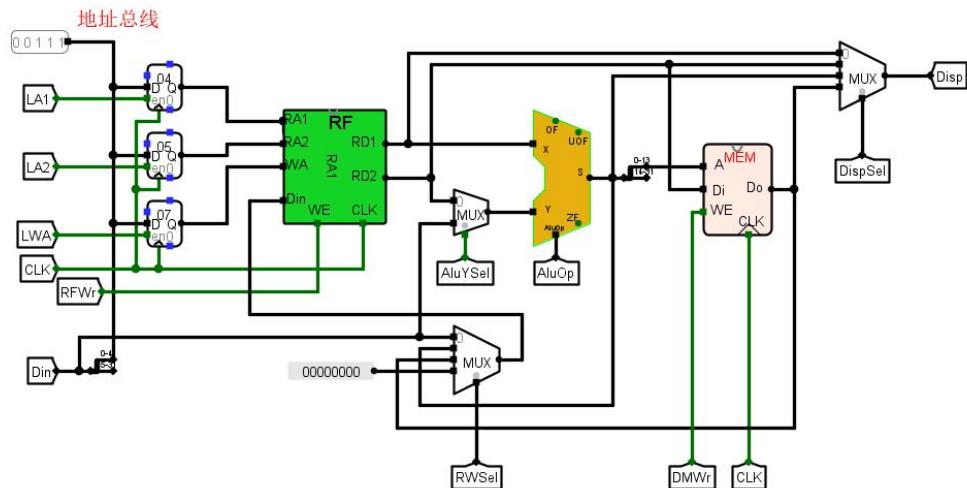
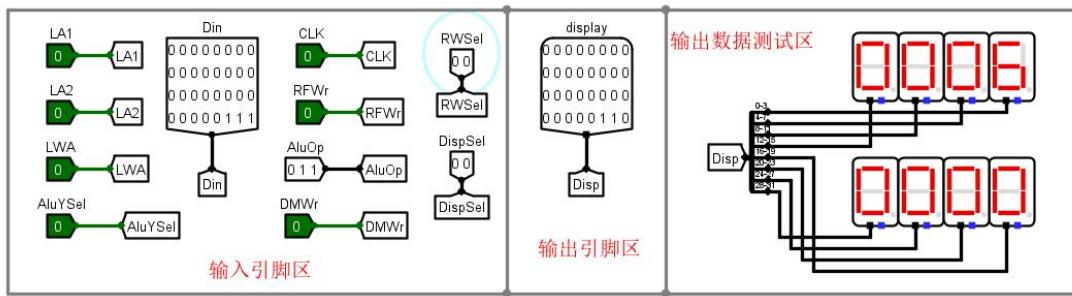


图 2-4 连接多个设备的数据通路图

(1) 将寄存器初始化为常数

即 $R[i] \leq \#data$, ($i=1 \sim 15$), 完成表 2-2 操作。

表 2-2 寄存器初始化操作

| 序号 | 数据传输操作 | 数据传输目的 | 数据源 |
|----|---------------|--------|-----|
| 1 | $R[2] \leq 4$ | $R[2]$ | #4 |
| 2 | $R[3] \leq 5$ | $R[3]$ | #5 |
| 3 | $R[4] \leq 6$ | $R[4]$ | #6 |

$R[i] \leq \#data$ 数据传输过程中的完整控制过程 (可增删行):

| 步骤 | 部件名称 | 输入信号 | 输出信号 | 控制信号 | 功能描述 | 是否 CLK 相关 |
|----|------|------|------|------|------|-----------|
| | | | | | | |
| | | | | | | |
| | | | | | | |

(2) 将寄存器的内容存入存储单元中

即 $M[x] \leq R[i]$ ($i=0 \sim 15$), 完成表 2-3 操作。

表 2-3 存储单元存数传输操作。

| 序号 | 数据传输操作 | 数据传输目的 | 数据源 |
|----|-------------|--------|------|
| 1 | M[2]<=R[3] | M[2] | R[3] |
| 2 | M[10]<=R[4] | M[10] | R[4] |

M[x] <= R[i] 数据传输过程中的完整控制过程（可增删行）：

| 步骤 | 部件名称 | 输入信号 | 输出信号 | 控制信号 | 功能描述 | 是否 CLK 相关 |
|----|------|------|------|------|------|-----------|
| | | | | | | |
| | | | | | | |
| | | | | | | |

(3) 将存储器的内容存入寄存器中

即 $R[i] \leq M[x]$ ($i=1 \sim 15$), 完成表 2-4 操作。

表 2-4 存储单元取数传输操作

| 序号 | 数据传输操作 | 数据传输目的 | 数据源 |
|----|---------------|--------|-------|
| 1 | R[1] <= M[10] | R[1] | M[10] |
| 2 | R[31] <= M[2] | R[31] | M[2] |

R[i] <= M[x] 数据传输过程中的完整控制过程（可增删行）：

| 步骤 | 部件名称 | 输入信号 | 输出信号 | 控制信号 | 功能描述 | 是否 CLK 相关 |
|----|------|------|------|------|------|-----------|
| | | | | | | |
| | | | | | | |
| | | | | | | |

(4) 实现寄存器之间的数据传输

即 $R[i] \leq R[j]$, ($i=1 \sim 15$, $j=0 \sim 15$, 且 $i \neq j$), 完成表 2-5 操作。

表 2-5 寄存器间数据传输操作

| 序号 | 数据传输操作 | 数据传输目的 | 数据源 |
|----|-------------|--------|------|
| 1 | R[10]<=R[2] | R[10] | R[2] |
| 2 | R[11]<=R[3] | R[11] | R[3] |
| 3 | R[12]<=R[4] | R[12] | R[5] |

R[i] <= R[j] 数据传输过程中的完整控制过程（可增删行）：

| 步骤 | 部件名称 | 输入信号 | 输出信号 | 控制信号 | 功能描述 | 是否 CLK 相关 |
|----|------|------|------|------|------|-----------|
| | | | | | | |
| | | | | | | |
| | | | | | | |

(5) 将两个寄存器进行运算后再存入寄存器

即 $R[s] \leftarrow R[i] \text{ OP } R[j]$, ($s=1 \sim 15$, $i,j=0 \sim 15$), 完成表 2-6 操作。

表 2-6 寄存器运算操作

| 序号 | 数据传输操作 | 数据传输目的 | 数据源 |
|----|------------------------------|--------|---------------|
| 1 | $R[5] \leftarrow R[2]+R[12]$ | $R[5]$ | $R[2], R[12]$ |
| 2 | $R[6] \leftarrow R[3]-R[11]$ | $R[6]$ | $R[3], R[11]$ |
| 3 | $R[7] \leftarrow R[4] R[5]$ | $R[7]$ | $R[4], R[15]$ |

$R[s] \leftarrow R[i] \text{ OP } R[j]$ 数据传输过程中的完整控制过程 (可增删行):

| 步骤 | 部件名称 | 输入信号 | 输出信号 | 控制信号 | 功能描述 | 是否 CLK 相关 |
|----|------|------|------|------|------|-----------|
| | | | | | | |
| | | | | | | |
| | | | | | | |

四、思考题

请分析在图2-的数据通路中，如何实现MEM中M[X]和M[Y]的数据传输？

五、实验报告

1. 报告要求

根据本次实验内容的要求，写出实验操作步骤，包括：

- (1) 电路原理图；(可打印)；
- (2) 电路功能表；
- (3) 实验数据记录表，即实验测试时的输入输出对应表，要注意实验数据要对典型和

和特异数据进行实验；

(4) 错误现象及原因分析；

(5) 回答思考题。

2.提交要求

提交纸质实验报告，并将电路图.circ 文件打包以班级为单位统一提交电子稿。