

## Master 1 informatique. Juin 2016

## Architecture évoluée des ordinateurs.

## Documents autorisés

## Exercice 1: Codages en VHDL (5 points 1+2+2)

```
entity xxx is
  port ( a, b, c, d: in std_logic;
        s: in std_logic_vector(1 downto 0);
        y: out std_logic);
end entity xxx;
architecture xxx1 of xxx is
begin
  process (a, b, c, d, s)
  begin
    case s is
      when "00" => y <= a;
      when "01" => y <= b;
      when "10" => y <= c;
      when "11" => y <= d;
    end case;
  end process;
end architecture xxx1;
```

1. Que fait ce composant matériel ? Identifiez le type de circuit.
2. A quoi sert la liste (a, b, c, d, s) ? Expliquez son comportement.
3. Donnez une version de l'architecture sans process.
  - a. Avec un when else
  - b. Avec un with select

## Exercice 2 : IP Comparateur (5 points 1+2+2)

Il s'agit d'un circuit permettant de comparer deux bus de données de 8 bits, A et B, et de générer un signal de sortie EQ qui vaut '1' ssi A et B sont égaux.

1. Donnez l'entité de ce comparateur de 2 mots de 8 bits.
2. Vous disposez du composant suivant :

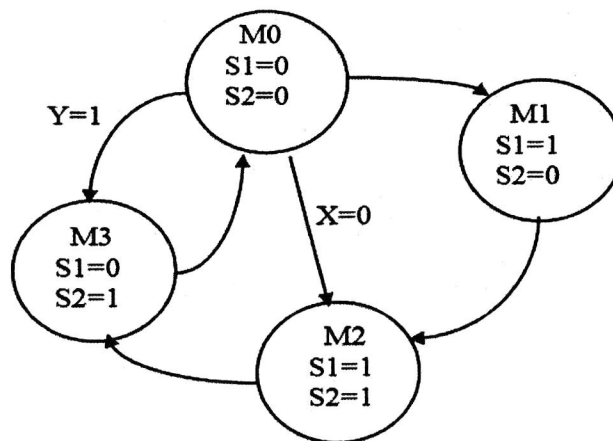
```
entity eqcomp4 is
  port (a, b: in std_logic_vector(3 downto 0);
        equals : out std_logic);
end eqcomp4;
architecture dataflow of eqcomp4 is
begin
  equals <= '1' when (a = b) else '0';
end dataflow;
```

Codez l'architecture du comparateur 8 bits en utilisant ce composant.

- Enfin, il faudrait intégrer ce composant dans le processeur HoMade. A sera en sommet de pile et B en sous sommet, on prendra les 8 bits de poids faibles sur les 32 bits, EQ sera rangé sur la pile avec les 31 bits de poids fort à '0'. Le code de ce short IP sera x22. Donnez l'entity et l'architecture du code VHDL correspondant à cet IP HoMade.

### Exercice 3 : IP FSM (5 points 2+2+1)

Voici ci-dessous la représentation schématique d'un système à 4 états (M0 à M3), 2 sorties (S1 et S2), 2 entrées X et Y, sans oublier l'entrée d'horloge qui fait avancer le process, et celle de remise à zéro qui permet de l'initialiser :



L'état initial est M0. Les 2 sorties sont à '0'. Au top d'horloge on passe inconditionnellement à l'état M1 sauf si la condition Y='1' a été vérifiée, ce qui mène à l'état M3 ou si X='0' a été validé ce qui mène à M2. De M1 on passe à M2, et de M2 on passe à M3... Dans chaque état on définit les niveaux des sorties S0, S1 comme indiqués dans les nœuds.

- Ecrire la description VHDL (Entité et Architecture) de ce système en se basant sur le diagramme d'état. Le système est actif sur front montant. Il serait souhaitable de prendre en exemple le codage d'un FSM proposé par Xilinx (vu en TD).
- Construisez un IP long pour HoMade qui produit en sortie S1 en sous sommet de pile et S0 en sommet de pile. On placera leurs 31 bits de poids fort à '0'. Le code de cet IP est x33. Les signaux X et Y sont fournis par des entrées annexes (pas sur la pile) directement connectées à l'IP. Donnez l'entity et l'architecture de cet IP.
- Donnez tous les codes instruction assembleur HoMade sur 16 bits associés à cet IP. Lesquels sont intéressants ?

### Exercice 4 : Cache (5 points 1+2+2)

- Pour un cache dont les lignes font 128 octets, donnez l'adresse du premier mot de la ligne contenant aux adresses suivantes :  
 a) A238\_47EF      b) 7245\_824E      c) EFA\_BCD2

2. Un cache set-associatif a une taille de block de 4 mots de 16-bit et une associativité de 2 ensembles. Le cache peut contenir au total 4048 mots. La mémoire principale est de  $64K * 32\text{-bit}$ . Proposez une structure de cache (nombre d'entrées, Tag etc...) et montrez comment les adresses générées par le processeur sont interprétées champ par champ.
3. Décrivez une technique simple permettant d'implémenter une stratégie de remplacement de type LRU pour ce cache set-associatif à 2 ensembles? et s'il était à 4 ensembles?