

ESC0830 内生安全微控制器芯片 数据手册

V1.1

紫金山实验室

功能列表 Features List

- Embedded three Heterogeneous Redundancy CPU core
 - 120 MHz maximum frequency
 - 1.25 DMIPS/MHz
 - 3.34 Coremark/MHz
 - 3-pipeline stages
 - Single-cycle multiplication and hardware division
- ARM 32-bit Cortex-M3 CPU Core
 - 120 MHz maximum frequency
 - 1.25 DMIPS/MHz
 - 3.34 Coremark/MHz
 - 3-pipeline stages
- MIPS microAptiv UC CPU Core
 - 120 MHz maximum frequency
 - 1.7 DMIPS/MHz
 - 3.44 Coremark/MHz
 - 5-pipeline stages
- RISC-V E906 CPU Core
 - 120 MHz maximum frequency
 - 20. DMIPS/MHz
 - 3.5 Coremark/MHz
 - 5-pipeline stages
- Interconnect Bus
 - AHB Protocol support
 - APB Protocol support
- Memories
 - 1 Mbytes of Flash memory(one copy for each cpu core)
 - 800 Kbytes (192KB*3+96KB+128KB)of SRAM memory
- Clock,reset and supply management
 - 2.0 to 3.6 V application supply and I/Os
 - POR, PDR, and programmable voltage detector (PVD)
 - 4-to-16 MHz crystal oscillator
 - Internal 8 MHz factory-trimmed RC
 - Internal 40 kHz RC
 - PLL for CPU clock
 - 32 kHz oscillator for RTC with calibration
- Low-power mode support
 - Sleep,Stop and standby modes
- Analog Modules
 - 2 x 16-bit, 1 μ s A/D converters (up to 16 Channels)
 - 3 Analog Comparator
 - 16 Digital Comparator
- DMA
 - 32-channel DMA controller
 - Peripherals supported: Timers, ADC, SPIs, I²Cs and UARTs
- CAN interface (2.0B Active)

- LSP
 - 12 Timers
 - 1 RTC
 - 2 Watchdogs
 - 6 I²C
 - 8 UARTs
 - 4 SSI
 - 16 PWM ports
 - 2 QEI
 - 114 GPIOs
- Debug mode
 - IEEE standard JTAG
 - ARM Serial wire debug (SWD)
- Software Support
 - Compile, link and debug IDE
 - Embedded OS
- LQFP 144 package
- HBM 2000V
- Power Supply
 - 3.3V VDD (1.2V Core VDD)
 - 3.3V VDDA
 - 3.3V VDDIO
- Temperature Characteristics
 - Operating temperature range -40 ~ 125 °C
 - Storage temperature range -65 ~ 150 °C



修 订 记 录

目录

功能列表 Features List.....	2
修 订 记 录.....	2
目 录.....	3
1. 芯片概述.....	- 1 -
2. 芯片系统描述.....	- 2 -
2.1. 系统架构组成.....	- 2 -
2.2. 系统划分.....	- 3 -
2.3. 多核 CPU.....	- 4 -
2.3.1. ARM Cortex-M3 核	- 4 -
2.3.2. MIPS microAptiv 核	- 6 -
2.3.3. RISC-V E906.....	- 7 -
2.3.4. 片上存储	- 8 -
2.3.5. 看门狗	- 10 -
2.4. 拟态调度.....	- 10 -
2.4.1. 特性	- 10 -
2.4.2. 实现架构简介	- 11 -
2.5. 总线.....	- 11 -
2.6. 内存映射.....	- 12 -
2.7. 全局控制.....	- 16 -
2.8. 接口及外设.....	- 16 -
2.8.1. μDMA	- 16 -
2.8.2. 通用定时器	- 17 -
2.8.3. 看门狗定时器	- 18 -
2.8.4. RTC.....	- 18 -
2.8.5. CAN 控制器.....	- 18 -
2.8.6. GPIO.....	- 19 -
2.8.7. 串行通信外设	- 19 -
2.8.8. 电机控制接口	- 21 -
2.8.9. PWM.....	- 21 -
2.8.10. 模拟外设	- 22 -
2.8.11. SWD/JTAG 调试口.....	- 23 -
3. 工作模式设计.....	- 23 -
3.1. 工作模式类型.....	- 23 -

3.2.	功耗控制.....	- 23 -
4.	电气规范信息.....	- 24 -
4.1	绝对最大额定值.....	- 24 -
4.3.2	高速外部时钟参数.....	- 24 -
4.3.3	GPIO 参数	- 25 -
4.3.4	NRST 参数.....	- 25 -
4.3.5	TIM 参数	- 25 -
4.3.6	I ² C 接口参数	- 26 -
4.3.7	SPI 接口参数	- 26 -
4.3.8	CAN 参数	- 28 -
4.3.9	ADC 参数	- 28 -
4.3.10	COMP 参数.....	- 28 -
5.	封装及 PAD 复用	- 29 -
5.1.	封装信息.....	- 29 -
5.2.	管脚信息.....	- 29 -

1. 芯片概述

ESC0830 内生安全控制器芯片是基于 ARM Cortex-M3/MIPS microAptiv UC/RISC-V E906 三核异构冗余 CPU core 的微控制器，用于处理要求高集成度和低功耗的嵌入式应用。具备多个异构微处理器内核及拟态调度器，可以实现多冗余度的拟态判决。

ESC0830 内生安全控制器芯片内嵌多核 CPU core、DMA、看门狗、芯片控制逻辑以及多种外围接口等，包含以下模块：1 个 ARM Cortex M3 核；1 个 MIPS microAptiv UC 核；1 个 RISC-V E906 核；1 个 DMA；12 个 timer；2 个 watchdog；114 个 GPIO；3 个模拟比较器；16 通道的 ADC；8 个 UART 接口；6 个 I²C；2 个 CAN；1 个 I²S；4 个 SSI；16 个 PWM；2 个 QEI；以及 SRAM 和 Flash 等。

随芯片还会提供集成编译、链接及 debug 功能的集成开发环境（IDE）方便用户使用，每个 CPU 核都可以独立运行小型操作系统。

2. 芯片系统描述

2.1. 系统架构组成

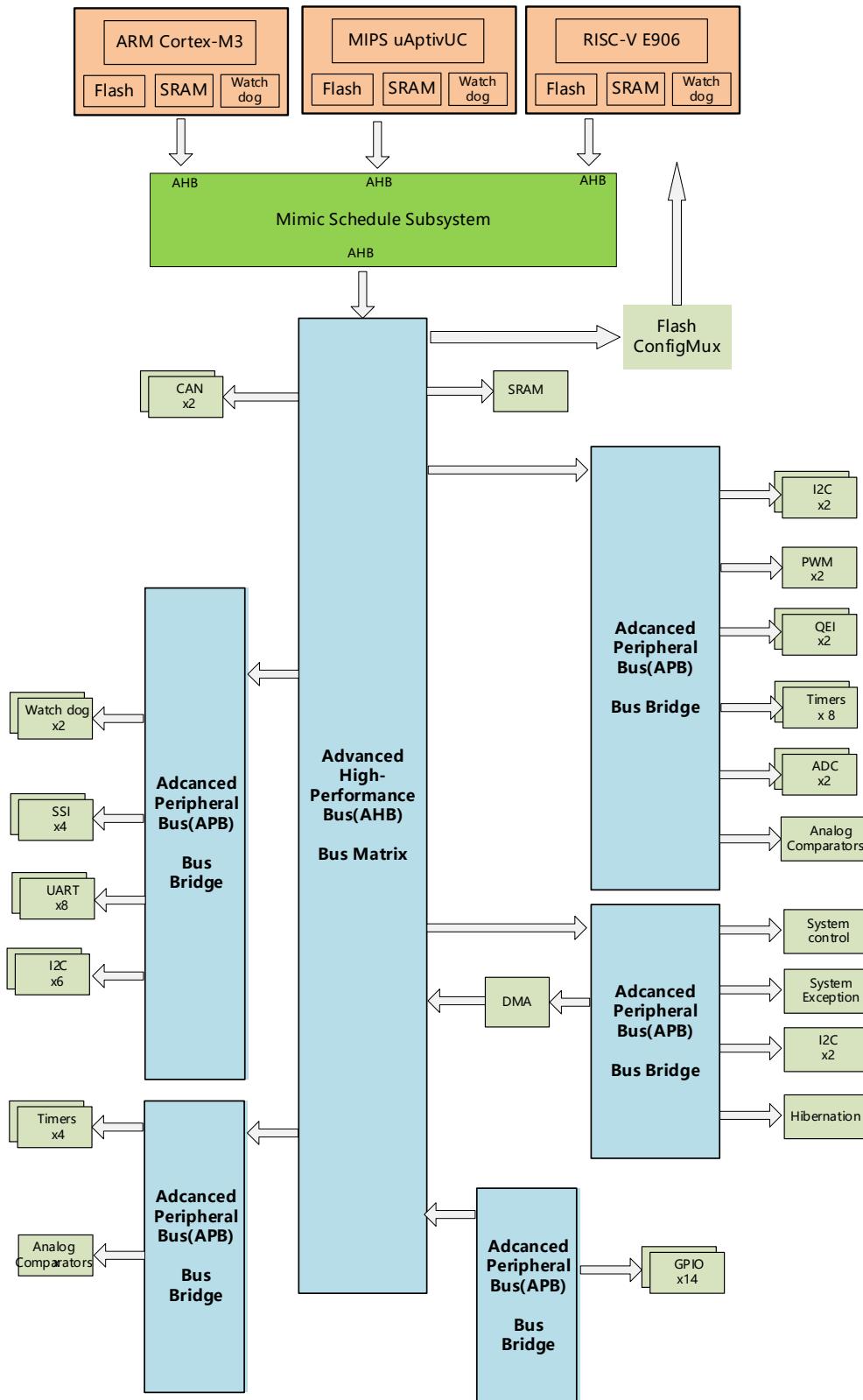


图 2-1 系统架构框图

ESC0830 内生安全控制器芯片是基于 ARM Cortex-M3/MIPS microAptiv UC/RISC-V E906 CPU 的微控制器核心设计，除开内嵌 CPU 核外，还包含以下 5 种接口类型：

- (1) 存储接口，每个 CPU core 都带有 SRAM 和 Flash 两种类型存储器，为保证安全，每个 CPU 及配套的存储与其他 CPU 系统之间相互隔离。
- (2) 系统接口，包含微型直接存储器访问 (μ DMA)、看门狗定时器、通用定时器、通用输入/输出接口 (GPIOs)。
- (3) 串行接口，包含通用异步收发器 (UART)、同步串行接口 (SSI)、内部集成电路接口 (I²C)、控制器局域网接口 (CAN)。
- (4) 模拟接口，包含模-数转换器 (ADC) 和模拟比较器。
- (5) 运动控制接口，脉宽调制器 (PWM) 和正交编码器 (QEI)。

另外，系统中还包含一个关键的子系统模块—拟态调度子系统。拟态调度子系统的主要功能是对三个异构冗余处理器的输出进行一致性检查，降低系统被恶意攻击、输出错误的概率，提升 MCU 的安全等级。

2.2. 系统划分

芯片顶层设计采用 Flatten 结构，全芯片封装成单个 Block 综合。CPU，系统和外设接口统一以 AHB，APB 总线接入片上总线，子系统划分以功能模块作为区分：

1) 多核 CPU 子系统

包含 ARM Cortex-M3/MIPS microAptiv UC/RISC-V E906 模块，CPU 内部总线模块，SysTick 定时器模块，NVIC 中断控制器模块，MPU 存储器保护模块，DAP 调试模块，SRAM 模块和 Flash 模块。

2) 拟态调度子系统

拟态调度子系统的主要功能是对三个异构冗余处理器的输出进行一致性检查，降低系统被恶意攻击、输出错误的概率，提升 MCU 的安全等级。

3) 总线子系统

包含 AHB 总线模块、APB 总线模块。

4) 全局控制子系统

包含上电 (POR) 模块，时钟复位管理模块，全局配置管理模块。

5) 接口子系统

- 系统接口

包含微型直接存储器访问 (μ DMA) 模块、看门狗定时器模块、通用定时器模块、通用输入/输出接口 (GPIOs) 模块。

- 外设接口

包含通用串行总线（USB）、通用异步收发器（UART）、同步串行接口（SSI）、内部集成电路接口（I2C）、内部集成电路音频接口（I2S）、控制器局域网接口（CAN）、模-数转换器（ADC）、模拟比较器、脉宽调制器（PWM）和正交编码器（QEI）。

2.3. 多核 CPU

系统采用异构 CPU 系统架构，包含三个相互独立的 CPU 子系统，每个 CPU 子系统包含 CPU core、Flash Memory interface module(FLITF)及 Flash memory(NOR Flash)。三个异构 CPU 子系统分别采用 ARM Cortex-M3、MIPS MicroAptiv 及 RISC-V E906 等三种不同指令集架构的 CPU，搭配各自独立的内存(NOR FLASH)，三套 CPU 子系统相互独立，保证物理隔绝，最大程度的实现安全。

2.3.1. ARM Cortex-M3 核

ARM Cortex-M3 是一款专为高性能、低成本平台研发的 CPU 处理器，在微控制器、工业控制、无线网络、传感器等领域应用广泛。

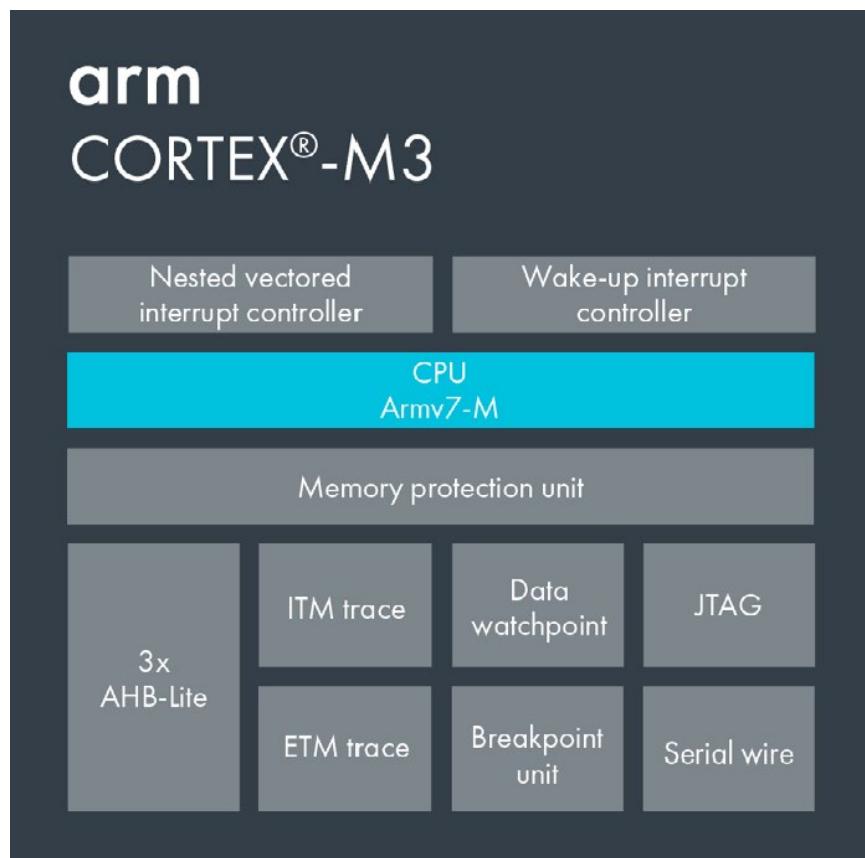


图2-2 Block diagram of the Cortex-M3 processor

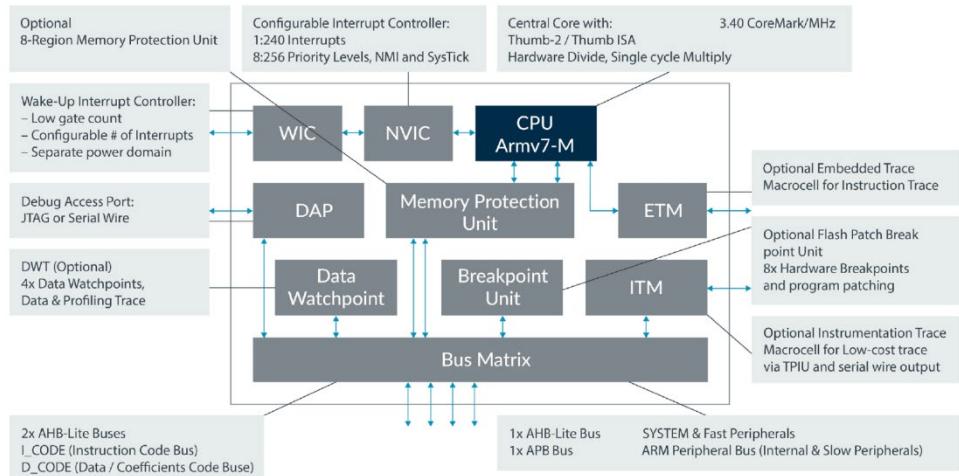


图2-3 Cortex-M3 processor components

Cortex-M3 CPU core 的系统架构图如图所示，处理器组件结构如图所示，主要 feature 如表所示：

表 2-1 Cortex-M3 Feature List

功能	描述
Architecture	Armv7-M
Bus Interface	3x AMBA AHB-Lite interface (Harvard bus architecture) AMBA ATB interface for CoreSight debug components
ISA Support	Thumb/Thumb-2 subset
Pipeline	Three-stage
Memory Protection	Optional 8 region MPU with sub regions and background region
Bit Manipulation	Integrated Bit-field Processing Instructions and Bus Level Bit Banding
Interrupts	Non-maskable Interrupt (NMI) + 1 to 240 physical interrupts
Priority Levels	8 to 256 priority levels
Wake-up Interrupt Controller	Optional
Enhanced Instructions	Hardware Divide (2-12 Cycles), Single-Cycle (32x32) Multiply, Saturated Adjustment Support

Sleep Modes	Integrated WFI and WFE Instructions and Sleep On Exit capability. Sleep and Deep Sleep Signals Optional Retention Mode with Arm Power Management Kit
Debug	Optional JTAG and Serial Wire Debug ports. Up to 8 Breakpoints and 4 Watchpoints
Trace	Optional Instruction (ETM), Data Trace (DWT), and Instrumentation Trace (ITM)

2.3.2. MIPS microAptiv 核

microAptiv CPU 核是一款高性能 CPU 处理方案，在 microMIPS 模式下能够提供 1.7 DMIPS/MHz, and 3.44 CoreMark/MHz 的处理性能。其系统架构图如图所示：

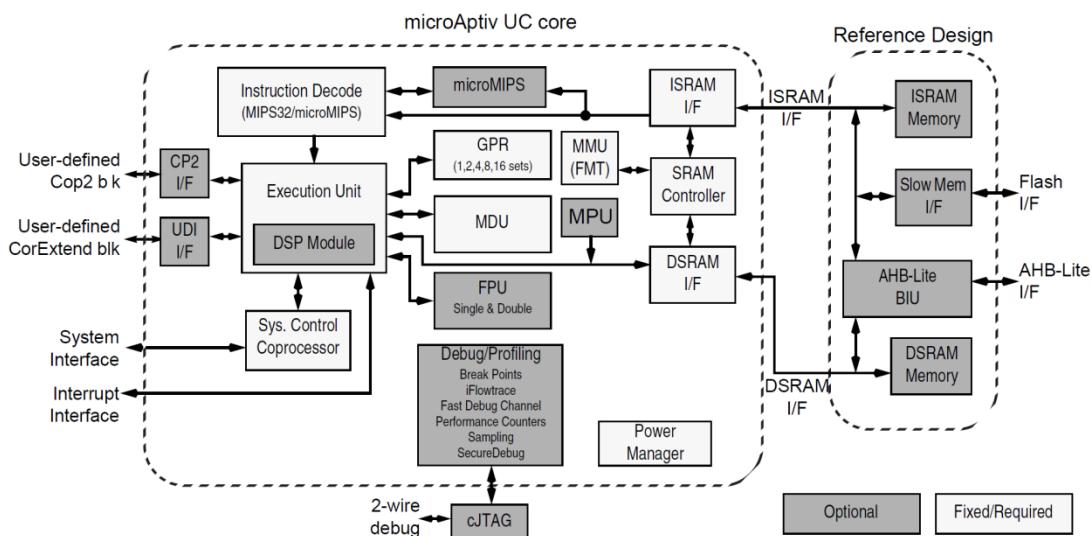


图 2-4 Block Diagram of microAptiv

主要功能 feature 如下表所示：

表 2-2 microAptiv UC CPU feature list

功能	描述
Architecture	MIPS32®-R3 and/or microMIPS®-R3
Pipeline	Five-stage
DMIPS/MHz	1.7

MMU	MPU/FMT
FPU	Optional (SP/DP)
Memory Controller	SRAM
DSP	Optional
Virtualisation	No
GPRs	32
Debug	EJTAG, CJTAG, iFlowtrace, Bkpts, FDC, PC Sampling

2.3.3. RISC-V E906

RISC-V(发音为“risk-five”)是一个基于精简指令集(**RISC**)原则的开源指令集架构(**ISA**)。

与大多数指令集相比, RISC-V 指令集可以自由地用于任何目的, 允许任何人设计、制造和销售 RISC-V 芯片和软件。虽然这不是第一个开源指令集, 但它具有重要意义, 因为其设计使其适用于现代计算设备(如仓库规模云计算、高端移动电话和微小嵌入式系统)。设计者考虑到了这些用途中的性能与功率效率。该指令集还具有众多支持的软件, 这解决了新指令集通常的弱点。

国内外基于 RISC-V 指令集进行 CPU Core 开发的公司很多, 也有很多商用 IP Core 可选。暂定选用国产 T-Head E906 CPU Core。T-Head E906 是一款高性能 CPU 处理方案, 能够提供 2.0 DMIPS/MHz, 以及 3.5 CoreMark/MHz 的处理性能。其系统架构图如图所示:



图 2-5 RISC-V E906 系统架构图

其主要 feature 如下所示：

表 2-3 E906 CPU feature list

功能	描述
Architecture	32 位 RISC-V 指令架构 RV32IMA
Pipeline	5-stage
DMIPS/MHz	2.0
内存资源	<ul style="list-style-type: none">● Up to 32KB i-cache (optional)● Up to 32KB d-cache (optional)
中断	<ul style="list-style-type: none">● Up to 240 interrupts+NMI
总线接口	<ul style="list-style-type: none">● 32-Bit AHB-Lite 系统总线接口
调试模块	<ul style="list-style-type: none">● 持 RISC-V 调试标准● 支持 JTAG 和两线调试接口● Various trigger settings
Xuantie Extensions	<ul style="list-style-type: none">● Xuantie MCU enhanced extensions● Interrupt accelerating and enhanced ISA
低功耗管理	<ul style="list-style-type: none">● Sleep and deep sleep mode

2.3.4. 片上存储

ESC0830 内生安全控制器芯片带有 128KB 的位带 SRAM，另外每套 CPU 子系统都包含一套独立的内存，包括 1 MB 的 Flash 存储器和 192KB 的 SRAM。Flash 存储器控制器提供了一个友好的用户接口，使 Flash 编程成为一项简单的任务。在 Flash 存储器中可应用 Flash 存储器保护，以 2KB 块大小为单位。

下图以 Cortex M3 CPU 子系统为例说明片上存储结构，实际上 microAptivUC 及 E906 CPU 子系统各自内部都有自己独立的内存存储系统，结构跟 M3 子系统类似。

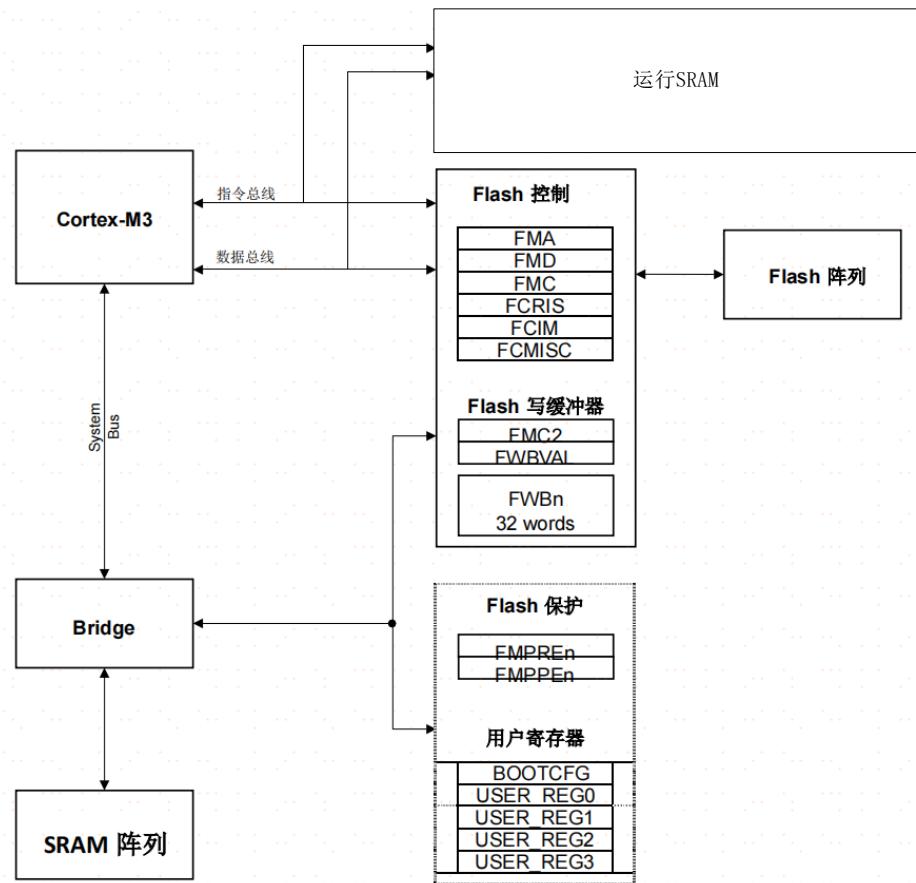


图 2-6 Cortex M3 子系统内存结构图

2.3.4.1.1. 运行 SRAM

由于片上 Flash 延时过大，不支持全速率（120MHz）下的实时运行，所以采取的策略是内置一块运行 SRAM，上电后由 Boot 程序将用户程序从 Flash 中搬移到运行 SRAM 中，后续 CPU 直接在运行 SRAM 中执行程序。

2.3.4.1.2. Flash

Flash 主要由以下几个部分组成：

- 时钟控制模块；
- 复位同步模块；
- 总线读取接口模块；
- 控制器模块；
- 访问仲裁模块；
- FLASH ROM 存储器。

控制模块负责 FLASH IP 的初始化、处理器间接读写 FLASH 和相关寄存器的配置，所有操作均处于 HCLK 时钟域下。模块内部包含两个 FSM，一个用于 FLASH IP 的上电初始化，一个用于 FLASH 的正常擦除/编程操作。

2.3.4.1.3. 位带 SRAM

注意:SRAM 使用两个 32 位的 SRAW 存储区来实现功能(分离的 SRAM 阵列)。存储区被这样分开,以便一个包含所有偶数字(偶存储区),另一个包含所有奇数字(奇存储区)。对同一个存储区执行读访问后立即执行写访问,中间会引起一个单时钟周期的停顿。但是对一个存储区执行读访问后对另一个存储区执行写访问,则可以在连续时钟周期内进行而不引起延迟。

设备的内部 SRAM 位于器件存储器的映射地址为 0x2000.0000。为了减少读-修改-写的操作时间,ARM 在 Cortex-M3 处理器中植入了位带技术。在位带使能的处理器中,存储器映射的特定区域(SRAM 和外设空间)能够使用地址别名,在单个原子操作中访问各个位。位带基址位于 0x2200.0000。位带别名可以使用下面的公式计算:

$$\text{位带别名} = \text{位带基址} + (\text{字节偏移量} * 32) + (\text{位编号} * 4)$$

例如,如果要修改地址 0x2000.1000 的第 3 位,位带别名的计算如下:

$$0x2200.0000 + (0x1000 * 32) + (3 * 4) = 0x2202.000C$$

通过计算得出的位带别名,对地址 0x2202.000C 执行读/写操作的指令可以直接访问地址 0x2000.1000 处字节的第 3 位。

2.3.5. 看门狗

每套 CPU 子系统都配备独立的看门狗定时器供使用。

2.4. 拟态调度

2.4.1. 特性

拟态调度子系统的主要功能是对三个异构冗余处理器的输出进行一致性检查,降低系统被恶意攻击、输出错误的概率,提升 MCU 的安全等级。

拟态调度子系统主要特性如下:

- (1) 子系统内部实现 3 个缓存队列 FIFO, 存储来自 3 个异构功能处理器访问外设的 ahb-lite 传输;
- (2) 子系统自动触发对 3 个异构功能处理器访问外设的 ahb-lite 传输进行事务级比对;
- (3) ahb-lite 传输信息比对通过, 对外设执行对应读写操作, 然后由策略 cpu 根据配置控制功能 cpu 执行保存检查点 context 到对应的 SRAM 空间;
- (4) ahb-lite 传输信息比对失败, 向策略 cpu 生成中断, 策略 cpu 接管对 ahb-lite 传输缓存队列的访问、控制, 策略 cpu 软件可进行信息二次比对与对应操作, 根据配置, 可生成复位信号对所有功能 cpu 执行清洗, 并可选择性地重载前一个保存的检查点 context。

2.4.2. 实现架构简介

拟态调度子系统位于异构处理器和 Bus Matrix 之间，其上行通过 3 组 ahb-lite slave 接口与 3 个异构处理器（ARM、MIPS、RISC-V）相连，下行通过 1 组 ahb-lite master 接口经 bus matrix 与外设相连。

子系统内部主要包含以下部件：ahb-lite 传输信息比较、控制与传递逻辑，比较出错中断生成逻辑，超时计数器，外设中断控制器 PLIC，以及一个策略处理器（RISCV E906）。外设上送的中断信号汇集至内部中断控制器 PLIC，输出一根中断信号，由调度子系统中的 checker 子模块处理后选择性地向 3 个异构功能处理器输出。此外，拟态调度子系统还输出复位信号分别与 3 个异构处理器相连，用于在系统出错时复位处理器。

2.5. 总线

ESC0830 芯片内部采用符合 AMBA 协议的总线互联，包括主干网络部分采用的 Advanced High-performance Bus (AHB-Lite) 总线及低速外设部分采用的 Advanced Peripheral Bus (APB) 总线。另外内部采用一个 Bus Matrix (AHB-Lite) 及多个 APB Bridge 进行总线交换、互联。AHB-Lite 总线频率为 120MHz，APB 总线频率为 60MHz，两者为同源时钟，频率固定为 2:1 关系，保证两种总线间为同步设计。具体芯片内部总线及互联关系如下图所示：

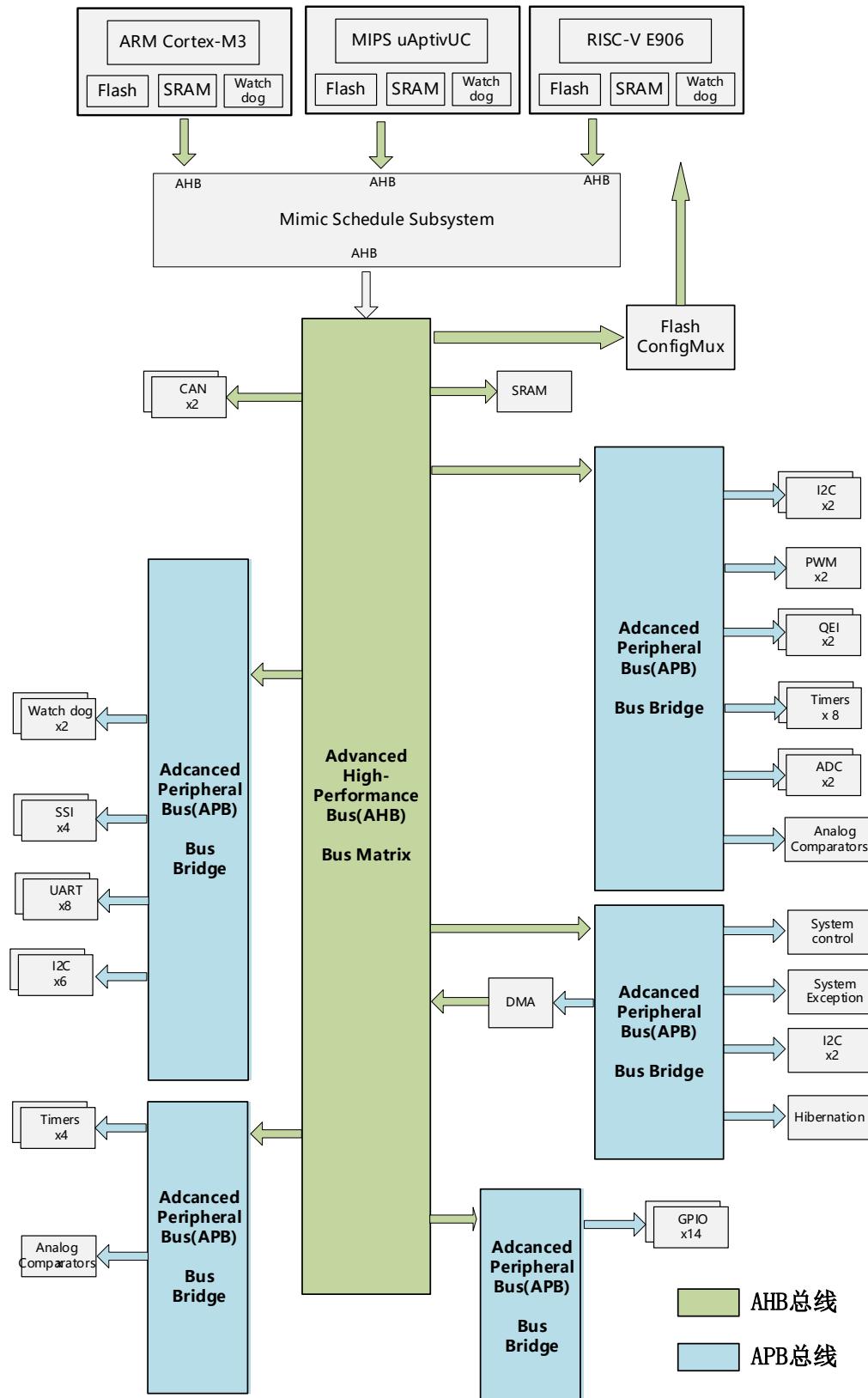


图 2-7 芯片内部总线结构

2.6. 内存映射

ESC0830 芯片内存地址空间支持 4GB 大小，分为：引导区，Flash 存储器区，SRAM

区，系统自有外设区，APB 外设区和 AHB 外设区。系统自有外设区保留为 CPU 内核所用。这里需要特别说明的是，由于拟态 MCU 相较于普通 MCU 最大的不同在于采用了多个异构冗余 CPU 替代了一个 CPU，但是对外看到的功能作用表面上与普通 MCU 没有差异，所以 ESC0830 芯片内部集成了多个异构 CPU 子系统，每个 CPU 子系统内部设置了独立的内存系统，并且每个 CPU 子系统采用了相同的内存地址编排方式，所以各个 CPU 子系统访问到的外部空间地址是统一及唯一的，全局编址。

由于上述原因，用户看到的地址是唯一的，下面就以 Cortex-M3 处理器为例说明全芯片的地址空间划分，uAptivUC 及 E906 看到的空间与 Cortex-M3 处理器一致。下图给出了 Cortex-M3 标准的内存映射分段。

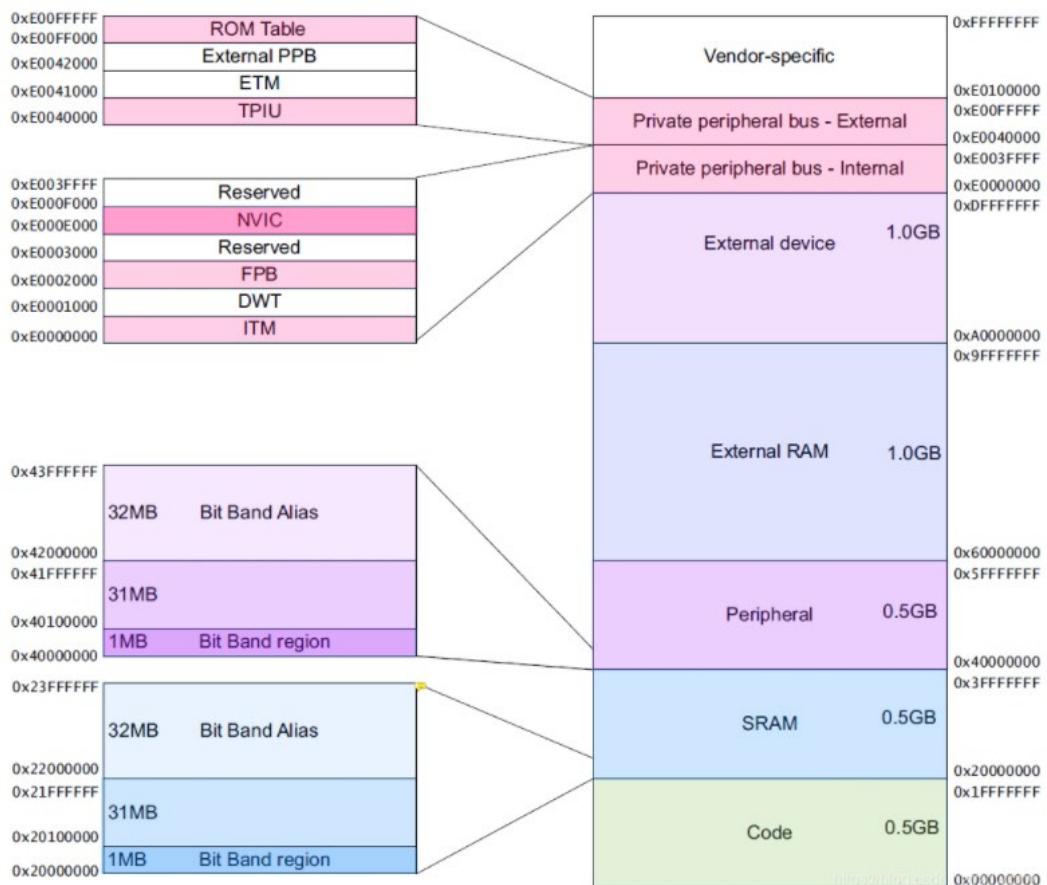


图 2-8 Cortex-M3 内存映射

下表给出了 ESC0830 的内存映射。寄存器访问的数据总线位宽为 32bit，对应内存连续 4 个字节地址，所以实际访问地址最低位为 0、4、8、C 递增。

表 2-4 ESC0830 内存映射

interface name	主从	起始地址	结束地址
cortex_m4f	主	无	无
usb_master	主	无	无

uDMA_master	主	无	无
uart_master	主	无	无
rom	从	0x0	0x0000_3fff
flash	从	0x0	0x0003_ffff
code ram	从	0x0010_0000	0x0013_ffff
SRAM	从	0x2000_0000	0x2001_FFFF
watchdog0	从	0x4000_0000	0x4000_0FFF
watchdog1	从	0x4000_1000	0x4000_1FFF
ssi0	从	0x4000_8000	0x4000_8FFF
ssi1	从	0x4000_9000	0x4000_9FFF
ssi2	从	0x4000_A000	0x4000_AFFF
ssi3	从	0x4000_B000	0x4000_BFFF
uart0	从	0x4000_C000	0x4000_CFFF
uart1	从	0x4000_D000	0x4000_DFFF
uart2	从	0x4000_E000	0x4000_EFFF
uart3	从	0x4000_F000	0x4000_FFFF
uart4	从	0x4001_0000	0x4001_0FFF
uart5	从	0x4001_1000	0x4001_1FFF
uart6	从	0x4001_2000	0x4001_2FFF
uart7	从	0x4001_3000	0x4001_3FFF
i2c0	从	0x4002_0000	0x4002_0FFF
i2c1	从	0x4002_1000	0x4002_1FFF
i2c2	从	0x4002_2000	0x4002_2FFF
i2c3	从	0x4002_3000	0x4002_3FFF
pwm0	从	0x4002_8000	0x4002_8FFF
pwm1	从	0x4002_9000	0x4002_9FFF
QEI0	从	0x4002_C000	0x4002_CFFF
QEI1	从	0x4002_D000	0x4002_DFFF
timers0_32	从	0x4003_0000	0x4003_0FFF
timers1_32	从	0x4003_1000	0x4003_1FFF

timers2_32	从	0x4003_2000	0x4003_2FFF
timers3_32	从	0x4003_3000	0x4003_3FFF
timers4_32	从	0x4003_4000	0x4003_4FFF
timers5_32	从	0x4003_5000	0x4003_5FFF
timers0_64	从	0x4003_4000	0x4003_6FFF
timers1_64	从	0x4003_7000	0x4003_7FFF
ADC0	从	0x4003_8000	0x4003_8FFF
ADC1	从	0x4003_9000	0x4003_9FFF
Analog Comparators	从	0x4003_C000	0x4003_CFFF
can0	从	0x4004_0000	0x4004_0FFF
can1	从	0x4004_1000	0x4004_1FFF
timers2_64	从	0x4004_C000	0x4004_CFFF
timers3_64	从	0x4004_D000	0x4004_DFFF
timers4_64	从	0x4004_E000	0x4004_EFFF
timers5_64	从	0x4004_F000	0x4004_FFFF
gpio0	从	0x4005_8000	0x4005_8FFF
gpio1	从	0x4005_9000	0x4005_9FFF
gpio2	从	0x4005_A000	0x4005_AFFF
gpio3	从	0x4005_B000	0x4005_BFFF
gpio4	从	0x4005_C000	0x4005_CFFF
gpio5	从	0x4005_D000	0x4005_DFFF
gpio6	从	0x4005_E000	0x4005_EFFF
gpio7	从	0x4005_F000	0x4005_FFFF
gpio8	从	0x4006_0000	0x4006_0FFF
gpio9	从	0x4006_1000	0x4006_1FFF
gpio10	从	0x4006_2000	0x4006_2FFF
gpio11	从	0x4006_3000	0x4006_3FFF
gpio12	从	0x4006_4000	0x4006_4FFF
gpio13	从	0x4006_5000	0x4006_5FFF
eeprom	从	0x400A_F000	0x400A_FFFF

i2c4	从	0x400C_0000	0x400C_0FFF
i2c5	从	0x400C_1000	0x400C_1FFF
System Exception module	从	0x400F_9000	0x400F_9FFF
Hibernation module	从	0x400F_C000	0x400F_CFFF
FMC	从	0x400F_D000	0x400F_DFFF
System_control	从	0x400F_E000	0x400F_EFFF

2.7. 全局控制

系统控制主要实现时钟，复位，中断预处理，寄存器控制，tie 值，冗余管脚处理等功能。

(1) 包含 3 个晶振

主振荡器 (MOSC): 使用 IP OSC40M_TOP, 产生 40M 时钟

精确内部振荡器 (PIOSC): 使用 FRCOSC16M_TOP, 产生 16M 的时钟。

内部 30-kHz 振荡器: 产生 32.768KHz 时钟，提供给 rtc 使用。

(2) 包含 POR 和 BOR 两个电源控制模块

(3) 包含 banggap 和 BG 模块，输出电流和电压。

(4) 包含 SPLL_TOP 模块，直接产生 CPU，总线和各外设需要的时钟。

(5) 包含寄存器控制模块，对时钟进行 gating 控制，对复位进行控制，给 CPU 和各外设的功能模块提供默认配置。

2.8. 接口及外设

2.8.1. μDMA

μDMA 控制器能够自动执行存储器与外设之间的数据传输。片上每个支持 μDMA 功能的外设都有专用的 μDMA 通道，通过合理的编程配置，当外设需要时能够自动在外设和存储器之间传输数据。μDMA 控制器所提供的工作方式能够降低 CPU 处理器参与的数据传输任务，从而更加高效地使用内核以及总线带宽。

μDMA 控制器具有以下特性：

- 具有可配置 32 通道控制器，支持多种传输方式，包括：
 - 支持存储器到存储器传输；
 - 支持存储器到外设传输；
 - 支持外设到存储器传输；
- 支持多种传输模式，包括：
 - 基本模式，用于简单的传输需求；

- 乒乓模式，用于实现持续数据流；
- 聚散模式，借助可编程任务列表，由单个请求触发连续的指定传输；
- 高度灵活的可配置的通道配置：
 - 各通道均可独立配置、独立操作；
 - 每个支持 DMA 的功能的接口都有其专用通道，包括通用定时器，USB，UART，ETH，ADC，EPI，SSI，I²S
 - 每个通道由主选功能及备选功能；
 - 对于双向模块，为其接收和发送各提供一个通道；
 - 专用的软件通道，可由软件启动 DMA 传输；
 - 每通道可分别配置优先级的总线仲裁机制；
 - 可选配置：任一通道均可用作软件启动传输；
- 优先级分为两级；
- 支持 8bits，16bits 或 32bits 数据宽度；
- 待传输数目可配置为 2 进制步长，范围 1~1024；
- 源地址和目的地址支持递增，单位支持字节、半字、单字和不递增；
- 传输结束中断，每个通道中断独立。

2.8.2. 通用定时器

可编程通用定时器可对输入管脚的外部事件进行计数或定时。通用定时器模块(Timer)包含 4 个 Timer 模块(定时器 0, 定时器 1, 定时器 2 和定时器 3)。每个 Timer 模块包含两个 16 位的定时器/计数器(TimerA 和 TimerB)，用户可以将它们配置成 2 个独立运行的 16 位定时器或事件计数器或将它们配置成 1 个 32 位定时器或一个 32 位实时时钟(RTC)。定时器还可以触发 DMA 传输。

此外，定时器也可以用来触发模数转换(ADC)。该场景所有通用定时器的触发信号在到达 ADC 模块前一起进行或操作，因而只需使用一个定时器来触发 ADC 事件。

- 支持 APB 端口协议，不支持 pstrb
- 计数器或定时器操作
- 64bit Timer 支持拆分成两个 32bit Timer
- 可编程 32bit 预分频器
- 外部捕获信号获取定时器值或产生中断
- 4 个匹配寄存器和相对应的外部输出
- DMA 传输

2.8.3. 看门狗定时器

看门狗定时器在到达超时的值的时候可以产生不可屏蔽中断(NMI)或者是复位。当系统由于软件错误或是由于因外部设备故障而无法按预期的方式响应的时候，使用看门狗定时器可以重新获得控制权。有两个看门狗定时器模块，一个模块(watchdogtimer0)使用系统时钟驱动，另一个模块(watchdogtimer1)由 PIOSC 驱动。这两个模块是相同的，只是 WDT1 在不同的时钟域。

看门狗定时器可以配置为第一次超时的时候产生中断通知 CPU，在第二次超时的时候产生一个重启信号。一旦看门狗定时器被配置，锁定寄存器可以写入，防止定时器的配置被意外更改。

- APB 总线接口，不支持 pstrb
- 24 位可编程定时器
- 如果在可编程超时期间内没有被重载，可内部复位芯片
- 可以有选择地保护看门狗的重载值，这样这个值只有在达到报警中断时间之后才会发生改变
- 具有指示看门狗发生复位的标识
- 窗口式操作
- 在看门狗超时之前一段时间生成报警中断
- 独立的看门狗时钟使能
- 带中断屏蔽的中断生成逻辑
- 安全的看门狗操作模式

2.8.4. RTC

RTC 模块用于实现精准的年，月，周，日的日历功能。RTC 模块包含如下功能：

- 年日历实现 1900~2999 范围
- 月日历和周日历要基于实际年，月实现天精确计数
- 小时计数支持 24 小时和 12 小时的 AM/PM 两种模式
- 秒计数支持 0~59 和 0.00~59.99 精确模式，两者通过 1Hz 和 100Hz 时钟区分
- 支持基于月，天，时，分和秒的配置阈值中断上报，支持中断掩码。

2.8.5. CAN 控制器

控制器局域网 CAN 接口是一种用于连接电子控制设备的多主共享型串行总线标准。CAN 总线针对抗电磁干扰进行了专门设计，适用于具有较强电磁干扰的环境，其物理介质可使用 RS485 类似的差分平衡传输线，也可以使用双绞线。

CAN 总线的传输长度小于 40 米时最高可达 1Mbps，距离越远则传输带宽越小。

芯片内集成了两个 CAN 模块，其特性如下：

- 支持 CAN 协议 V2.0 A/B;
- 传输带宽最大可达 1Mbps;
- 32 个报文 ID，每个报文都具有独立的 ID 标识符;
- 可屏蔽中断
- 支持禁用自动重新发送模式，可用于时间触发 CAN 应用;
- 可配置环回模式，用于 debug;

可配置 FIFO 模式，可存储多个 ID 报文。

2.8.6. GPIO

GPIOs 由 9 个物理 GPIO 模块组成，每一个物理 GPIO 模块对应一个端口 PortA, PortB, PortC, PortD, PortE, PortF, PortG, PortH, PortJ。GPIO 模块支持多达 65 个可配置的输入/输出管脚。具体 GPIO 配置含义见管脚配置章节。

GPIO 模块具有如下特性：

- 多达 65 个输入/输出管脚;
- 高度灵活的复用引脚，可复用为 GPIO 或多种外设功能;
- 配置为输入模式可承受 5V 电压;
- 可配置的 GPIO 中断：
 - 中断屏蔽;
 - 边沿触发，上升沿、下降沿或双沿触发;
 - 高电平或低电平敏感;
- 通过地址线读写时，可以 bit masking;
- 可以用作触发 ADC 采样;
- 配置为数字输入的引脚均为施密特触发器;
- 可配置 GPIO 引脚：
 - 弱上拉或下拉电阻
 - 2mA, 4mA, 8mA 的驱动能力；至少 4 个 pad 可以配置为 18mA 的高驱动能力
 - 开漏使能
 - 数字输入使能

2.8.7. 串行通信外设

包含 3 个 UART，2 个 I²C，2 个 SSI，1 个 I²S。

2.8.7.1. UART

芯片集成了三个通用异步收发器 UART 模块。UART 具有以下特性：

- 可配置的波特率，标准速率可达 5Mbps，高速率可达 10Mbps;
- 独立的 16x8 TX 和 RX FIFO;
- 支持 1/8、1/4、1/2、3/4 和 7/8 FIFO 深度触发;
- 带有 Start、Stop、Parity 的异步传输;
- 错误 start bit 检测;
- Line-break 产生和检测;
- 可配置的串行接口特征:
 - 5、6、7 或 8 个数据位;
 - 奇偶或不校验 bit 的产生和检测;
 - 可产生 1 个或 2 个停止位;
- 提供 IrDA serial-IR(SIR)编解码;
- LIN 协议支持;

支持 DMA 传输：独立的发送和接收通道。

2.8.7.2. I²C

I²C 用一根串行数据线 SDA 和一根串行时钟线 SCL 提供双向的数据传输。连接到外部的 I²C 设备，如 RAM、ROM，网络设备、LCD、音频发生器等。I²C 总线也被用在产品的开发和生产过程中作为系统测试和诊断。

包含 2 个 I²C 模块具有如下特性：

- 在 I²C 总线上设备支持主机或从机
 - 在主机或从机模式下都支持发送和接收数据;
 - 支持作为主机和从机的同步操作;
- 4 种 I²C 模式:
 - 主机发送;
 - 主机接收;
 - 从机发送;
 - 从机接收;
- 2 种传输速度：标准 100Kbps 和快速 400Kbps;
- 主机和从机中断生成:
 - 主机因发送完成、接收完成、发生错误中止时产生中断;
 - 从机在主机向其发起数据传输和请求是或 start、stop 被检测到时产生 slave 中断;
- 主机带有仲裁和时钟同步功能，支持多主机以及 7 位寻址地址。

2.8.7.3. SSI

内置两个同步串行接口 SSI 模块。每个 SSI 模块都能以主机或从机方式与片外器件进行同步串行通信。

SSI 模块具有以下特性：

- 可配置成 FREESCALE SPI, MICROWIRE, 或 TI 同步串行接口;
- 可配置成主机或从机模式;
- 可配置的时钟分频以支持不同带宽;
- 相互独立的发送和接收 FIFO, 16bits 宽, 8 深度;
- 可配置的数据帧大小, 大小范围为 4~16bits;
- 内部环回模式, 方便实现诊断/调试;
- 标准 FIFO 中断以及发送结束中断;
- 支持高效的 DMA 数据传输:
 - 独立的发送和接收通道
 - 当接收 FIFO 中有数据时产生单次请求
 - 当发送 FIFO 中有空闲单元时产生单次请求

2.8.8. 电机控制接口

电机控制的正交编码器产生两位格雷码进行解码, 转换成位置对时间的积分并确定旋转的方向。另外还能捕获编码器轮运转时的大致速度。

QEI 模块支持两种信号操作模式: 正交相位模式和时钟/方向模式。在正交相位模式中, 编码器产生两个相位差为 90 度的时钟信号, 它们边沿关系被用来确定旋转方向。在时钟/方向模式中, 编码器产生一个时钟信号和一个方向信号, 分别表示步长和旋转方向。

2.8.9. PWM

脉宽调制 PWM 是一种对模拟信号电平进行数字化编码的方法。在脉宽调制中使用高分辨率计数器来产生方波, 并且可以通过调整方波的占空比来对模拟信号电平进行编码。PWM 通过使用在开关电源和电机控制中。

每个 PWM 发生器产生两个 PWM 信号, 两个信号基于同一个定时器和时钟。PWM 模块由 4 个 PWM 发生模块和一个控制模块组成, 每个 PWM 发生模块有以下特性:

- 四个能快速故障条件处理, 低延迟关闭, 避免马达在被可控之前产生破坏;
- 1 个 16bit 的计数器:
 - 支持向上计数或向下计数模式;
 - 根据一个 16bit 的 load 寄存器, 输出频率可控制的;
 - Load 值可以同步更新;
- 2 个 PWM 比较器:
 - 比较器的值可被同步更新;
 - 产生相匹配的输出信号;
- PWM 信号发生器

- 在计数器和 PWM 比较器输出信号的基础上构建输出 PWM 信号；
- 产生两个独立的 PWM 信号；
- 可以初始化 ADC 采用序列；

控制模块决定传递到引脚的 PWM 信号的极性和哪个信号传递到引脚，输出控制模块管理传递到引脚之前的 WM 发生模块的输出。PWM 控制模块有以下特性；

- 每个 PWM 信号的 PWM 输出使能；
- 每个 PWM 信号可选输出反相；
- 每个 PWM 信号可选故障处理；
- PWM 发送模块内定时器的同步；
- PWM 发生模块之间的定时器/比较器的同步更新；
- PWM 发生模块之间的 PWM 输出使能同步；
- PWM 发生模块中断汇集；
- 多路故障信号，可配置极性和过滤的扩展故障能力；
- PWM 发生器可独立操作挥着与其它发生器同步操作。

2.8.10. 模拟外设

模拟外设包含模拟比较器和模数转换器(ADC)。模拟比较器用于比较两个模拟电压的大小，并通过管脚将比较结果输出。芯片内部集成三路模拟比较器；模-数转换器 ADC 是一种能够将连续的模拟电压信号转换为离散的数字量的外，芯片内置两个 ADC 模块。

模拟外设通过专用的模拟管脚输入/输出，模拟功能开启需配合 PAD 管脚复用控制。

2.8.10.1. ADC

模-数转换器 ADC 是一种能够将连续的模拟电压信号转换为离散的数字量的外设。

ESC0830 内置两个 ADC 模块，其特性如下：

- 16 个模拟输入通道；分频率为 12 位
- 单端差分输入可配
- 内部温度传感器
- 最大采样率为 1M/bps
- 灵活的触发控制
 - 软件控制
 - Timer 触发
 - 模拟比较器触发
 - PWM 触发
 - GPIO 触发
- 支持 DMA 传输，可实现高效的数据传输
 - 每个采样序列发生器各自由专用的通道
 - ADC 模块的 DMA 操作均采用突发请求
- 支持低电流输入($I_{in} \geq 10\mu A$)的信号采集

2.8.10.1. 模拟比较器

模拟比较器能比较两个模拟电压的大小，并通过管脚将比较结果输出。

比较器可以从器件管脚输出，以替换板上的模拟比较器。比较器也可以通过中断或触发 ADC 通知应用开始捕获采样序列。

ESC0830 提供了三个独立的模拟比较器，具有如下特性：

- 外部输入和外部输入的比较或者和内部可配置的参考电源
- 测试电压和外部参考电压、内部参考电压比较
-

2.8.11. SWD/JTAG 调试口

ESC0830 芯片提供 SWD/JTAG 调试接口。由于拟态 MCU 自身特点（内部集成了多个 CPU 核），所以内部采用 daisy-chain 方式将多核 CPU 进行串联并进行调试。

主要功能如下：

- 可直接对所有存储器、寄存器和外设进行调试；
- 调试阶段不需要占用目标资源；
- 4 个指令断点，可以用于重映射代码补丁的指令地址；
- 2 个数据比较器，可用于将补丁的地址重映射到字面值；
- 2 个数据观察点，可用作跟踪触发器。

3. 工作模式设计

3.1. 工作模式类型

为了节省功耗，设计了三种工作模式：

- (1) 运行模式：在运行模式，微控制器自动执行代码。运行模式提供了处理器和所有被 RCGCn 寄存器使能的外设的正常操作。
- (2) 睡眠模式：运行中的外设时钟频率不变，但是处理器和存储器子系统不使用时钟，所以不再执行代码。
- (3) 深度睡眠模式：运行中的外设时钟频率可能会改变，同时处理器时钟停止。

3.2. 功耗控制

Cortex-M3 处理器的睡眠模式减少功耗

- (1) 睡眠模式停止处理器时钟
- (2) 深度睡眠模式停止系统时钟并关闭 PLL 和 FLASH 存储器

其他两个 CPU 也有类似的低功耗设计。

4. 电气规范信息

4.1 绝对最大额定值

工作电压 (VDD)	-0.3V~3.6V
模拟工作电压 ($VDDA$)	-0.3V~3.6V
不同电源管脚电压差 ($ \Delta VDDX $)	$\leq 50\text{mV}$
不同地管脚电压差 ($ VSSX-VSS $)	$\leq 50\text{mV}$
最大输入电流 (I_{VDD})	100mA
最大输出电流 (I_{VSS})	100mA
最大 IO 输出电流 (I_{IO})	10mA
3.3V 模拟管脚输入电流 ($I_{IN}(pin3.3)$)	$\pm 10\text{mA}$
贮存温度 (T_{stg})	-65 °C~150 °C
结温 (T_J)	-40 °C~150 °C

4.2 推荐工作条件

工作电压 (VDD)	1.71V~3.6V
不使用 ADC 的模拟工作电压 ($VDDA$)	1.71V~3.6V
使用 ADC 的模拟工作电压 ($VDDA$)	1.71V~3.6V
备用电源电压 ($VBAT$)	1.71V~3.6V
I/O 输入电压 (VIN)	-0.3V~ $VDD+0.3\text{V}$
电源上升时间 (t_{VDD})	$0\sim\infty\mu\text{s}/\text{V}$
电源下降时间 (t_{VDD})	$10\sim\infty\mu\text{s}/\text{V}$
工作温度 (T_A)	-40 °C~125 °C

4.3 电特性表

除另有规定外, $VDDIO=3.3\text{V}$, $VDDA=3.3\text{V}$, $VBAT=3.3\text{V}$ 。

4.3.1 静态功耗参数

表 4- 1 静态功耗参数

参数名称	符号	条件	最小值	典型值	最大值	单位
静态功耗	P_D	-	-	-	420	nA

4.3.2 高速外部时钟参数

表 4- 2 高速外部时钟参数

参数名称	符号	条件	最小值	典型值	最大值	单位
OSC_IN 管脚输入高电平电压	V _{HSEH}	见图 4	0.7V _{DD}	—	V _{DD}	V
OSC_IN 管脚输入低电平电压	V _{HSEL}	见图 4	V _{SS}	—	0.3V _{DD}	V
用户外部时钟源频率	f _{HSE_ext}	见图 4	4	—	36	MHz
OSC_IN 管脚输入高电平或低电平时间	t _{W(HSE)}	见图 4	25	—	—	ns

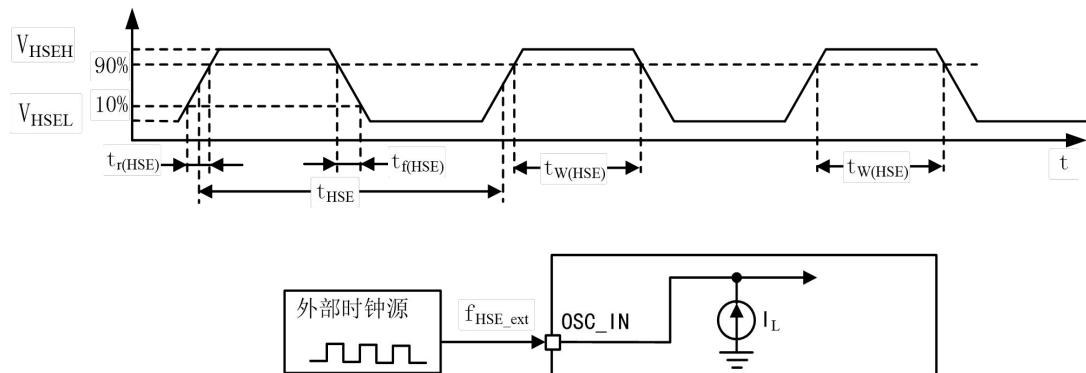


图 4-1 高速外部时钟源电参数

4.3.3 GPIO 参数

所有 I/O 都符合 CMOS 和 TTL 标准(BOOT0 除外)。

表 4-4 I/O 静态参数

参数名称	符号	条件	最小值	典型值	最大值	单位
输入低电平	V _{IL}	通用 IO	-	-	0.8	V
输入高电平	V _{IH}	通用 IO	2.0	-	-	V
弱上拉等效电阻	R _{PUS}	V _{IN} =V _{SS}	20	-	100	KΩ
弱下拉等效电阻	R _{PDS}	V _{IN} =V _{DD}	20	-	100	KΩ

4.3.4 NRST 参数

表 4-5 NRST 管脚参数

参数名称	符号	条件	最小值	典型值	最大值	单位
NRST 输入低电平	V _{IL(NRST)}	-	-0.5	-	0.8	V
NRST 输入高电平	V _{IH(NRST)}	-	2	-	V _{DD} +0.5	V
NRST 弱等效上拉电阻	R _{PUS}	V _{IN} =V _{SS}	20	-	100	KΩ
NRST 输入过滤脉冲宽度	V _{F(NRST)}	-	—	-	100	ns

4.3.5 TIM 参数

表 4-6 TIM 参数

参数名称	符号	条件	最小值	典型值	最大值	单位
定时器判决时间	$t_{res(TIM)}$	-	1	-	-	$t_{TIMxCLK}$
定时器位宽	RESTM	-	-	-	16	位
当选择内部时钟时的 16bit 计数器时钟周期数	$t_{COUNTER}$	-	0	-	65535	$t_{TIMxCLK}$
最大计数值	t_{MAX_COUNT}	-	0	-	65535	$t_{TIMxCLK}$

4.3.6 I²C 接口参数

表 4-7 I²C 接口参数

参数名称	符号	条件	最小值	典型值	最大值	单位
SCL 时钟频率	f_{SCL}	见图 4-3	-	-	0.4	MHz

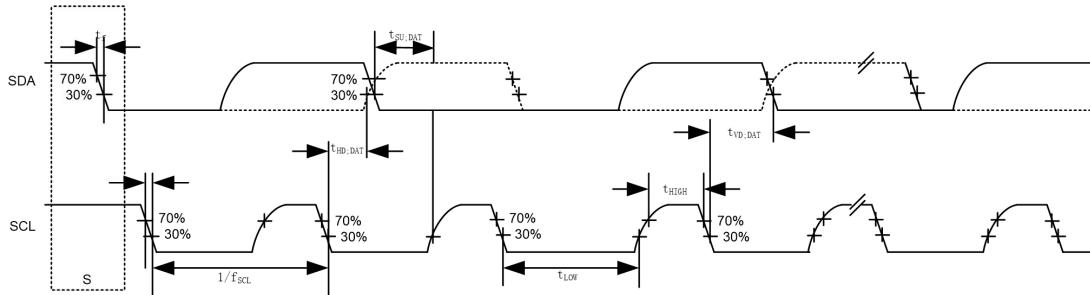


图 4-3 I²C 总线交流波形图及路线图

4.3.7 SPI 接口参数

表 4-8 SPI 接口参数

参数名称	符号	条件	最小值	典型值	最大值	单位
SPI 时钟频率	f_{SCK}	主模式, 见图 4-4	-	-	10	MHz
	$1/t_{c(SCK)}$	从模式, 见图 4-5	-	-	10	
SPI 时钟上升和下降时间	$t_{r(SCK)}$ $t_{f(SCK)}$	负载电容: C=30pF, 见图 7、8	-	-	8	ns
数据输入建立时间	$t_{su(MI)}$	主模式, 见图 4-4	10	-	-	ns
	$t_{su(SI)}$	从模式, 见图 4-5	4	-	-	ns
数据输入保持时间	$t_{h(MI)}$	主模式, 见图 4-4	0	-	-	ns
	$t_{h(SI)}$	从模式, 见图 4-5	$3 \times t_{c(SCK)} + 4$	-	-	ns
数据输出有效时间	$t_{v(so)}$	从模式 (使能边沿有效后), 见图 4-5	-	-	$3 \times t_{c(SCK)} + 5$	ns
数据输出有效时间	$t_{v(mo)}$	主模式 (使能边沿有效)	-	-	10	ns

		后), 图 4-4				
数据输出保持时间	$t_{h(SO)}$	从模式(使能边沿有效后), 见图 4-5	$3 \times t_{c(SCK)} + 5$	—	—	ns
数据输出保持时间	$t_{h(MO)}$	主模式(使能边沿有效后), 图 4-4	0	—	—	ns

SLAVE, CPHA=0

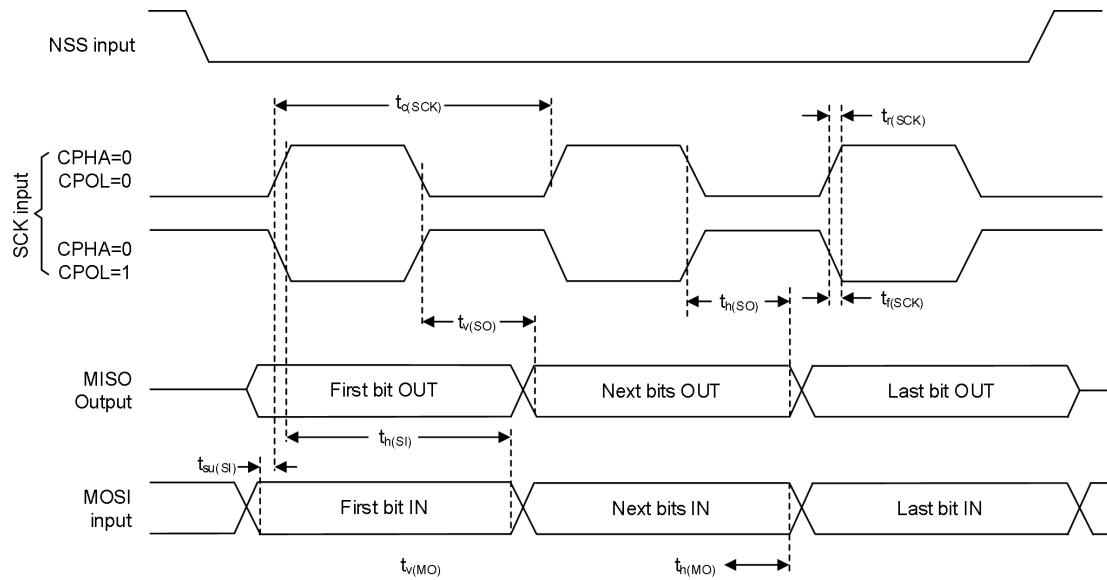


图 4-4 SPI 从模式 (CPHA=0) 时序图

SLAVE, CPHA=1

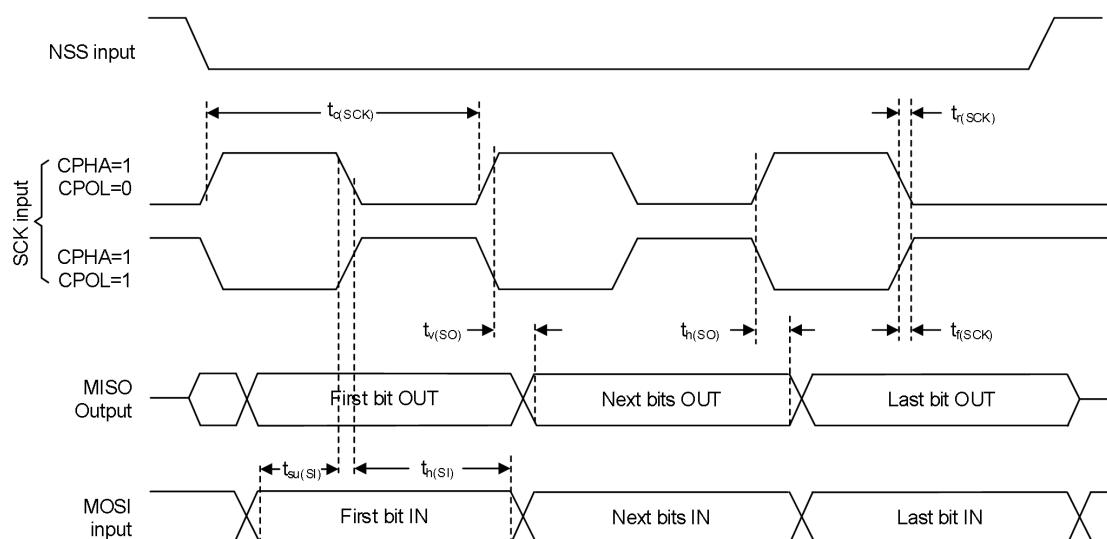


图 4-5 SPI 从模式 (CPHA=1) 时序图

MASTER

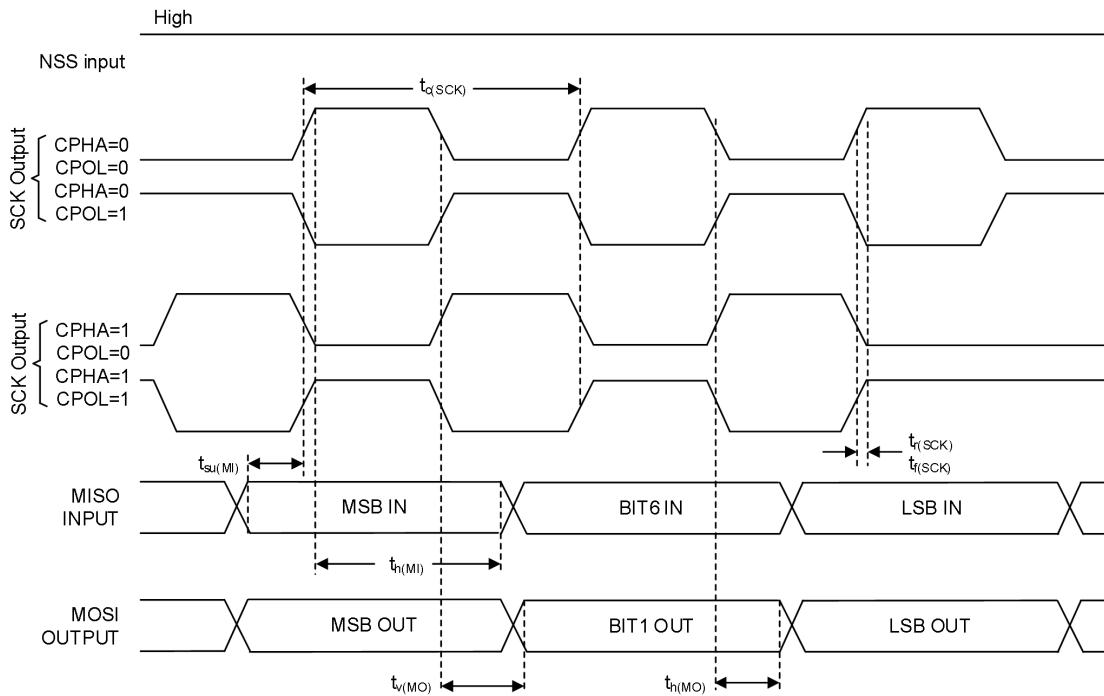


图 4-6 SPI 主模式时序图

4.3.8 CAN 参数

表 4-12 CAN 接口

参数名称	符号	条件	最小值	典型值	最大值	单位
输入低电平	V_{IL}	通用 IO	-	-	0.8	V
输入高电平	V_{IH}	通用 IO	2.0	-	-	V
弱上拉等效电阻	R_{PU}	$V_{IN}=V_{SS}$	20	-	100	KΩ
弱下拉等效电阻	R_{PD}	$V_{IN}=V_{DD}$	20	-	100	KΩ

4.3.9 ADC 参数

表 4-15 ADC 参数

参数名称	符号	条件	最小值	典型值	最大值	单位
电源电压	V_{DDA}	-	1.71	-	3.6	V
转换电压范围	V_{AIN}	-	V_{SSA}	-	V_{DDA}	V
分辨率	N	-	-	12	-	位
时钟频率	f_{ADC}	-	-	-	60	MHz
转换频率	t_{ADC}	-	-	-	5	MSPS

4.3.10 COMP 参数

表 4-16 COMP 特性

参数名称	符号	条件	最小值	典型值	最大值	单位
模拟电源电压	V_{DDA}	-	1.71	-	3.6	V
比较器输入电压范围	V_{IN}	-	0	-	V_{DDA}	

比较器输入电压	V_{BG}	-	参见 V_{REFINT}			
比较器失调电压	V_{SC}	-	-	± 15	± 30	mV
比较器失调误差	V_{offset}	完整的共模范 围	-	± 15	± 30	mV
比较器迟滞 a	V_{hys}	无迟滞	-	0	-	mV
迟滞	-	50				

5. 封装及 PAD 复用

5.1. 封装信息

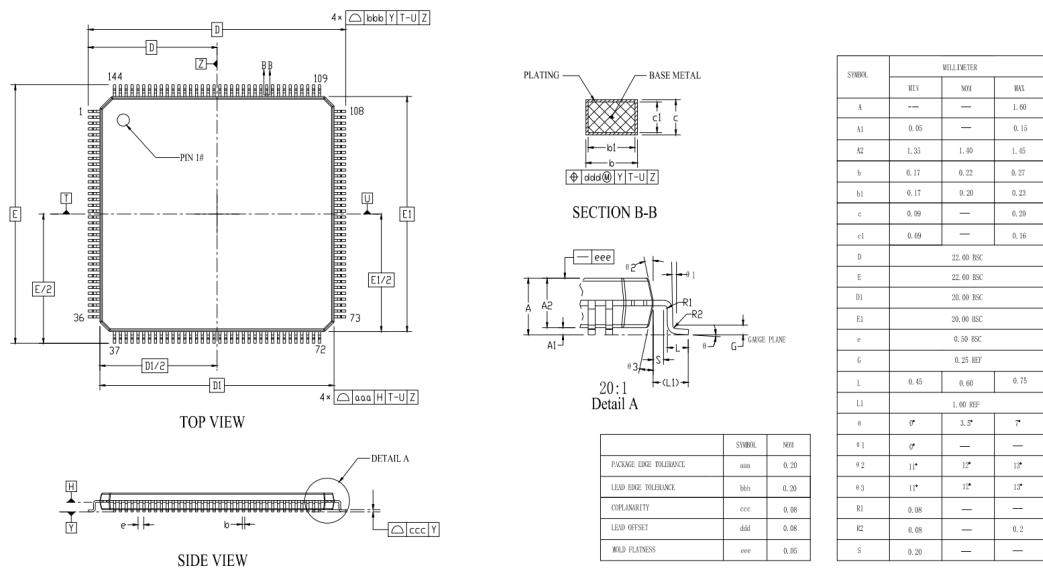


图 5-1 芯片封装信息

5.2. 管脚信息

芯片的管脚图 5-2 如下所示。

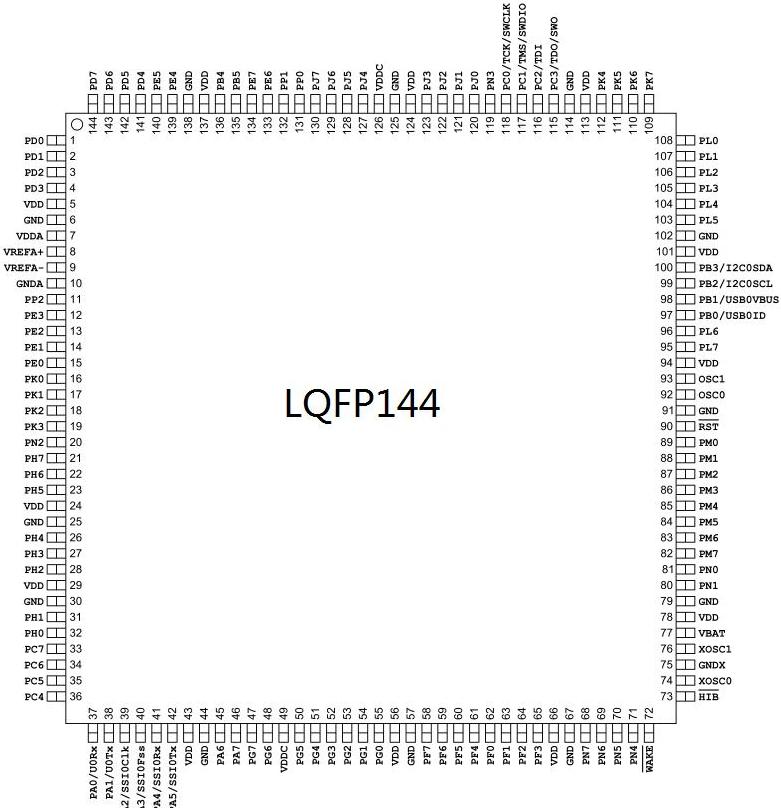


图 5-2 芯片 144 脚 LQFP 封装管脚图

芯片管脚总数为 100，其中 65 个管脚为功能复用管脚，其管脚复用功能如下，

表 5-1 GPIO 管脚复用功能说明

IO	Pin	Analog Function	Digital Function (GPIOCTL)										
			1	2	3	4	5	6	7	8	9	10	11
PA0	37	-	U0Rx	-	-	-	-	-	-	CAN1Rx	-	-	-
PA1	38	-	U0Tx	-	-	-	-	-	-	CAN1Tx	-	-	-
PA2	39	-	-	SSI0Clk	-	-	-	-	-	-	-	-	-
PA3	40	-	-	SSI0Fss	-	-	-	-	-	-	-	-	-
PA4	41	-	-	SSI0Rx	-	-	-	-	-	-	-	-	-
PA5	42	-	-	SSI0Tx	-	-	-	-	-	-	-	-	-
PA6	45	-	-	-	I2C1SCL	-	M1PWM2	-	-	-	-	-	-
PA7	46	-	-	-	I2C1SDA	-	M1PWM3	-	-	-	-	-	-
PB0	97	USB0ID	U1Rx	-	-	-	-	-	T2CCP0	-	-	-	-
PB1	98	USB0VBUS	U1Tx	-	-	-	-	-	T2CCP1	-	-	-	-
PB2	99	-	-	-	I2C0SCL	-	-	-	T3CCP0	-	-	-	-
PB3	100	-	-	-	I2C0SDA	-	-	-	T3CCP1	-	-	-	-
PB4	136	AIN10	-	SSI2Clk	-	M0PWM2	-	-	T1CCP0	CAN0Rx	-	-	-
PB5	135	AIN11	-	SSI2Fss	-	M0PWM3	-	-	T1CCP1	CAN0Tx	-	-	-
PC0	118	-	TCK SWCLK	-	-	-	-	-	T4CCP0	-	-	-	-

PC1	117	-	TMS SWDIO	-	-	-	-	-	T4CCP1	-	-	-	-
PC2	116	-	TDI	-	-	-	-	-	T5CCP0	-	-	-	-
PC3	115	-	TDO SWO	-	-	-	-	-	T5CCP1	-	-	-	-
PC4	36	C1-	U4Rx	U1Rx	-	M0PWM6	-	IDX1	WT0CCP 0	U1RTS	-	-	-
PC5	35	C1+	U4Tx	U1Tx	-	M0PWM7	-	PhA1	WT0CCP 1	U1CTS	-	-	-
PC6	34	C0+	U3Rx	-	-	-	-	PhB1	WT1CCP 0	-	-	-	-
PC7	33	C0-	U3Tx	-	-	-	-	-	WT1CCP 1	-	-	-	-
PD0	1	AIN15	SSI3Clk	SSI1Clk	I2C3SCL	M0PWM6	M1PWM0	-	WT2CCP 0	-	-	-	-
PD1	2	AIN14	SSI3Fss	SSI1Fss	I2C3SDA	M0PWM7	M1PWM1	-	WT2CCP 1	-	-	-	-
PD2	3	AIN13	SSI3Rx	SSI1Rx	-	M0FAULT 0	-	-	WT3CCP 0	-	-	-	-
PD3	4	AIN12	SSI3Tx	SSI1Tx	-	-	-	IDX0	WT3CCP 1	-	-	-	-
PD4	141	AIN7	U6Rx	-	-	-	-	-	WT4CCP 0	-	-	-	-
PD5	142	AIN6	U6Tx	-	-	-	-	-	WT4CCP 1	-	-	-	-
PD6	143	AIN5	U2Rx	-	-	M0FAULT 0	-	PhA0	WT5CCP 0	-	-	-	-
PD7	144	AIN4	U2Tx	-	-	M0FAULT 1	-	PhB0	WT5CCP 1	NMI	-	-	-
PE0	15	AIN3	U7Rx	-	-	-	-	-	-	-	-	-	-
PE1	14	AIN2	U7Tx	-	-	-	-	-	-	-	-	-	-
PE2	13	AIN1	-	-	-	-	-	-	-	-	-	-	-
PE3	12	AIN0	-	-	-	-	-	-	-	-	-	-	-
PE4	139	AIN9	U5Rx	-	I2C2SCL	M0PWM4	M1PWM2	-	-	CAN0Rx	-	-	-
PE5	140	AIN8	U5Tx	-	I2C2SDA	M0PWM5	M1PWM3	-	-	CAN0Tx	-	-	-
PE6	133	AIN21	-	-	-	-	-	-	-	CAN1Rx	-	-	-
PE7	134	AIN20	U1RI	-	-	-	-	-	-	CAN1Tx	-	-	-
PF0	62	-	U1RTS	SSI1Rx	CAN0Rx	-	M1PWM4	PhA0	T0CCP0	NMI	C0o	TRD2	-
PF1	63	-	U1CTS	SSI1Tx	-	-	M1PWM5	PhB0	T0CCP1	-	C1o	TRD1	-
PF2	64	-	U1DCD	SSI1Clk	-	M0FAULT 0	M1PWM6	-	T1CCP0	-	C2o	TRD0	-
PF3	65	-	U1DSR	SSI1Fss	CAN0Tx	M0FAULT 1	M1PWM7	-	T1CCP1	-	-	TRCLK	-
PF4	61	-	U1DTR	-	-	M0FAULT 2	M1FAULT 0	IDX0	T2CCP0	-	-	TRD3	-
PF5	60	-	-	-	-	M0FAULT 3	-	-	T2CCP1	-	-	-	-
PF6	59	-	-	-	I2C2SCL	-	-	-	T3CCP0	-	-	-	-
PF7	58	-	-	-	I2C2SDA	-	M1FAULT 0	-	T3CCP1	-	-	-	-
PG0	55	-	-	-	I2C3SCL	-	M1FAULT 1	PhA1	T4CCP0	-	-	-	-
PG1	54	-	-	-	I2C3SDA	-	M1FAULT 2	PhB1	T4CCP1	-	-	-	-
PG2	53	-	-	-	I2C4SCL	M0FAULT 1	M1PWM0	-	T5CCP0	-	-	-	-
PG3	52	-	-	-	I2C4SDA	M0FAULT 2	M1PWM1	PhA1	T5CCP1	-	-	-	-

PG4	51	-	U2Rx	-	I2C1SCL	M0PWM4	M1PWM2	PhB1	WT0CCP0	-	-	-	-	-
PG5	50	-	U2Tx	-	I2C1SDA	M0PWM5	M1PWM3	IDX1	WT0CCP1	-	-	-	-	-
PG6	48	-	-	-	I2C5SCL	M0PWM6	-	-	WT1CCP0	-	-	-	-	-
PG7	47	-	-	-	I2C5SDA	M0PWM7	IDX1	-	WT1CCP1	-	-	-	-	-
PH0	32	-	-	SSI3Clk	-	M0PWM0	-	M0FAULT0	WT2CCP0	-	-	-	-	-
PH1	31	-	-	SSI3Fss	-	M0PWM1	IDX0	M0FAULT1	WT2CCP1	-	-	-	-	-
PH2	28	-	-	SSI3Rx	-	M0PWM2	-	M0FAULT2	WT5CCP0	-	-	-	-	-
PH3	27	-	-	SSI3Tx	-	M0PWM3	-	M0FAULT3	WT5CCP1	-	-	-	-	-
PH4	26	-	-	SSI2Clk	-	M0PWM4	PhA0	-	WT3CCP0	-	-	-	-	-
PH5	23	-	-	SSI2Fss	-	M0PWM5	PhB0	-	WT3CCP1	-	-	-	-	-
PH6	22	-	-	SSI2Rx	-	M0PWM6	-	-	WT4CCP0	-	-	-	-	-
PH7	21	-	-	SSI2Tx	-	M0PWM7	-	-	WT4CCP1	-	-	-	-	-
PJ0	120	-	U4Rx	-	-	-	-	-	T1CCP0	-	-	-	-	-
PJ1	121	-	U4Tx	-	-	-	-	-	T1CCP1	-	-	-	-	-
PJ2	122	-	U5Rx	-	-	-	IDX0	-	T2CCP0	-	-	-	-	-
PJ3	123	-	U5Tx	-	-	-	-	-	T2CCP1	-	-	-	-	-
PJ4	127	C2+	U6Rx	-	-	-	-	-	T3CCP0	-	-	-	-	-
PJ5	128	C2-	U6Tx	-	-	-	-	-	T3CCP1	-	-	-	-	-
PJ6	129	-	-	-	-	-	-	-	-	-	-	-	-	-
PJ7	130	-	-	-	-	-	-	-	-	-	-	-	-	-
PK0	16	AIN16	-	SSI3Clk	-	-	-	M1FAULT0	-	-	-	-	-	-
PK1	17	AIN17	-	SSI3Fss	-	-	-	M1FAULT1	-	-	-	-	-	-
PK2	18	AIN18	-	SSI3Rx	-	-	-	M1FAULT2	-	-	-	-	-	-
PK3	19	AIN19	-	SSI3Tx	-	-	-	M1FAULT3	-	-	-	-	-	-
PK4	112	-	U7Rx	-	-	-	-	M0FAULT0	RTCCLK	C0o	-	-	-	-
PK5	111	-	U7Tx	-	-	-	-	M0FAULT1	-	C1o	-	-	-	-
PK6	110	-	-	-	-	-	-	M0FAULT2	WT1CCP0	C2o	-	-	-	-
PK7	109	-	-	-	-	-	-	M0FAULT3	WT1CCP1	-	-	-	-	-
PL0	108	-	-	-	-	-	-	-	T0CCP0	WT0CCP0	-	-	-	-
PL1	107	-	-	-	-	-	-	-	T0CCP1	WT0CCP1	-	-	-	-
PL2	106	-	-	-	-	-	-	-	T1CCP0	WT1CCP0	-	-	-	-
PL3	105	-	-	-	-	-	-	-	T1CCP1	WT1CCP1	-	-	-	-
PL4	104	-	-	-	-	-	-	-	T2CCP0	WT2CCP0	-	-	-	-
PL5	103	-	-	-	-	-	-	-	T2CCP1	WT2CCP1	-	-	-	-
PL6	96	-	-	-	-	-	-	-	T3CCP0	WT3CCP0	-	-	-	-

PL7	95	-	-	-	-	-	-	-	T3CCP1	WT3CCP1	-	-	-
PM0	89	-	-	-	-	-	-	-	T4CCP0	WT4CCP0	-	-	-
PM1	88	-	-	-	-	-	-	-	T4CCP1	WT4CCP1	-	-	-
PM2	87	-	-	-	-	-	-	-	T5CCP0	WT5CCP0	-	-	-
PM3	86	-	-	-	-	-	-	-	T5CCP1	WT5CCP1	-	-	-
PM4	85	-	-	-	-	-	-	-	-	-	-	-	-
PM5	84	-	-	-	-	-	-	-	-	-	-	-	-
PM6	83	-	-	M0PWM4	-	-	-	-	-	WT0CCP0	-	-	-
PM7	82	-	-	M0PWM5	-	-	-	-	-	WT0CCP1	-	-	-
PN0	81	-	CAN0 Rx	-	-	-	-	-	-	-	-	-	-
PN1	80	-	CAN0 Tx	-	-	-	-	-	-	-	-	-	-
PN2	20	-	-	M0PWM6	-	-	-	-	-	WT2CCP0	-	-	-
PN3	119	-	-	M0PWM7	-	-	-	-	-	WT2CCP1	-	-	-
PN4	71	-	-	M1PWM4	-	-	-	-	-	WT3CCP0	-	-	-
PN5	70	-	-	M1PWM5	-	-	-	-	-	WT3CCP1	-	-	-
PN6	69	-	-	M1PWM6	-	-	-	-	-	WT4CCP0	-	-	-
PN7	68	-	-	M1PWM7	-	-	-	-	-	WT4CCP1	-	-	-
PP0	131	AIN23	M0PW M0	-	-	-	-	-	T4CCP0	-	-	-	-
PP1	132	AIN22	M0PW M1	-	-	-	-	-	T4CCP1	-	-	-	-
PP2	11	-	M0PW M2	-	-	-	-	-	T5CCP0	-	-	-	-