

# Computer Architecture

Fall, 2019

Week 8

2019.10.28

## [group8] (對抗賽)

1. What is the order of designing a processor?
  - A. Analyze instruction set (data path requirements)
  - B. Assemble the control logic
  - C. Select set of data path component and establish clocking methodology
  - D. Assemble data path meeting the requirements
  - E. Analyze implementation of each instruction to determine setting of control points effecting register transfer

**Ans:**

**a -> c -> d -> e -> b**

## [group5] (對抗賽)

2. 下列以下選項哪些正確？若選項錯誤請說明原因。
  - A. 在 Branch Operation 中，target address 為 Program counter 的位置加上 Sing extend (immediate  $16 \times 4$ )
  - B. Instruction execution 中，執行下個 instruction 前，我們必須將 Program counter 的值加 4
  - C. Register 本身是一種 Combinational component
  - D. Clock 中的 Edged triggered 是指 Clock 從 1 變到 0 的情況
  - E. Register 的性質和 D flip flop 有點相似

**Ans:**

**BE 正確**

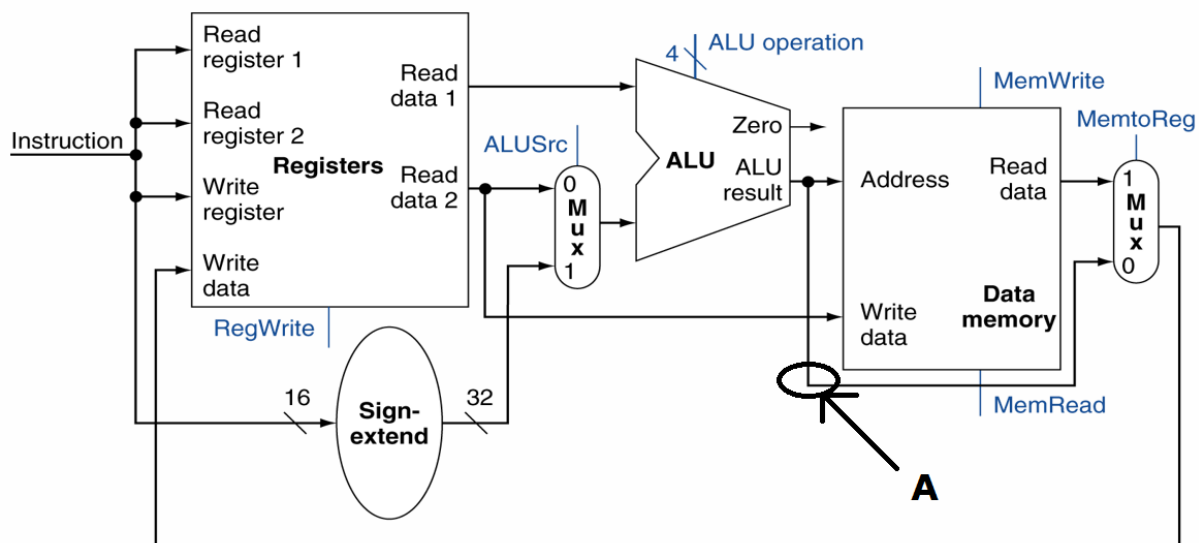
**A. 必須還要加 4**

**C. Sequential Component**

**D. 有分 positive edged-triggered(0 變到 1)和 negative edged-triggered(1 變到 0)**

[group11] (對抗賽)

3.



What instruction(s) below may fail to run correctly if the datapath labeled A in the single-cycle CPU figure has been cut?

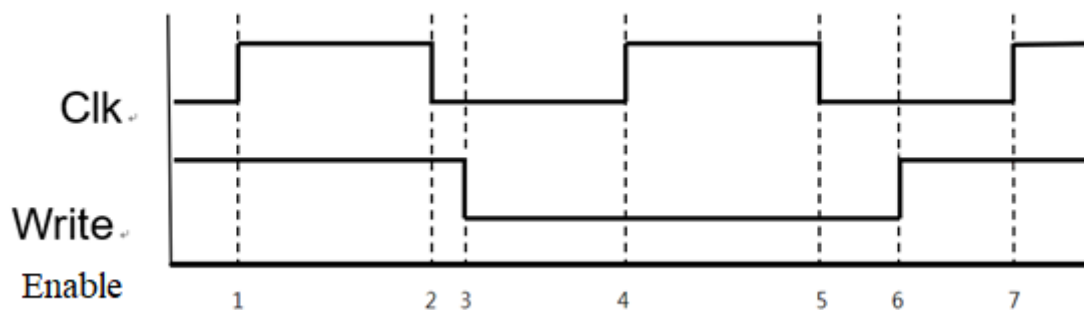
1. add
2. sw
3. lw
4. slt

Ans:

1 and 4

[group2]

4. 下列哪幾個時間點，可以將資料寫入？

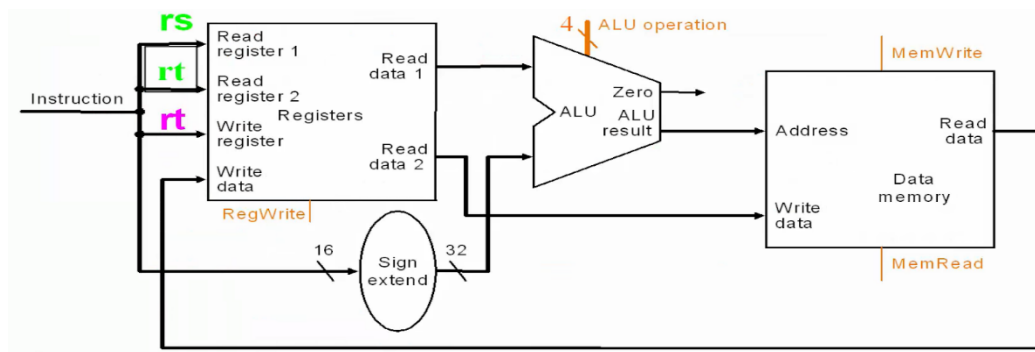


Ans:

1、7(當 Clock edge 且 Write control=1 時，資料會被寫入。)

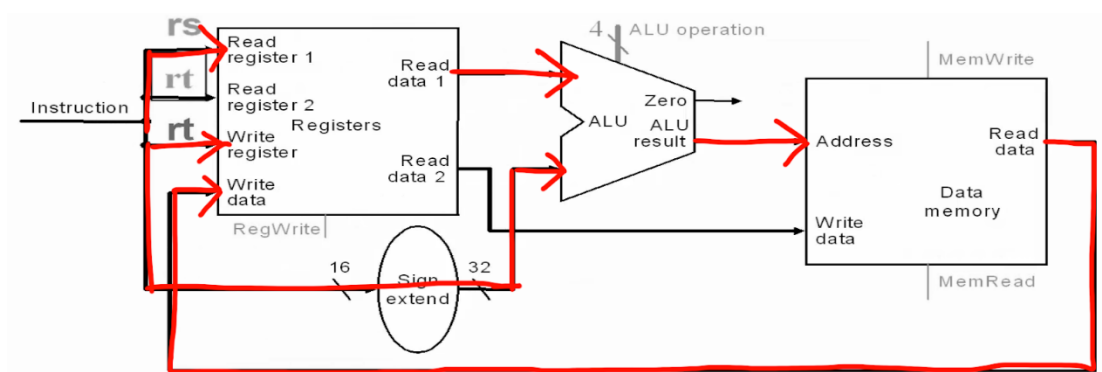
[group7] (對抗賽)

5.



請在上圖畫出執行 load instruction 時的路徑，並簡單解釋每個 module 所進行的動作。

Ans:



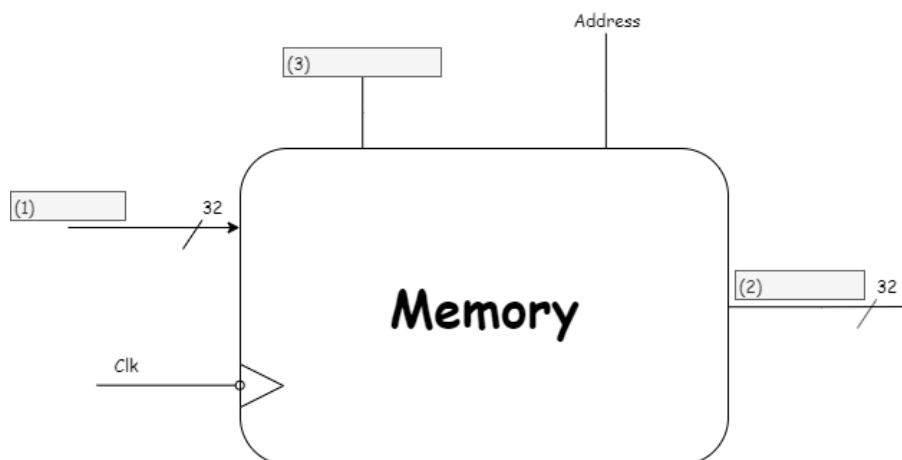
在 register module 中我們取出 rs 的數值並傳入 ALU，而同時 instruction 中的 immediate 也經過 sign extend 被傳入 ALU。

在 ALU 中將兩者相加，並傳入 Memory。

在 memory 中取出目標，傳回 Register 中寫入 rt。

[group12] (對抗賽)

6. 請將下圖空格填寫完成，並簡單說明各空格的作用。



Ans:

(1) Data In : Input Bus

**(2) Data Out : Output Bus**

**(3) Write Enable :**

**1 :** 將 Data In 的資料存進 Memory 中與 address 相符的地方

**0 :** 從 Memory 中與 address 相符的地方讀取數值，並於 Data Out 輸出

**[group1] (對抗賽)**

7. Which of the following statements is true?

(A) In Memory, it is Write Operations when Write Enable is 0.

(B) In Register File, RW selects the register to be written via busW (data) when Write Enable is 1.

(C) LOAD:  $R[rt] \leftarrow \text{MEM}[R[rs] + \text{sign\_ext}(\text{Imm16})]$ ;  $PC \leftarrow PC + 4$

(D) STORE:  $\text{MEM}[R[rt] + \text{sign\_ext}(\text{Imm16})] \leftarrow R[rs]$ ;  $PC \leftarrow PC + 4$

(E) Branch Operations: if  $(R[rs] == R[rt])$  then  $PC \leftarrow PC + 4 + (\text{sign\_ext}(\text{imm16}))$ , else  $PC \leftarrow PC + 4$

**Ans: (B)(C)**

**(A) In Memory, it is write operations when Write Enable is 1.**

**(B) True**

**(C) True**

**(D) STORE:  $\text{MEM}[R[rs] + \text{sign\_ext}(\text{Imm16})] \leftarrow R[rt]$ ;  $PC \leftarrow PC + 4$**

**(E) Branch Operations: if  $(R[rs] == R[rt])$  then  $PC \leftarrow PC + 4 + (\text{sign\_ext}(\text{imm16}) \parallel 00)$ ,  
else  $PC \leftarrow PC + 4$**