

113-1 NTUEE DCLab

Sep. 4, 2024

Course Information & Regulations

Presenter: Jeng-Bang Wang

Advisor: Prof. Chia-Hsiang Yang

Graduate Institute of Electronics Engineering, National Taiwan University



DCSL

Staff and Contact Information

- Instructor
 - 楊家驤 教授
 - MD 616
 - chyee@ntu.edu.tw
- TA
 - 王政邦
 - MD 501
 - r12943022@ntu.edu.tw
 - 廖苡鈞
 - MD 501
 - r13943007@ntu.edu.tw
- Regular meeting hour
 - **Wednesday 18:30 ~ 19:20**

Rules

- 實驗各組嚴禁將實驗器材、書籍或手冊帶出實驗室使用
- 除非告知助教並得到許可，禁止讓非本實驗之同學進入實驗室
- 禁止於實驗室大聲喧嘩
- 維護實驗室清潔，各組於離開前，應將材料、零件收妥，各實驗桌清理乾淨
- 請勿在實驗室飲食，且因實驗室不提供垃圾桶，所有垃圾請在離開實驗室時就拿至垃圾區處理，不可留在實驗室，若發現違規則扣學期總分
- 請勿隨意使用別組空間或取用器材
- 實驗室內為系上財產，離開時請確保關上前門，後側門則保持關閉禁止出入

Syllabus

Week	Date	Content
1	2024/09/04 (三) 18:30	Intro. + Debugging Tool + Verilog1
2	2024/09/11 (三) 18:30	Lab1 + Quartus + Verilog2
3	2024/09/18 (三) 18:30	Verilog3 + Example Code
4	2024/09/25 (三) 18:30	Lab1 Demo + Lab2
7	2024/10/15 (二) 12:20	Lab2 Demo
7	2024/10/16 (三) 18:30	Lab3
10	2024/11/05 (二) 12:20	Lab3 Demo
10	2024/11/06 (三) 18:30	Final Project Proposal
17	TBD	Final Project Demo

若有更動，會寄信通知，並且以 NTU COOL 公告為主

Grading Policy

- 3 Labs (15% each)
 - Demo: 10%
 - Report & Code: 5%
 - 1 Final Project (50% total)
 - Proposal: 5%
 - Demo: 35%
 - Report & Code: 10%
 - 整潔分數: 5%
-
- Demo要能做到講解時提到的要求，並且可以自行延伸做額外的功能設計，後者會酌量加分
 - 評分一律以一組為單位，選擇合適的組員是個人的責任
 - Report & Code 遲交 每三天*0.7
 - Final proposal 與 Final demo 差距太大者，無法取得 proposal 5%成績

Report Regulations

- Report
 - 內容
 - File Structure
 - System Architecture (需標示主要Data Path，Control Signal可有可無)
 - Hardware Scheduling (FSM or Algorithm Workflow)
 - Fitter Summary截圖
 - Timing Analyzer截圖
 - 遇到的問題與解決辦法，心得與建議
 - 期末報告亦可加入對整學期實驗的心得與建議
 - 以 pdf 檔繳交
 - 命名方式：teamXX_lab1_report.pdf

Fitter Summary

Compilation Dashboard X Compilation Report - DE10_Pro X

Table of Contents

- Settings
- Parallel Compilation
- Source Files Read
- IP Cores Summary
- Partition Summary
- Source Assignments
- Parameter Settings by Entity Instance
- Partition "root_partition"
- Partition "auto_fab_0"
- Messages
- Suppressed Messages
- Fitter**
 - Summary**
 - Settings
 - Parallel Compilation
 - Partition Summary
 - Netlist Optimizations
 - Plan Stage
 - Duplication Summary
 - Place Stage
 - Route Stage
 - Retime Stage
 - Finalize Stage

Fitter Summary

Q <<Filter>>

Fitter Status	Successful - Tue Sep 21 18:57:00 2021
Quartus Prime Version	19.1.0 Build 240 03/26/2019 SJ Pro Edition
Revision Name	DE10_Pro
Top-level Entity Name	DE10_Pro
Family	Stratix 10
Device	1SX280HU2F50E1VG
Timing Models	Final
Logic utilization (in ALMs)	52,392 / 933,120 (6 %)
Total dedicated logic registers	123067
Total pins	670 / 1,152 (58 %)
Total block memory bits	6,137,776 / 240,046,080 (3 %)
Total RAM Blocks	512 / 11,721 (4 %)
Total DSP Blocks	0 / 5,760 (0 %)
Total DIB Channels	0 / 75 (0 %)
Total HSSI RX channels	8 / 96 (8 %)
Total HSSI TX channels	8 / 96 (8 %)
Total PLLs	21 / 152 (14 %)

Timing Analyzer

- 如果有出現紅色violation的狀態，必須打開report截取violated部分

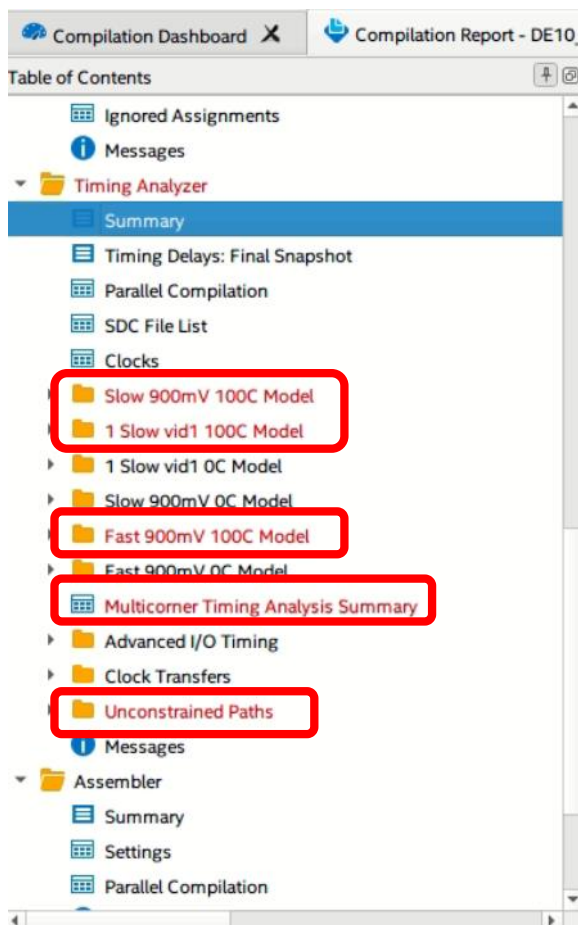


Table of Contents

- Ignored Assignments
- Messages
- Timing Analyzer
 - Summary
 - Timing Delays: Final Snapshot
 - Parallel Compilation
 - SDC File List
 - Clocks
 - Slow 900mV 100C Model
 - Setup Summary
 - Hold Summary
 - Recovery Summary
 - Removal Summary
 - Minimum Pulse Width Summary
 - Max Skew Summary
 - Net Delay Summary
 - Metastability Summary
 - Report DDR
 - 1 Slow vid1 100C Model
 - 1 Slow vid1 0C Model
 - Slow 900mV 0C Model
 - Fast 900mV 100C Model

Submission Rules

- 繳交檔案架構

```
team01_lab1
|-team01_lab1_report.pdf
|-src
|  |-<all of your verilog code>.v
```

- 將 **teamXX_labX** 包成一個 **zip** 上傳到NTU Cool
 - 命名方式：teamXX_labX.zip、teamXX_final.zip，全小寫，組別數字 2 digits
 - src 資料夾內的verilog可自行命名，只要在 report 中有說明層級架構即可
 - Lab 繳交期限：demo 日當天 23:59 前
 - Final 繳交期限：demo 日隔天 23:59 前
- 若未遵守繳交格式會酌情扣分**

Final Project

- Proposal

- 5 mins
- 主題
- 相關文獻探討
- 預期的解決方案 (演算法與對應硬體資源)
- 預計達成的功能
- 可能遭遇的困難與解決方法等

- Presentation

- 20 mins
- 簡報以及現場展示，形式不拘
- 要讓聽眾了解想解決之問題、以及成果的技術含量
- 盡量做到模組化，容易安裝攜帶，展示時需上台操作給所有同學看

WiFi, and Workstation

- 實驗室 Wifi
 - 帳號: dclab_5G/dclab_2G
 - 密碼: ntueedclab
- Workstation (使用電子所 IC Design Lab 工作站，請填寫表單以申請使用權限)
 - <https://reurl.cc/Ny1kk9>

Helpful Resource

- Github: <https://github.com/sogood1023/NTUEE-DCLAB-Materials>
- [DCLab NTUEE - YouTube](#)
- DE2-115 System CD

FPGA Contest

- Intel InnovateFPGA創新大賽
 - <https://www.innovatefpga.com/portal/>
 - 使用DE-10 Nano平台
 - 鼓勵設計、發明與創新
- 可上競賽官網查看歷年作品，作為 final project 題目參考

2019 *InnovateFPGA* **Artificial Intelligence at the Edge!**

 How it Works

2018 Grand Final at Intel

Previous Innovate Contest Winners

World FPGA Design Contest

Show us how you would use Intel FPGAs to make edge devices smarter
Win money and recognition within the industry
Click on your region below to sign up and for contest detail



Final Project Budget

- 每組有NT\$ 2500預算
 - 請勿買非 final project 所需物件
 - 單價超過 NT\$ 500 者需先告知老師與助教並取得同意
- 此學期報帳時間為第12週 (2024/11/18-2024/11/22)
 - 請事先寄信告知助教報帳總額並提供：(1) 發票/收據 (2) 匯款帳號
 - 助教有權拒收發票，不確定能否購買的物品請提前寄信詢問
 - 也請務必遵守下列發票要求
- 報帳發票與收據要求
 - 抬頭：國立臺灣大學 (注意臺字不可簡寫)
 - 統一編號：03734301
 - 品名
 - 不能寫電子材料或電子零件
 - 應以中文詳列各項品名、單價、數量與總價無誤
 - 積體電路可寫為IC，其餘應列中文
 - 若是三聯式統一發票，需同時繳交第二聯與第三聯以報帳



To write an email, please make sure that...

- **Recipients: Please include both TAs in your mail**
 - 王政邦 r12943022@ntu.edu.tw
 - 廖苡鈞 r13943007@ntu.edu.tw
- **Subject: Clearly specify the course name and the subject of the mail**
 - Example: [數位電路實驗] DE2_115 USB2.0 技術相關詢問
- ***Don't* forget your signature**
 - 第幾組？
 - 名字？

Questions?

Team ID

- 一組派一人抽組別