دانشگاه صنعتی امیرکبیر (پلی تکنیک تهران)

گزارش پروژه

درس

طراحی مدارهای مجتمع پرتراکم پیشرفته

استاد درس

دکتر صدیقی

نگارش

شایان نقی‌زاده

۴۰۲۱۳۱۰۴۳

فهرست

۱مقدمه ۱
۲پیاده سازی بخش های مختلف ۲
۲-۱اچ ۳
۲-۲فلیپ فلاپ ۴
۲-۳مدار مجتمع ۵

فهرست اشکال

شکل ۲-۱ مدار لچ ٤
شکل ۲-۲ مدار وارون کننده سه حالته ٤
شکل ۲-۳ نمودار وارون کنندها..... ٦
شکل ۲-۴ نمودار مشتق وارون کننده ها ٦
شکل ۲-۵ زمانی که ورودی در نزدیک setup تغییر می کند ۷
شکل ۲-۶ زمانی که ورودی در نزدیک setup تغییر می کند و جلوتر از حالت قبلی ۷
شکل ۲-۷ تغییر در ورودی برای نشان دادن رفتار داخل setup..... ۸
شکل۲-۸ تغییر در ورودی برای نشان دادن رفتار بعد setup ۸
شکل ۲-۹ تغییر در خروجی برای نشان دادن رفتار داخل hold با وارون کننده های با سایز بزرگ..... ۹
شکل ۲-۱۰ تغییر در خروجی برای نشان دادن رفتار داخل hold با وارون کننده های با سایز بزرگ..... ۹
شکل ۲-۱۱ مدار یک فلیپ فلاپ..... ۱۰
شکل ۲-۱۲رفتار فلیپ فلاپ ۱۰
شکل ۲-۱۳ مدار xor..... ۱۱
شکل ۲-۱۴ پنجره خاموش لچ و فلیپ فلاپ روی لبه نیست ۱۲
شکل ۲-۱۵ پنجره روشن لچ و فلیپ فلاپ روی لبه نیست ۱۲
شکل ۲-۱۶ تغییر ورودی بدون رعایت setup..... ۱۳
شکل ۲-۱۷ تغییر ورودی بدون رعایت setup برای مدار razor و DSTB..... ۱۳

فهرست جداول

جدول ۲-۱ مشخصات لچ ۱۰
جدول ۲-۲ مشخصات فلیپ فلاپ ۱۱

شایان نقی زاده ۴۰۲۱۳۱۰۴۳

۱

مقدمه

مقدمه

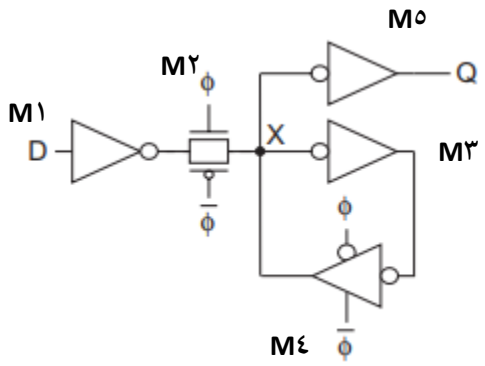
در این پروژه هدف این است که بتوانیم یک واحد حافظه رایج را به صورتی پیاده‌سازی کنیم از نظر سایز و فرکانس کاری رفتار درستی داشته باشد تا بتوانیم در مدار یک DSTB یا razor برای پیداکردن خطا از آن استفاده کنیم و با آن بتوانیم تشخیص دهیم که فرکانس مدار ما به‌درستی تنظیم شده است و همچنین رفتار یک واحد حافظه را درصورتی‌که در پنجره ممنوع آن ورودی تغییر کند را ببینیم.

۲

پیاده‌سازی بخش‌های مختلف

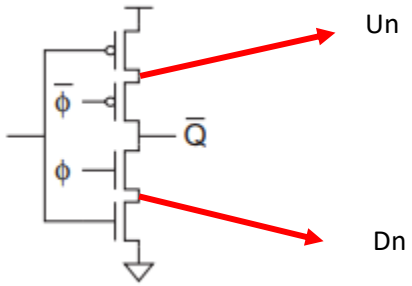
۲-۱ لچ

در فاز اول پروژه از ما خواسته شده است که یک LATCH را پیاده‌سازی کنیم و پارامترهای آن را به دست آوریم که به‌صورت زیر است.



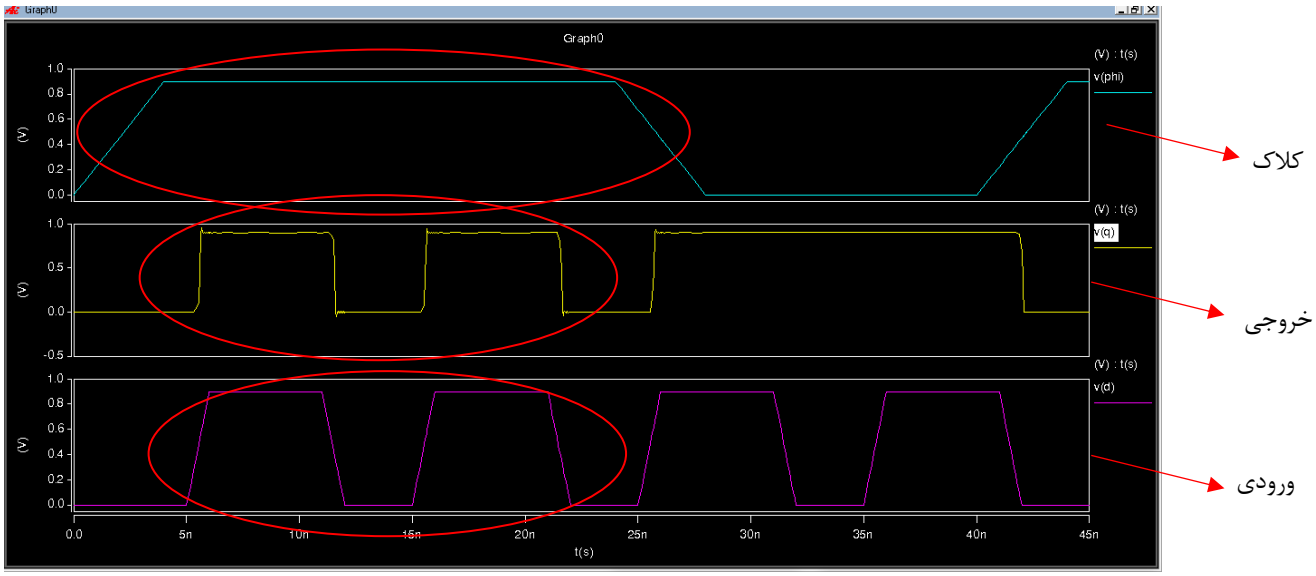
شکل ۲-۱ مدار لچ

فقط برای Tri-State INVERTER طبق شرح پروژه از مدار زیر استفاده کردیم و نودها میانی رو نام‌های Un و Dn گذاشتیم.



شکل ۲-۲ مدار وارون کننده سه حالته

صرفاً برای بهتر نشان‌دادن رفتار latch پریود ورودی را کوچک‌تر را از کلاک گذاشتیم تا رفتار لچ را در پنجره باز و بسته لچ مشاهده کنیم که خروجی قابل‌مشاهده است.

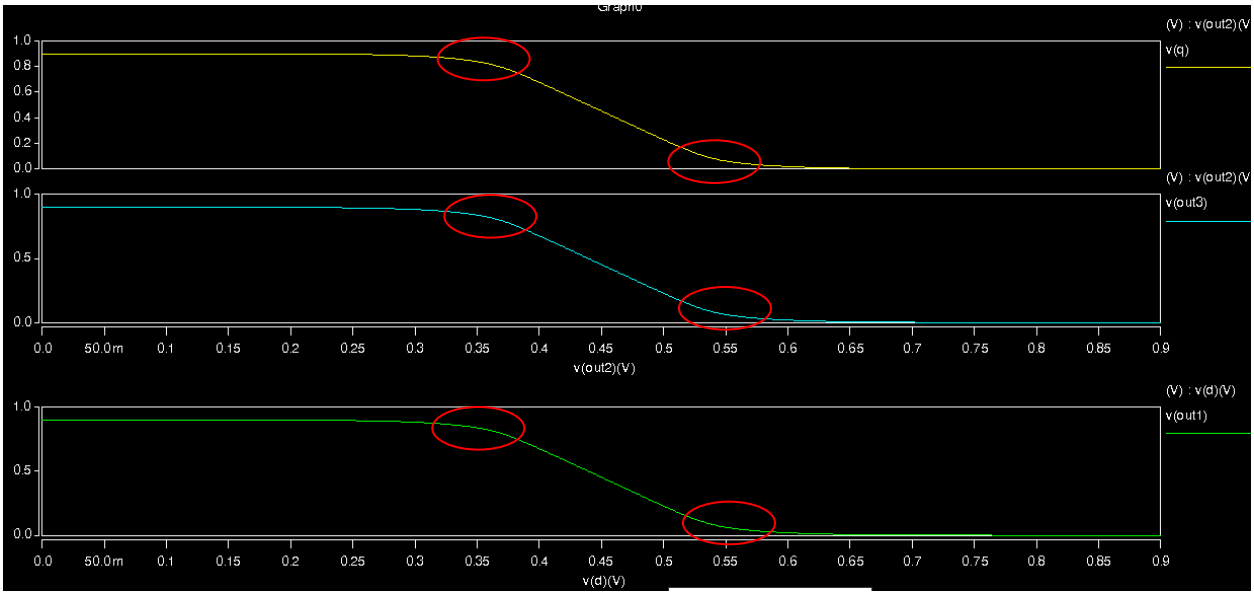


قابل‌مشاهده است که در زمانی که کلاک ما یک است؛ یعنی هنگامی که لج باید باز باشد خروجی در حقیقت با ورودی برابر می‌شود.

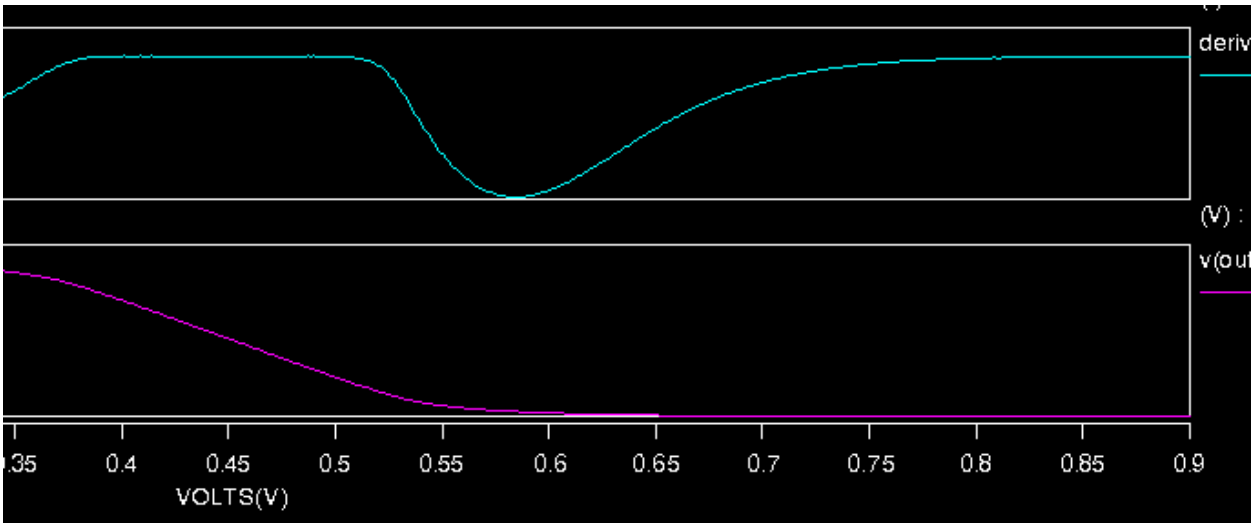
ورودی	d
کلاک	q
خروجی	phi

Vtc وارون‌کننده

مرحله بعد به سراغ Vtc وارون‌کننده‌ها می‌رویم و برای وارون‌کننده‌های موجود در لچ نمودار آن را رسم می‌کنیم همچنین نمودار مشتق آن را هم به دست می‌آوریم که شکل زیر است.



شکل ۲-۳ نمودار وارون کنندها



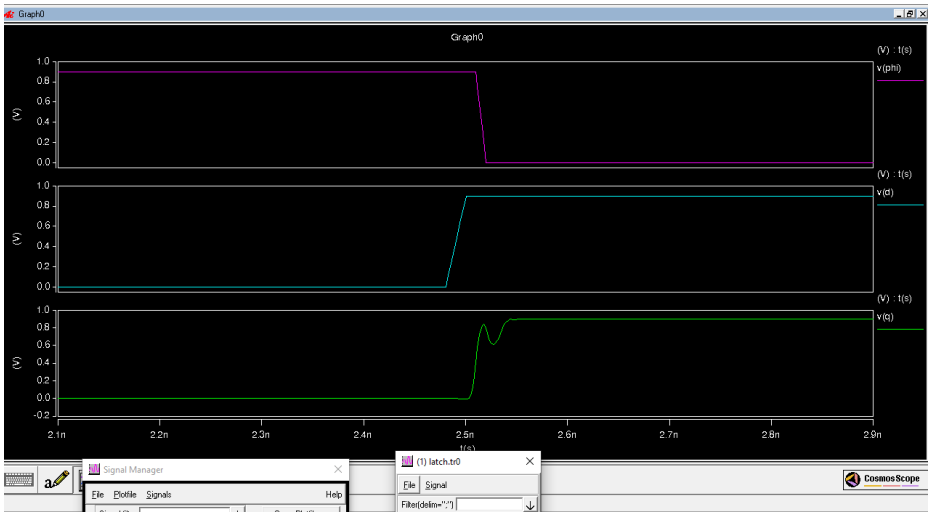
شکل ۲-۴ نمودار مشتق وارون کننده ها

که در شکل ۲-۴ برای وارون کننده خروجی بعد برای وارون کننده دوم و پایین برای اولی است و جاهایی که شیب برابر است با -۱ نقطه های Vih و Vil است. که ۰. ۴ ولت برای Vih و ۰.۵۷ برای Vih خواهیم داشت.

در قسمت بعد از ما خواسته شده است که تأخیرهای Tcq و Tdq را حساب کنیم که به‌صورت زیر است و مقادیر آن به دست می‌آید.

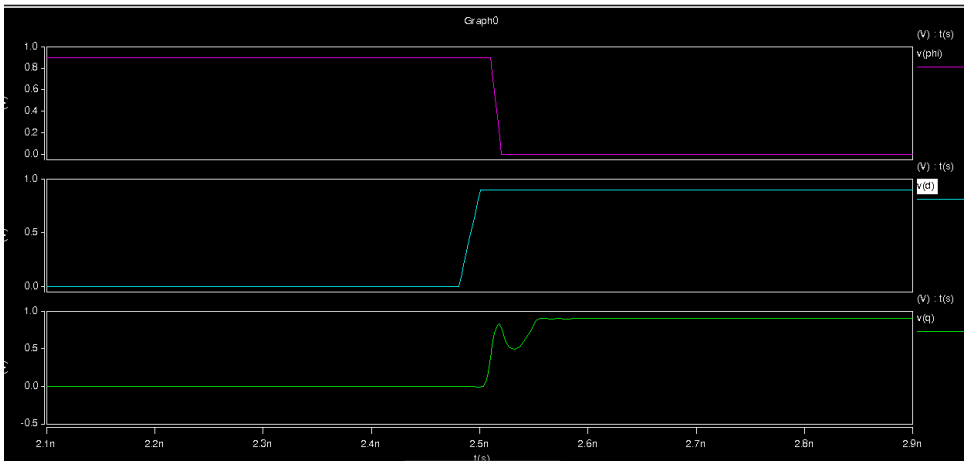
```
******  transient analysis tnom=  25.000 temp=  25.000 *****
 tcq=  2.8492E-10  targ=  2.8992E-10   trig=  5.0000E-12
 tdq=  1.9922E-11  targ=  2.8992E-10   trig=  2.7000E-10
```

در مرحله بعد به سراغ t_setup و t_hold می‌رویم که به‌صورت زیر به دست می‌آید. اگر d داخل پنجره setup تغییر کند ما تغییری درستی در خروجی نخواهیم دید. شکل زیر زمانی رخ می‌دهد که d ما در نزدیکی لبه پایین‌رونده تغییر می‌کند



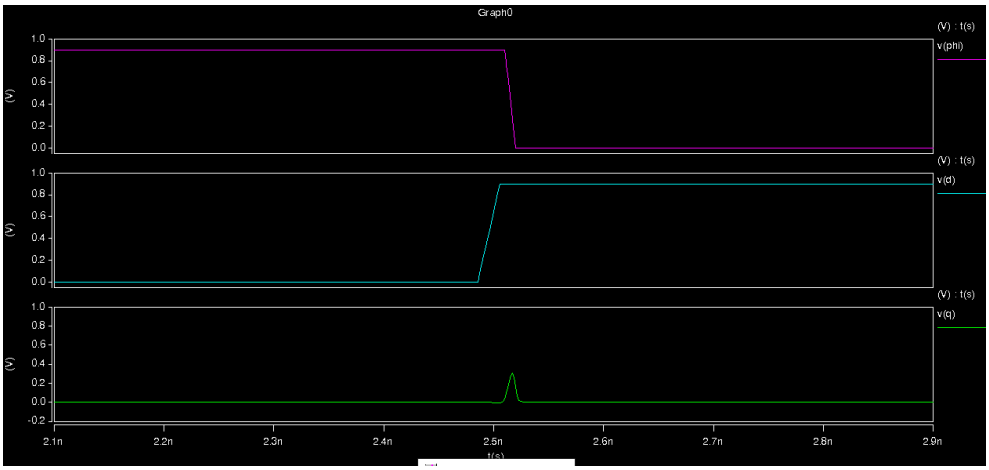
شکل ۲-۵ زمانی که ورودی در نزدیک setup تغییر می کند

مشاهده می‌کنیم که تأخیر یک شدن بیشتر شده است و هر چه به سمت setup برویم بیشتر هم می‌شود و تا جایی جلو می‌رویم که دیگر خروجی تغییری ندارد.

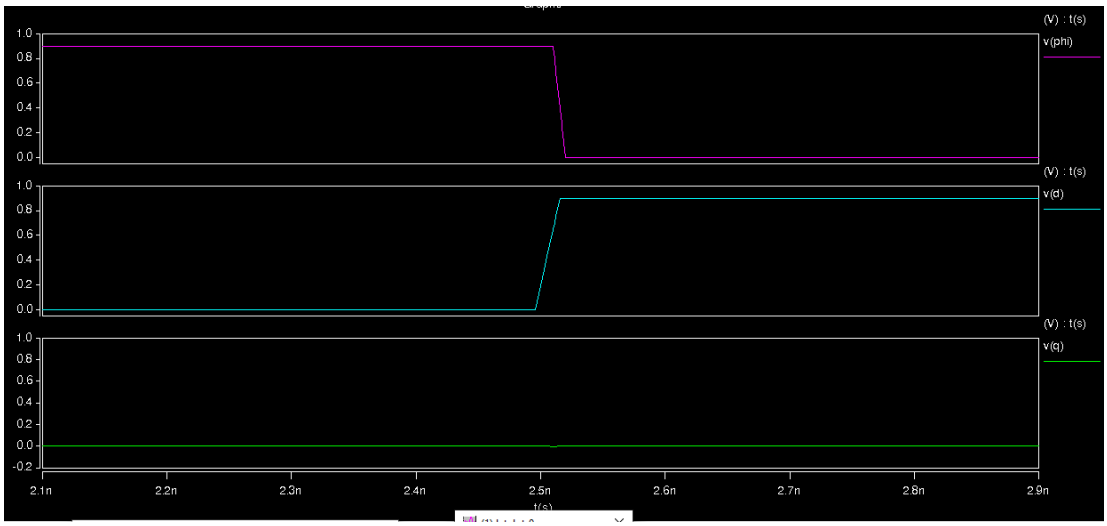


شکل ۲-۶ زمانی که ورودی در نزدیک setup تغییر می کند و جلوتر از حالت قبلی

تا جایی که دیگر تغییر ورودی را نخواهیم دید البته یک تأخیر ایجاد می‌شود ازاین‌جهت که خروجی سعی می‌کند به یک برسد؛ ولی نمی‌تواند



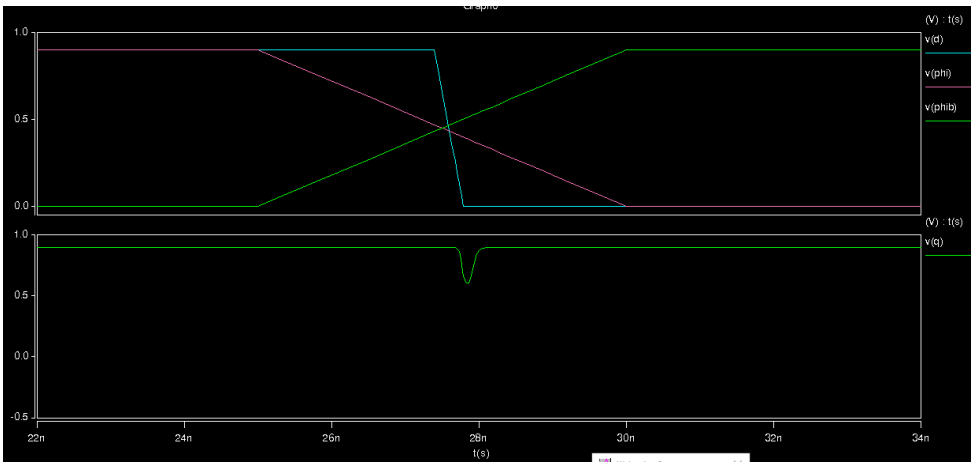
شکل ۲-۷ تغییر در ورودی برای نشان دادن رفتار داخل setup



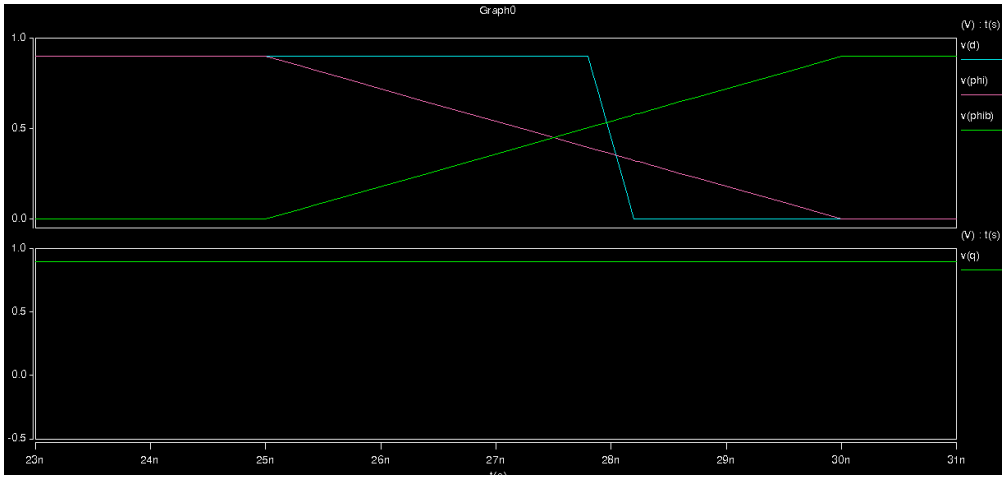
شکل۲-۸ تغییر در ورودی برای نشان دادن رفتار بعد setup

که setup ما در حد ۱ps به دست می‌آید.

زمان hold از آن جایی که سرعت گیت انتقال ما خیلی بالاتر است نسبت به وارون‌کننده ما hold نخواهیم داشت؛ چون تا زمانی که ورودی بخواهد در خروجی وارون‌کننده اول قرار بگیرد کلاک که به گیت انتقال وصل است قطع شده و اتفاقی نخواهد افتاد. ولی برای نشان‌دادن hold و اتفاقی که اگر تغییر در آن بدهیم می‌افتد وارون‌کننده را سریع‌تر کردیم و خروجی زیر به‌دست‌آمده است که می‌بینیم در این حالت نویز رو خروجی ما می‌افتد؛ ولی اگر بعد از زمان hold تغییر بدهیم تغییری رخ نمی‌دهد.



شکل ۲-۹ تغییر در خروجی برای نشان دادن رفتار داخل hold با وارون کننده های با سایز بزرگ



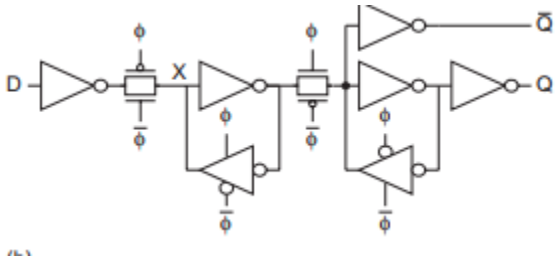
شکل ۲-۱۰ تغییر در خروجی برای نشان دادن رفتار داخل hold با وارون کننده های با سایز بزرگ

جدول ۲-۱ مشخصات لچ

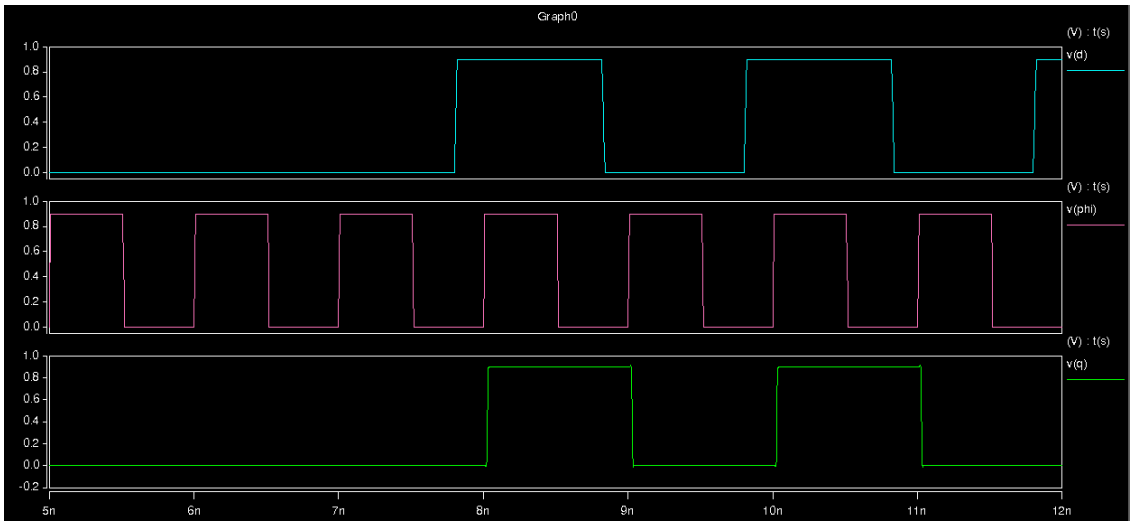
مشخصات	مقدار
تأخیر Tcq	۲/۸۴e-۱۰
تأخیر Tdq	۱/۹۹e-۱۱
T-SETUP Rise	۱ps
T-SETUP Fall	۱ps
T-HOLD Rise	۰
T-HOLD Fall	۰

۲-۲ فلیپ فلاپ

مرحله بعد پیاده‌سازی فلیپ‌فلاپ است که از شکل کتاب استفاده شده است.



شکل ۲-۱۱ مدار یک فلیپ فلاپ



شکل ۲-۱۲رفتار فلیپ فلاپ

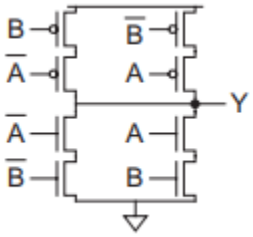
تأخیر Tcq برابر است با

```
******  transient analysis tnom=  25.000 temp=  25.000 *****
 tcq=  4.0232E-09  targ=  4.0282E-09   trig=  5.0000E-12
```

جدول ۲-۲ مشخصات فلیپ فلاپ

مشخصات	مقدار
تأخیر Tcq	۴/۰۲e-۹
T-SETUP Rise	۰/۸ps
T-SETUP Fall	۰/۸ps
T-HOLD Rise	۰
T-HOLD Fall	۰

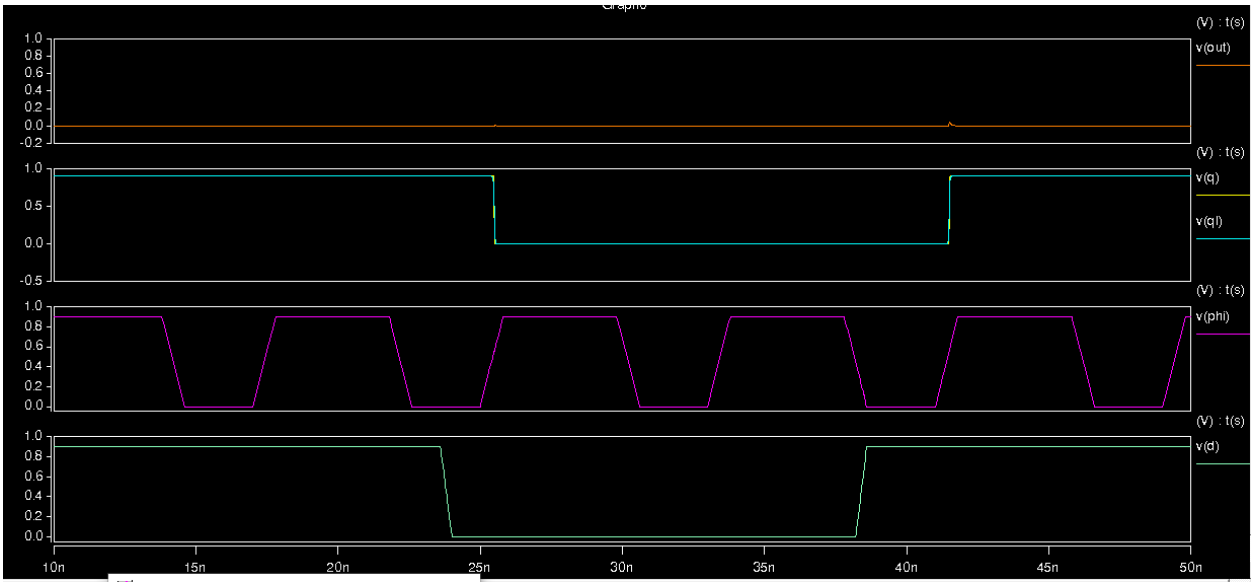
برای xor از مدار گفته شده استفاده می‌کنیم



شکل ۲-۱۳ مدار xor

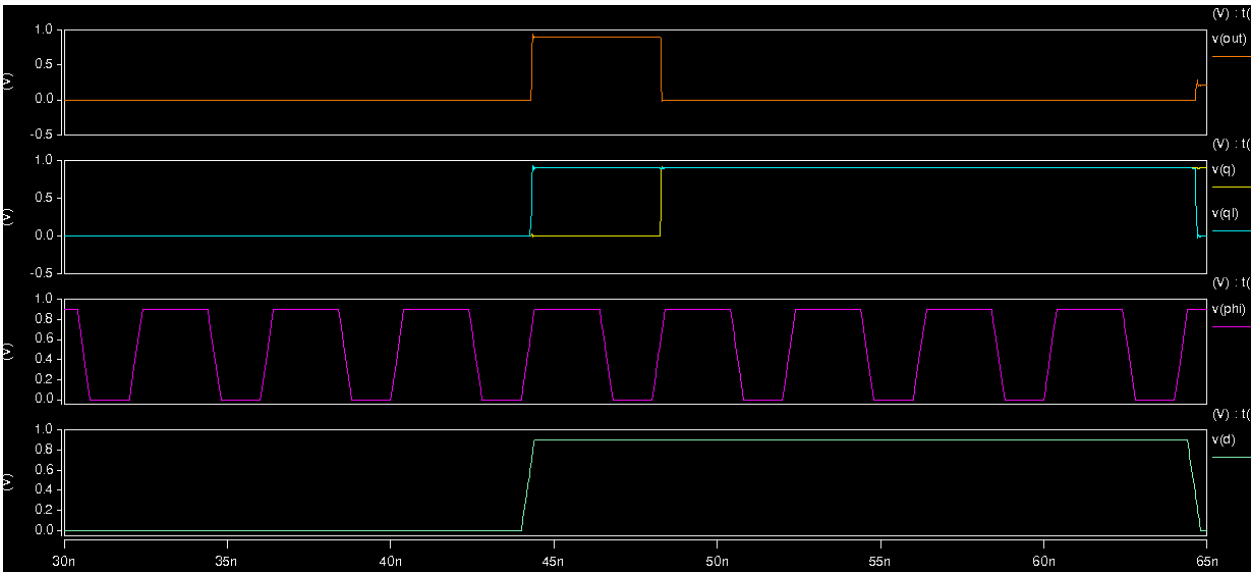
۲-۳ Razor/DSTB

برای درست‌کردن مدار RAZOR باید خروجی فلیپ‌فلاپ رو با لچ با هم به ورودی XOR بدهیم تا را پیدا کنیم.



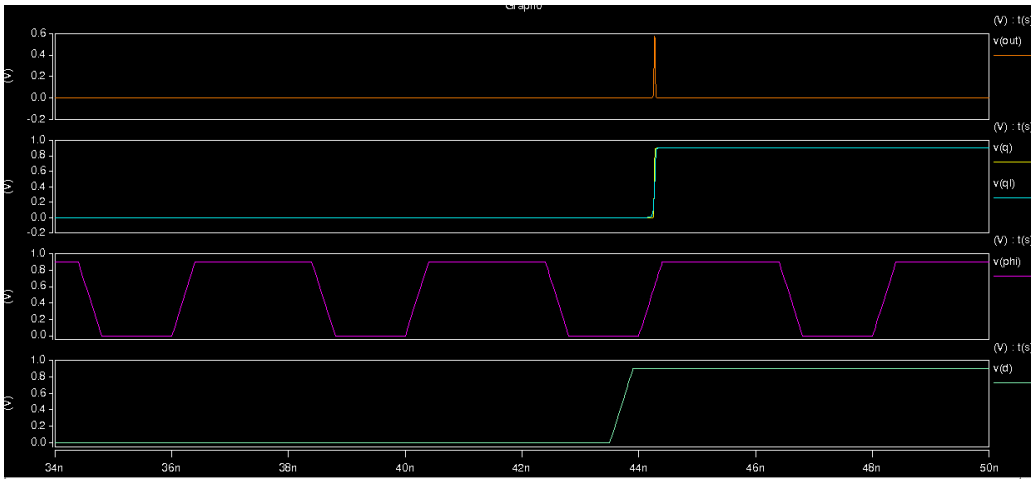
شکل ۲-۱۴ پنجره خاموش لچ و فلیپ فلاپ روی لبه نیست

برای نشان‌دادن این که مدار درست کار می‌کند ورودی را در داخل پنجره لچ می‌دهیم انتظار داریم لچ آن را ببیند و فلیپ‌فلاپ نبیند تا سیگنال خطا یک شود.



شکل ۲-۱۵ پنجره روشن لچ و فلیپ فلاپ روی لبه نیست

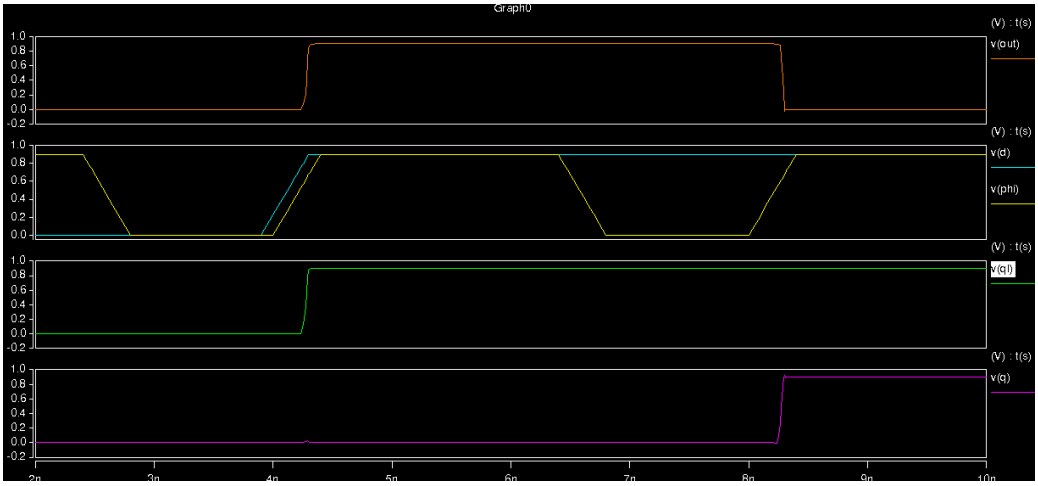
حالا اگر ورودی را در نزدیکی لبه بالارونده تغییر بدهیم و بخواهیم setup را رعایت نکنیم شکل زیر را خواهیم دید



شکل ۲-۱۶ تغییر ورودی بدون رعایت setup

ما می‌دانیم که اگر از لچ برای خروجی استفاده کنیم در حقیقت DSTB ایجاد شده و اگر از فلیپ‌فلاپ استفاده کنیم یک RAZOR داریم.

حالا اگر ورودی را به نحوی تغییر بدهیم که در داخل پنجره setup فلیپ‌فلاپ بیفتد لچ ما آن را می‌بینید؛ ولی فلیپ‌فلاپ رفتار درستی از خودش نشان نخواهد داد و تا لبه بعدی باید منتظر بمانیم تا دیتا درست شود و همچنین ارور ما فعال خواهد شد.



شکل ۲-۱۷ تغییر ورودی بدون رعایت setup برای مدار razor و DSTB

خروجی Q همان خروجی مدار RAZOR ما و خروجی QL خروجی DSTB است.

پس همان‌طور که می‌دانیم بهتر است برای خروجی از لچ استفاده کنیم؛ چون بهتر می‌تواند نمونه‌برداری کند و اگر دچار metastability شویم خروجی Razor بهتر مدیریت می‌کند.