

## Problema

Um dos principais problemas encontrados em projetos envolvendo ASICs e FPGAs diz respeito ao cumprimento dos requisitos de temporização em projetos síncronos. Para exercitar a habilidade de desenvolvimento de circuitos com requisitos estritos de temporização, solicita-se a construção de uma aplicação em FPGA capaz de exibir imagens provenientes de uma memória SDRAM. Tal aplicação deverá ser voltada para a placa de prototipação Altera DE2-115 e deverá ser realizada em grupos de no máximo 3 pessoas.

## Especificação

Seu projeto envolverá a construção de ao menos 3 módulos, descritos na sequência (outros módulos poderão ser necessários, conforme a implementação realizada).

### **Módulo de Controle de Memória:**

Módulo responsável pelo acesso de uma imagem estática (por exemplo, padrão bitmap), de tamanho 1920 x 1440 pixels (largura x altura), presente numa memória SDRAM (ISA42S16320D-7TL). Este módulo deverá receber o endereço inicial de um pixel (coluna, linha) e um sinal de ativação, devendo devolver uma sequência de pixels, correspondente a uma imagem padrão VGA (640 x 480). Obs.: O tratamento do arquivo de imagem e a forma como ele será carregado na memória é de responsabilidade de cada grupo.

### **Módulo de Exibição VGA:**

Módulo responsável pela exibição dos pixels provenientes do Módulo de Controle de Memória.

### **Módulo de Controle Principal:**

Módulo responsável pelo controle de entradas de seleção (coluna e linha da imagem maior) e pelo controle dos demais módulos.

## Entregas

Arquivos de projeto/.pdf deverão ser enviados para o email oliveira.wagner@ufba.br (com cópia carbono para wlao@uol.com.br) até as 23:59 das datas limites indicadas.

### **Atividade 1:** (12/12/2017) – Especificação / Microarquitetura

Especifique os requisitos do seu sistema (funcionalidade desejada, dispositivos envolvidos, temporização a ser atendida). Defina a microarquitetura do seu sistema, isto é, descreva seus blocos arquiteturais e os sinais de controle de cada bloco.

### **Atividade 2:** (09/01/2018) – Modelagem

Desenvolva e descreva os diagramas de transição de estados das FSMs referentes aos blocos arquiteturais de seu sistema.

### **Atividade 3:** (23/01/2018) – Implementação Verilog

Implemente as FSMs desenvolvidas na Atividade 2.

### **Atividade 4:** (06/02/2018) – Prototipação e uso de restrições de temporização

Entregue o protótipo em funcionamento na placa DE2-115 da Altera.

### **Atividade 5:** (13/02/2018) – Documentação

Entregue o relatório descritivo do projeto, contendo as FSMs desenvolvidas e como as restrições de temporização foram atendidas.