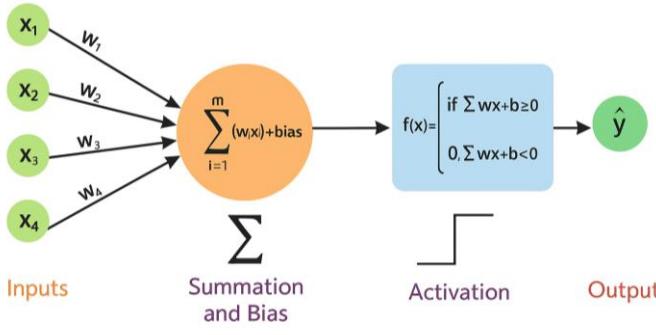
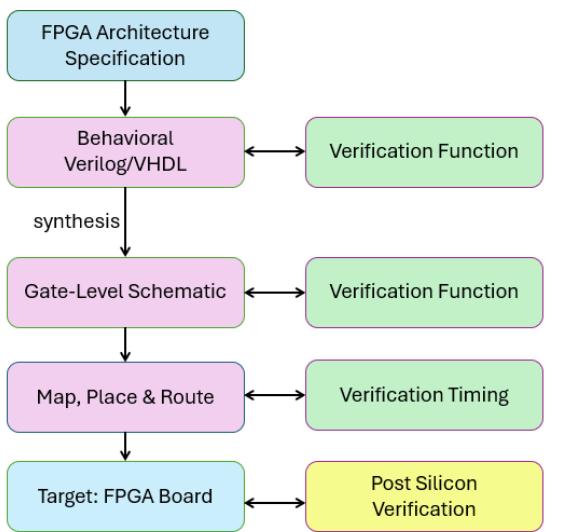


1 תקציר



איור 1. תהליך הפעלת הנירון (בפרויקט שלנו יהו מספר כללו)

הפרויקט מתמקד בפיתוח פלטפורמת וריפיקציה (מערכת בדיקות) מבוססת FPGA עבור רכיב מאיצ' חישובי (PE) המבוסס על רשותת נירונים, המפותח על ידי צוות נוספים במסגרת הפרויקט זהה. מטרת הפלטפורמה היא לאפשר בדיקות חומרתיות מקיפות במטרה להבטיח את תקינות המאיצ' ותפקודו בשלבי פיתוח המוקדמים. הבדיקות משלבות בין סימולציה Pre-silicon לברמת RTL לבין בדיקות חומרה על גבי לוח FPGA.



איור 2. תהליך העבודה הכלול שייתבצע במהלך הפרויקט

בפרויקט נתמקד ביצירת סביבת בדיקות גמישה, מודולרית ואמינה, המסקנת מענה לדרישות פונקציונליות של המאיצ', תוך זיהוי בעיות לוגיות ושגיאות אינטגרציה ותקלות חמום. העבודה מתבצעת בחלק מיפוי מלא של מערכת VLSI, הכוללת את שלב האimotoות המוקדם (Pre-Silicon) ואות של בדיקות החומרה.

הפרויקט מתבצע בשיתוף פעולה עם צוות נוספים המפתח את רכיב ה-PE ברמת RTL, בעוד שהוצאות שלמו אחראיות לפיתוח סביבת הבדיקה החומרת והסימולטיבית.

לאחר השלמת התוכנן והווריפיקציה ברמת RTL על ידי הוצאות הנוסף בפרויקט, צוותנו יבצע סימולציות על ה-DUT באמצעות סימולטור MODELSIM לבדיקת התפקוד הלוגי של המאיצ'. תהליך זה מאפשר לבדוק חישובים, ממשקי קלט/פלט, והתנהגות בתחרשיים שונים. בשלב השני, שטח פיתוח FPGA קיים, שבו אנו מבצעים בדיקות חומרה בזמן המאיצ' ממומש על גבי לוח FPGA, שבודק קווידות הקודמות ולודוא עמידה בדרישות הפונקציונליות והביצועיות של המערכת.



שילוב הבדיקות והסימולציות המתקדמיות לצד בדיקות החומרה יוצר תהליך וריפיקציה שלם ועמוק, מפחית סיכון תכנן וייצור, ומבטיח שהמאיצ' המפותח עומד בסטנדרטים הנדרשים.

איור 3. דיאגרמת בלוקים המתארת את הממשק של ה-Host FPGA עם ה-DUT (צ'יף המאיצ')

בסיום העבודה, המאיצ' ישלח לייצור ב-FAB על ידי חברת Apple (תהליך הפבריקציה), פלטפורמת ה-FPGA והטיטים שנבנה יהו בסיס להמשך הבדיקות שלב ה-Post-Silicon Validation שיבוצעו על ידי צוות אחר בפרויקט הגמר בשנה הבאה. השילוב בין סימולציות מתקדמיות ובדיקות חומרה מספק תהליך בדיקה מكيف שmphich סיכונים בתכנון וביצור, ומבטיח שההשגב המפותח עומד בסטנדרטים הגבוהים הנדרשים.

הפרויקט מדגיש את חשיבות השימוש ב-FPGA כאמצעי מרכדי לאיזוט מוקדם שלマイרים נירוניים, ואת הערך בהקמת סביבת וריפיקציה מודולרית וגמישה בעולם ה-VLSI. במהלך העבודה נרכשים כלים מעשיים בתכנון, פיתוח ובדיקה חומרה דיגיטלית. תוך שימוש בשפת הVERILOG לפיתוח, ובTEST BENCH לבדיקות, המשמשות גם בתעשייה המתקדמת אצל חברות כגון NVIDIA ו-INTEL והרבה אחרות.

2 מוטיבציה

המעבר לעולם המבוסס בינה מלכויות מלאה בדרישה הולכת וגוברת למאיצים חישוביים ייעילים, מדויקים ובעלי צירוף הספק נמוכה. ככל שארכיטקטורות של מאיצים אלו נעשות מורכבות יותר, כך גובר הצורך בתהיליך וריפיקציה מוקדמים, על מנת להבטיח תקינות ותפקודם לפי שלב יצור הסיליקון.

בפרויקט זה אנו מפתחים פלטפורמת וריפיקציה חומרתית מבוססת FPGA, שתשתמש לאיות מוקדם ולבדיקת ביצועים של רכיב EEPROM המפותח על ידי הצוות המקביל. הפרויקט נותן מענה לצורך ממשי בעולם פיתוח השבבים, באשר יצירת שבב בדיקה גמישה מדויקת וניתנת להרחבה, המאפשרת להריץ תרחישים מורכבים בזמן אמת, להוות תקלות לוגיות.

בום השימוש במאיצים חישוביים הוא רחב, ניתן לראותו אותו במכשירים רפואיים כמו CT או MRI שבahn המאץ משתמש לביתוח תמנונות בזמן אמת ולזיהוי אזורים חשודים. בתחום הרכיב החכם האוטונומי, שבו המאץ תומך בקבלת החלטות בזמן אמת, כפי שנעשה במערכות של חברות כמו Mobileye.

הטכנולוגיה שפותחה, פלטפורמת וריפיקציה מבוססת FPGA, מאפשרת לבדוק את תפקוד המאץ בתנאי עבודה קרובים למציאות, עוד לפני יצור השבב. בכך היא מצמצמת סיכון, חוסכת עלויות פיתוח ומשפרת את איכות התוכן.

בעולם התעשייתי ביום קיימות מספר גישות עיקריות לבדיקת שבבים, כגון:

- בדיקות על גבי FPGA - שיטה שבה ממירים את עיצוב החומרה לקונפיגורציה שרצה על FPGA פיזי, כדי לבדוק ביצועים והתנהגות במעט-אמיתית בהרבה בהרבה מסימולטור, אם זאת פחות מהירה מהשבר האמיתית.
- בדיקות שימושلات סימולציה עם GA - שיטה היברידית שבה חלק מהמערכת רץ בסימולציה וחלק נוסף על GA, כדי לקבל גם דיק סימולטיבי וגם מהירות הריצה גבוהה יחסית.
- גישת VIRTUAL PROTOYPING לשפה עילית – שיטה המבוססת על מודלים תוכנוניים ברמת אבטרקייה גבוהה שמאפשרת להריץ ולבדק את התנהגות המערכת עוד לפני קיום חומרה אמיתית.
- FORMAL VERIFICATION – שיטה מתמטית שמוכיחת נכונות לוגית של העיצוב באמצעות אלגוריתמים פורמליים, ללא צורך בהריצה או סימולציה של כל תרחיש אפשרי.

אנחנו בחרנו בפיתוח פלטפורמת בדיקות על גבי FPGA. זאת בשל ותורונתייה הרבים: מאפשרת דיק לוגי גבוהה ומספקת התנהגות חומרתית בזמן אמת על גבי FPGA הניתן לשינוי ועדרון מתמיד. הבחירה ב-FPGA מספקת את האיזון האידיאלי בין דיק לגמישות, היא מאפשרת לבצע בדיקות מהירות ואミニות, שמודגש כי זאת תשתיות קרייטית עבור הצלחת הפרויקט. באמצעות סיבת הבדיקות ניתן להעריך את הביצועים, לנתח זמנים למדוד הספק ולבוחן את המאץ בתנאי עומס שונים, לפני הייצור – הביצועים וצריכת ההספק של המאץ בסיליקון שונות מהותית מה FPGA ולכן שלב זה הינו בעירובן מוגבל.

הפרויקט מדגיש את חשיבות הבדיקות המוקדמות בחלוקת בלתי נפרד מהתהיליך הפיתוח. באמצעות העבודה הזאת יש תרומה לייצור שבב אמין ומדויק שיכל לשמש ביישומים תעשייתיים, רפואיים וטכנולוגיים מתקדמים, בעזרת פיתוח תשתיות הבינה המלאכותית והחומרה החכמה.

3 תבולה העבודה

הפרויקט מתמקד בפיתוח פלטפורמת וריפיקציה חומרתית המבוססת על FPGA, שתשתמש לאיום מוקדם ולבדיקות פונקציונליות של רכיב החומר המשמש את פעולות הנירון המלאכוטי. רכיב זה מהווה את יחידת הבסיס במאיצ' נוירוני רוחב יותר, המתוכנן לעובוד מוקבלי של נתונים ביישומי בינה מלאכותית ולמידה عمוקה.

בשלב הראשון נתעמק בנושא הרכע התיאורטי הנדרש. רכע זה כולל עקרונות של רשתות נירונים מלאכותיות, שיטות (MAC) (MultiPLY-Accumulate) אלו הן פועלות הנירון. נחקרו את שיטות האיומות (verification) חומרה הכוולות שיוב של FPGA.

המקורות המרכיבים שנשתמש בהם כוללים:

1. [FPGA based verification for neural networks](#) – מethodologies לבדיקת רכיבי חומרה.

2. [FPGA Design Basics](#) – למידת עבודה עם ה- Verilog (FPGA וכו').

לאחר רכישת הידע התיאורטי וביסוס שפה אחתה בצוות, השלב הבא הוא הגדרת הדרישות והארכיטקטורה של לוח הבדיקה. בשלב זה נאפיין את ממשקי הקלט ופלט, נגידיר את תצורת החיבורים הפנימית בין רכיבי ה-FPGA וنبנה את מבנה הארכיטקטורה הלוגית של סביבת הבדיקה.

הארכיטקטורה תתבסס על שלוש שכבות עיקריות:

1. **שכבה הקלט:** ממשק FIFO או Register Bank לקליטת וקבעי הקלטים מהמאץ או מחשב הבקרה.
2. **שכבת העבודה:** רכיב ה-MAC שיבצע את פעולה ה-MAC של הנירון או מספר נירונים, כולל שלבי שקלול סכימה והשוואה לערך הסף.
3. **שכבת הפלט:** ממשק FIFO או Register Stack להציג תוצאות הבדיקה וניתוח הפלטים בזמן אמיתי לאיסוף נתונים סטטיסטיים.

במקביל, נפתח תוכנית בדיקות מפורנת שתגדיר תרחישי איומות שונים, כגון:

- בדיקות פונקציונליות של יחידת ה-MAC ברמהבודדת.
- בדיקות עומס וזמןון לבחינת יציבות ועקבות התוצאות.
- בדיקת שגיאות לבחינת תגבורת המערכת עבור נתונים שגויים, קלט רועש או עיכובים מתוכנים.

במשך נחילה במבנה סיבית הסימולציה באמצעות Verilog, שתאפשר לנו לאמת את התפקיד הלוגי של כל מודול בנפרד ובעור המערכת כולה. סיבית הסימולציה תכלול מחללי אותן, רכיב ניטור ומנגנוני השוואות אוטומטי בין תוצאות הצפויות לבן אלו שהתקבלו בפועל.

לאחר סיום שלב הסימולציה, נטען את הקוד ללוח FPGA מסוג DE10-Lite ומבצע בדיקות חומרה. בתחילת זה תהיה הרצה של מספר תרחישים בזמן אמיתי, ניתוח האותות, והשוואת הביצועים מול מודל תוכנה.

בהתאם לממצאים, נבצע אופטימיזציות מבניות (בעור שיפור ניצול משאביים) ונrich מחדש את תרחישי הבדיקה לוודא כי מתקיימת עדידה בדרישות הפונקציונליות והביצועיות שהוגדרו.

הכלים והשפות שנשתמש בהם:

- **לוח DE10-Lite:** לוח לביצוע בדיקות בזמן אמיתי, ובו תפקודי חומרתי עבור אינטגרציית המערכות.
- **.testbench Verilog HDL:** מימוש לוגיקת הנירונים, ממשקי הקלט והפלט וה- ModelSim.
- **Visual Studio Code:** סביבה העבודה המשולבת לפיתוח תוכנה (IDE) בה השתמש.

בסוף הפיתוח ניתן לישם בפועל את השלבים המרכזים בעולם תכנון השבבים: הגדרה, תכנון, סימולוץ, מימוש ובדיקה חומרה. בנוסף, הבדיקה עם איומות מוקדם של רכיבים ניוונים בגישה מודולרית המאפשרת את תעשיית ה- VLSI המודרנית.

4 תוצרי הפרויקט

בפרויקט הכלול מתבצע פיתוח מאייז חישובי המבוסס על רשותות מירונים, המיעוד לישומי AI מתקדמים כמו עיבוד נתונים ויזיה דפוסים.

המאייז יתוכנן כ-ASIC שיכל לקבל 256 בתים ולעבב אותם לכדי תוצאה בוליאנית אחת (TRUE/FALSE) על-פי סף שנקבע מראש. הרכיב ישמש כאבן לבנייה לרשת עצבית גדולה ואפשר חישובים מהירים ומורכבים. במהלך הפיתוח יוצגו תרשימים בЛОקם של המערכת ותיאור של כל רכיב – כולל תדרי עבודה, זמני תגובה וצריכת אנרגיה.

בפרויקט שלנו נבנה מעתפת דיגיטלית לבדיקת המאייז. המעתפת התקבלה תוכניות בדיקה מתוכננת שתறוץ בHOST, תתרגם את המידע לאוטות שיזמו את המאייז, יאפסו את התוצרים מהמאייז, וישלחו בחזרה לHOST, כולל בדיקות מיידיות בחומרה. בקרה זו יהיה ניתן לאסוף בHOST במידות גדולות של בדיקות ותוצאותיהן, לנתח ולהציג.

המערכת תתמוך בבדיקות ייחודית, אינטגרציה ובבדיקות מערכת כוללת, לנתח התנהגות המאייז בתנאי עבודה אמיטיים.

דרישות במותויות:

1. צריכת הספק מרבית על ה- FPGA - נדרש להגיע להספק הקטן מ- 2 וואט, של הלוגיקה.
2. Performance (ביצועים) - תדר מקסימלי של הלוגיקה הדיגיטלית על ה- FPGA, נדרש להגיע עד 50MHz.
3. ניצולת ה- FPGA - נדרש להגיע לפחות 75% כדי לאפשר מרחב ב- Post Silicon .

התוצרים העיקריים של הוצאות שלנו יכלולו:

- סביבת סימולציה, מאפשר בדיקות RTL של יחידות MAC, ממשקי פלטקלט ותנאי קצה
- מימוש חומרה על FPGA, בדיקות בזמן נתון אמת ניתוחאות ואמונות תקשורת ורכיבים
- Test Bench הריצה אוטומטית של תרחישי בדיקה ואייסוף תוצאות
- דוח ביצועים, ניתוח עמידה בדרישות, זמני תגובה תזמנוניים וניצול משאבי
- ניתוח מסלולים קרייטיים

עד למצגת האמצע יכלול הפרויקט את החלבים הבאים: תכנון ארכיטקטורה מלאה ולוגיקת הקלט/פלט יחד עם צוות פיתוח המאייז, פיתוח סביבה סימולציה בסיסית ב-Verilog, כתיבת קוד HDL מודולרי וטעינתו ל- FPGA ראשוני, הצגת תוצאות סימולציה ודווחות ראשוניים לצד משוב מקצועני להמשך הפיתוח.

מהלך העבודה מדגים שיטופ פועלה הדוק בין הוצאות, בהוצאות השני מפתחת את רכיבי המאייז והוצאות שלנו אחראיא לוודא שככל רכיב שומד בדרישות הפונקציונליות והביצועיות שלו. תוצאות הבדיקות שלנו מספקות משוב חיוני שמאפשר לצוות השני לשפר ולדיק את התכנון, תוך הפקחת סיכון בשלבי הפיתוח המתקדמים.

הפרויקט הכלול מדגש את החשיבות של שילוב בדיקות מוקדמות חלק מהתהליך הפיתוח של שבבים מודרניים. סביבת הבדיקות שתפותה על ידי הוצאות שלנו תהווה בסיס יציב לשלב Validation Silicon-Post Board Test, שיבוצע בעתיד על ידי צוותים אחרים. השימוש בBoard Test שלנו יבטיח שהמאייז החישובי המפותח יעמוד בדרישות הפונקציונליות והביצועיות שלו.

הערות	תאריך יעד לביצוע	פירוט (3-2 שורות)	ابן דרך
	30.11.2025	ביצוע מחקר ע"י קריית והבנת מאמרים בנושאים הרלוונטיים לו במטרה לקבל הבנה عمוקה על מנת ליצור מסמר דרישות מערכת עבור הפרויקט.	סקירת מאמרים
	15.12.2025	למידת והכרת סיבת העבודה, היכרות עם ספריות וכליים שיישו רלוונטיים.	למידת כל העבודה
בשילוב עם צוות פיתוח המאיצ.	25.12.2025	הגדרת קלטים ופלטים של המערכת, הגדרת חיבוריו הרכיבי.	הגדרת דרישות מערכת
מצוות פיתוח המאיצ.	31.12.2025	קבלת ארכיטקטורה וDİAGRAM בЛОקים ראשוני.	קבלת ארכיטקטורה ראשונית של המאיצ
הבנת התנאים הפיזיקליים ותעבורה התקשורת הרציפה.	15.01.2026	הגדרת הדרישות התכנוכיות של המאיצ כולל משאבים, ממשקי קלט/פלט ודיבורן, הספק עבודה ויצירת תוכנית בדיקות מפורשת שתחזור שלבי בדיקה.	ארכיטקטורה ותוכנית בדיקות
מצוות פיתוח המאיצ.	15.01.2026	קבלת ארכיטקטורה וDİAGRAM בЛОקים יציבה.	קבלת ארכיטקטורה יציבה של המאיצ
	31.01.2026	בשלב זה נכתבת את התכנון הכללי של תיבת הבלוקים שיחולו לו בסוגרת.	תיבת מודול ה- TOP LEVEL
	28.02.2026	בשלב זה נכתב קוד Verilog עבור כל אחד מהמודולים המדדרים בפרויקט, תוך שימוש בפרמטרים המאפשרים גמישות ומודולריות מה שיאפשר התאמת קלה ושינויים בזמן הצורך, כמו הרחבת המערכת או שינוי במשאבים.	תיבת קוד HDL למודולים המרכזיים (RTL)
	15.03.2026	יצירת Bench Test בסיסי לSIMOLIZATION של המודולים העיקריים.	הכנת בסיסית של סביבת הTESTING
פברואר-מרץ 2026		הצגת התקדמות הפרויקט כולל השלבים שפרקנו בתוצרי הפרויקט.	הגשת מצגת האמצע
בשיתוף פעולה עם צוות פיתוח המאיצ.	20.03.2026	תיכון מאחד של ה- Package Socket כר שיתמכו בחיבור ה-PCB וה- FPGA לוח הבדיקה. בשלב זה נוצר חיבור שבטי מברנן נתונים תקין ותואום בין הרכיבים.	תיכון Socket ללוח הבדיקה ו- Package
	25.03.2026	הרחבת Bench Test לבדיקת תרחישים מורכבים ואינטגרציה מלאה בין המודולים.	הרחבת סביבת הבדיקות
מצוות פיתוח המאיצ.	25.03.2026	קבלת התכנון הסופי של המאיצ.	קבלת התכנון הסופי של המאיצ
	01.04.2026	שימוש בעלי סינתזה להמרת קוד Verilog למבנה חומרתי מותאם FPGA. בבדיקה ניצול משאבים, טיפול באזהרות סינתזה, ותיקון בעיות בתהילן.	תהליך הסינתזה
	10.04.2026	מיofi המודולים למבנה הפיזי של FPGA. ביצוע Route and Placealar גיאומטריה המיקום והחיבורו.	שימוש פיזי
	15.04.2026	ביצוע ביתוח תזמנים סטטי לאירועים שעון ותזרים קריטיים. שיפור לוגיקת שליטה ונתונים במידת הצורך לטובעת עדינה בדרישות.	ניתוח תזמנים ואופטימיזציה
	30.04.2026	יצירת קובץ התכנון bitstream הכלול את כל הגדרות המערכת, שМОון להעלאה ל-FPGA.	יצירת קובץ תכנון (bitstream)
	05.05.2026	העלאת קובץ התכנון ל-FPGA וביצוע בדיקות חומרה בזמן אמת, כולל בדיקת ה-Board. בדיקות אלו יכללו בדיקת יציבות אוטומטית, תפקוד משקלים, ועמידה בדרישות הביצועים שהוגדרו.	Bring-Up ובדיקות חומרה
	10.05.2026	אישור התכנון הפיזי של FPGA.	ביקורת תכנון על ידי ג'אל
	20.05.2026	שימוש בכל דיבאג לאיתור בעיות בתפקוד החומרה בזמן אמת.	דיבאג ואופטימיזציה סופית
ויל-אוגוסט 2026	24.05.2026		הגשת הפוסטර וסיום העבודה בפרויקט
ויל-אוגוסט 2026			הגשת ספר הפרויקט ומצגת הסיום
ויל-אוגוסט 2026			מצגת מצגת הסיום