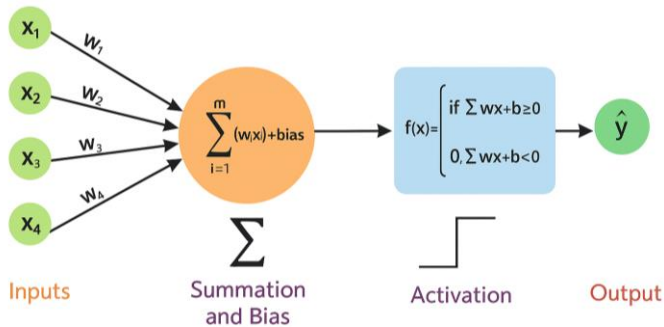
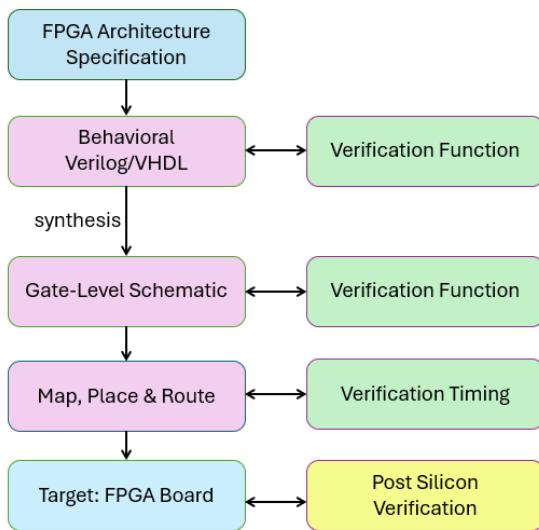


## 1 תקציר



איור 1. תהליך הפעלת הניורון (בפרויקט שלנו יהיו מספר כאלו)

הפרויקט מתמקד בפיתוח פלטפורמת וריפיקציה (מערכת בדיקות) מבוססת FPGA עבור רכיב מאיץ חישובי (PE) המבוסס על רשתות נוירונים, המפותח על ידי צוות נוסף במסגרת הפרויקט הזה. מטרת הפלטפורמה היא לאפשר בדיקות חומרתיות מקיפות במטרה להבטיח את תקינות המאיץ ותפקודו בשלבי פיתוח המוקדמים. הבדיקות משלבות בין סימולציה Pre-silicon ברמת ה-RTL לבין בדיקות חומרה על גבי לוח FPGA.



איור 2. תהליך העבודה הכולל שיתבצע במהלך הפרויקט

בפרויקט נתמקד ביצירת סביבת בדיקות גמישה, מודלרית ואמינה, המספקת מענה לדרישות פונקציונליות של המאיץ, תוך זיהוי בעיות לגיות ושגיאות אינטגרציה ותקלות תזמון. העבודה מתבצעת כחלק מפיתוח מלא של מערכת VLSI, הכוללת את שלב האימות המוקדם (Pre-Silicon Verification) ואת שלב בדיקות החומרה.

הפרויקט מתבצע בשיתוף פעולה עם צוות נוסף המפתח את רכיב ה-PE ברמת RTL, בעוד שהצוות שלנו אחראי לפיתוח סביבת הבדיקה החומרתית והסימולטיבית.

לאחר השלמת התכנון והוורייפיקציה ברמת RTL על ידי הצוות הנוסף בפרויקט, צוותנו יבצע סימולציות על ה-DUT באמצעות סימולטור MODELSIM לבדיקת התפקוד הלוגי של המאיץ. תהליך זה מאפשר לבדוק חישובים, ממשקי קלט/פלט, והתנהגות בתרחישים שונים. בשלב השני, המאיץ ממומש על לוח FPGA קיים, שבו אנו מבצעים בדיקות חומרה בזמן אמת, שמטרתן לאתר בעיות שלא התגלו בסימולציות הקודמות ולוודא עמידה בדרישות הפונקציונליות והביצועיות של המערכת.



שילוב הבדיקות והסימולציות המתקדמות לצד בדיקות החומרה יוצר תהליך וריפיקציה שלם ומעמיק, מפחית סיכוני תכנון וייצור, ומבטיח שהמאיץ המפותח יעמוד בסטנדרטים הנדרשים.

איור 3. דיאגרמת בלוקים המתארת את הממשק של ה-FPGA שלנו עם ה-DUT (צ'יפ המאיץ) וה-Host

בסיום העבודה, המאיץ יישלח לייצור ב-FAB על ידי חברת Apple (תהליך הפריקציה), פלטפורמת ה-FPGA והטסטים שנבנה יהוו בסיס להמשך הבדיקות בשלב Post-Silicon Validation שיבוצעו על ידי צוות אחר בפרויקט הגמר בשנה הבאה. השילוב בין סימולציות מתקדמות ובדיקות חומרה מספק תהליך בדיקה מקיף שמפחית סיכונים בתכנון ובייצור, ומבטיח שהשבב המפותח עומד בסטנדרטים הגבוהים הנדרשים.

הפרויקט מדגיש את חשיבות השימוש ב-FPGA כאמצעי מרכזי לאימות מוקדם של מאיצים נוירונים, ואת הערך בהקמת סביבת וריפיקציה מודלרית וגמישה בעולם ה-VLSI. במהלך העבודה נרכשים כלים מעשיים בתכנון, פיתוח ובדיקת חומרה דיגיטלית. תוך שימוש בשפת ה-VERILOG לפיתוח, וב-Test Bench לבדיקות, המשמשות גם בתעשייה המתקדמת אצל חברות כגון NVIDIA ו-Intel והרבה אחרות.

## 2 מוטיבציה

המעבר לעולם המבוסס בינה מלכותית מלווה בדרישה הולכת וגוברת למאיצים חישוביים יעילים, מדויקים ובעלי צריכת הספק נמוכה. ככל שארכיטקטורות של מאיצים אלו נעשות מורכבות יותר, כך גובר הצורך בתהליכי וריפיקציה מוקדמים, על מנת להבטיח תקינותם ותפקודם לפי שלב יצור הסיליקון.

בפריקט זה אנו מפתחים פלטפורמת וריפיקציה חומרתית מבוססת FPGA, שתשמש לאימות מוקדם ולבדיקת ביצועים של רכיבי PEn המפותח על ידי הצוות המקביל. הפריקט נותן מענה לצורך ממשי בעולם פיתוח השבבים, כאשר יצירת סביבת בדיקה גמישה מדויקת וניתנת להרחבה, המאפשרת להריץ תרחישים מורכבים בזמן אמת, לזהות תקלות ולגיות.

כיום השימוש במאיצים חישוביים הוא רחב, ניתן לראות אותו במכשירים רפואיים כמו MRI או CT שבהם המאיץ משמש לניתוח תמונות בזמן אמת ולזיהוי אזורים חשודים. בתחום הרכב החכם האוטונומי, שבו המאיץ תומך בקבלת החלטות בזמן אמת, כפי שנעשה במערכות של חברות כמו Mobileye. ישנם תחומים רבים נוספים עם שימושים שונים למאיץ.

הטכנולוגיה שפותחה, פלטפורמת וריפיקציה מבוססת FPGA, מאפשרת לבדוק את תפקוד המאיץ בתנאי עבודה קרובים למציאות, עוד לפני ייצור השבב. בכך היא מצמצמת סיכונים, חוסכת עלויות פיתוח ומשפרת את איכות התכנון.

בעולם התעשייתי כיום קיימות מספר גישות עיקריות לבדיקת שבבים, כגון:

- בדיקות על גבי FPGA - שיטה שבה ממירים את עיצוב החומרה לקונפיגורציה שרצה על FPGA פיזי, כדי לבדוק ביצועים והתנהגות כמעט-אמיתית במהירות גבוהה בהרבה מסימולטור, אם זאת פחות מהירה מהשבב האמיתי.
- בדיקות שמשלבות סימולציה עם FPGA - שיטה היברידית שבה חלק מהמערכת רץ בסימולציה וחלק נוסף על FPGA, כדי לקבל גם דיוק סימולטיבי וגם מהירות הרצה גבוהה יחסית.
- גישת VIRTUAL PROTOTYPING להרצה בשפה עילית – שיטה המבוססת על מודלים תוכנתיים ברמת אבסטרקציה גבוהה שמאפשרת להריץ ולבדוק את התנהגות המערכת עוד לפני קיום חומרה אמיתית.
- FORMAL VERIFICATION - שיטה מתמטית שמוכיחה נכונות לוגית של העיצוב באמצעות אלגוריתמים פורמליים, ללא צורך בהרצה או סימולציה של כל תרחיש אפשרי.

אנחנו בחרנו בפיתוח פלטפורמת בדיקות על גבי FPGA. זאת בשל יתרונותיה הרבים: מאפשרת דיוק לוגי גבוה ומספקת התנהגות חומרתית בזמן אמת על גבי FPGA הניתן לשינוי ועדכון מתמיד. הבחירה ב-FPGA מספקת את האיזון האידיאלי בין דיוק לגמישות, היא מאפשרת לבצע בדיקות מהירות ואמינות, שמדגיש כי זאת תשתית קריטית עבור הצלחת הפריקט. באמצעות סביבת הבדיקות ניתן להעריך את הביצועים, לנתח זמנים למדוד הספקי ולבחון את המאיץ בתנאי עומס שונים, לפי הייצור – הביצועים וצריכת ההספק של המאיץ בסיליקון שונות מהותית מה FPGA ולכן שלב זה הינו בעירבון מוגבל.

הפריקט מדגיש את חשיבות הבדיקות המקודמות כחלק בלתי נפרד מתהליך הפיתוח. באמצעות העבודה הזאת יש תרומה ליצירת שבב אמין ומדויק שיכול לשמש ביישומים תעשייתיים, רפואיים וטכנולוגיים מתקדמים, בעזרת פיתוח תשתיות הבינה המלאכותית והחומרה החכמה.

### 3 תכולת העבודה

הפרויקט מתמקד בפיתוח פלטפורמת וריפיקציה חומרתית המבוססת על FPGA, שתשמש לאימות מוקדם ולבדיקות פונקציונליות של רכיב החומר הממש את פעולת הנירונ המלאכותי. רכיב זה מהווה את יחידת הבסיס במאיץ ניורוני רחב יותר, המתוכנן לעיבוד מקבילי של נתונים ביישומי בינה מלאכותית ולמידה עמוקה.

בשלב הראשון נתעמק בנושאי הרקע התאורטי הנדרש. רקע זה כולל עקרונות של רשתות ניורונים מלאכותיות, שיטות (MAC) Multiply-Accumulate אלו הן פעולות הנירונ. נחקור את שיטות האימות (verification) חומרה הכוללות שילוב של FPGA.

המקורות המרכזים שנשתמש בהם כוללים:

1. [FPGA based verification for neural networks](#) – מתודולוגיות לבדיקת רכיבי חומרה.

2. [FPGA Design Basics](#) – למידת עבודה עם ה-FPGA (Verilog וכו').

לאחר רכישת הידע התאורטי וביסוס שפה אחידה בצוות, השלב הבא הוא הגדרת הדרישות והארכיטקטורה של לוח הבדיקה. בשלב זה נאפיין את ממשקי הקלט ופלט, נגדיר את תצורת החיבורים הפנימית בין רכיבי ה-FPGA ונבנה את מבנה הארכיטקטורה הלוגית של סביבת הבדיקה.

הארכיטקטורה תתבסס על שלוש שכבות עיקריות:

1. **שכבת הקלט:** ממשק FIFO או Register Bank לקליטת וקטורי הקלטים מהמאיץ או ממחשב הבקרה.
2. **שכבת העיבוד:** רכיב ה-FPGA שיבצע את פעולת ה-MAC של הנירונ או מספר ניורונים, כולל שלבי שקלול סכימה והשוואה לערך הסף.
3. **שכבת הפלט:** ממשק FIFO או Register Stack להצגת תוצאות הבדיקה וניתוח הפלטים בזמן אמת עם אפשרות לאיסוף נתונים סטטיסטיים.

במקביל, נפתח תוכנית בדיקות מפורטת שתגדיר תרחישי אימות שונים, כגון:

- בדיקות פונקציונליות של יחידת ה-MAC ברמה בודדת.
- בדיקות עומס ותזמון לבחינת יציבות ועקביות התוצאות.
- בדיקת שגיאות לבחינת תגובת המערכת עבור נתונים שגויים, קלט רועש או עיכובים מתוכננים.

בהמשך נתחיל בבניית סביבת הסימולציה באמצעות Verilog, שתאפשר לנו לאמת את התפקוד הלוגי של כל מודול בנפרד ועבור המערכת כולה. סביבת הסימולציה תכלול מחוללי אותות, רכיב ניטור ומנגנוני השוואה אוטומטי בין תוצאות הצפויות לבין אלו שהתקבלו בפועל.

לאחר סיום שלב הסימולציה, נטען את הקוד ללוח FPGA מסוג DE10-Lite ונבצע בדיקות חומרה. בתהליך זה תהיה הרצה של מספר תרחישים בזמן אמת, ניתוח האותות, והשוואת הביצועים מול מודל תוכנתי.

בהתאם לממצאים, נבצע אופטימיזציות מבניות (עבור שיפור ניצול משאבים) ונריץ מחדש את תרחישי הבדיקה לוודא כי מתקיימת עמידה בדרישות הפונקציונליות והביצועיות שהוגדרו.

הכלים והשפות שנשתמש בהם:

- [FPGA DE10-Lite n1](#): לוח לביצוע בדיקות בזמן אמת, וניוח תפקודי חומרתי עבור אינטגרציית המערכות.
- Verilog HDL: מימוש לוגיקת הניורונים, ממשקי הקלט והפלט וה-testbench.
- ModelSim: הסימולטור – ישמש לפיתוח ובדיקה של הקוד שלנו לפני העלייה ל-FPGA.
- Visual Studio Code: סביבה העבודה המשולבת לפיתוח תוכנה (IDE) בה נשתמש.

תהליך הפיתוח יאפשר ליישם בפועל את השלבים המרכזים בעולם תכנון השבבים: הגדרה, תכנון, סימולציה, מימוש ובדיקת חומרה. בנוסף, העבודה עם אימות מוקדם של רכיבים ניורונים בגישות מודולריות המאפיינות את תעשיית ה-VLSI המודרנית.

## 4 תוצרי הפרויקט

בפרויקט הכולל מתבצע פיתוח מאיץ חישובי המבוסס על רשתות נוירונים, המיועד ליישומי AI מתקדמים כמו עיבוד נתונים וזיהוי דפוסים.

המאיץ יתוכנן כ-ASIC שיכול לקבל 256 בתים ולעבד אותם לכדי תוצאה בוליאנית אחת (TRUE/FALSE) על-פי סף שנקבע מראש. הרכיב ישמש כאבן בנייה לרשת עצבית גדולה ויאפשר חישובים מהירים ומורכבים. בתהליך הפיתוח יוצגו תרשים בלוקים של המערכת ותיאור של כל רכיב – כולל תדרי עבודה, זמני תגובה וצריכת אנרגיה.

בפרויקט שלנו נבנה מעטפת דיגיטלית לבדיקת המאיץ. המעטפת תקבל תוכניות בדיקה מתוכננה שתרוץ ב-HOST, תתרגם את המידע לאותות שיזינו את המאיץ, יאספו את התוצרים מהמאיץ, וישלחו בחזרה ל-HOST, כולל בדיקות מיידידות בחומרה. בצורה זו יהיה ניתן לאסוף ב-HOST כמויות גדולות של בדיקות ותוצאותיהן, לנתח ולהציג.

המערכת תתמוך בבדיקות יחידה, אינטגרציה ובדיקות מערכת כוללת, לניתוח התנהגות המאיץ בתנאי עבודה אמיתיים.

### דרישות כמותיות:

1. צריכת הספק מרבית על ה-FPGA - נשאף להגיע להספק הקטן מ-2 וואט, של הלוגיקה.
2. Performance (ביצועים) - תדר מקסימלי של הלוגיקה הדיגיטלית על ה-FPGA, נשאף להגיע עד 50MHz.
3. ניצולת ה-FPGA - נשאף להגיע לעד 75% כדי לאפשר מרחב ב-Post Silicon.

התוצרים העיקריים של הצוות שלנו יכללו:

- סביבת סימולציה, תאפשר בדיקות RTL של יחידות MAC, ממשקי פלט/קלט ותנאי קצה
- מימוש חומרה על FPGA, בדיקות בזמן אמת ניתוח אותות ואימות תקשורת ורכיבים
- Test Bench הרצה אוטומטית של תרחישי בדיקה ואיסוף תוצאות
- דוח ביצועים, ניתוח עמידה בדרישות, זמני תגובה תזמונים וניצול משאבים
- ניתוח מסלולים קריטיים

עד למצגת האמצע יכלול הפרויקט את השלבים הבאים: תכנון ארכיטקטורה מלאה ולוגיקת הקלט/פלט יחד עם צוות פיתוח המאיץ, פיתוח סביבה סימולציה בסיסית ב-Verilog, כתיבת קוד HDL מודולרי וטעינתו לFPGA ראשוני, הצגת תוצאות סימולציה ודוחות ראשוניים לצד משוב מקצועי להמשך הפיתוח.

תהליך העבודה מדגים שיתוף פעולה הדוק בין הצוותים, כשהצוות השני מפתח את רכיבי המאיץ והצוות שלנו אחראי לוודא שכל רכיב עומד בדרישות הפונקציונליות והביצועיות שלו. תוצאות הבדיקות שלנו מספקות משוב חיוני שמאפשר לצוות השני לשפר ולדייק את התכנון, תוך הפחתת סיכונים בשלבי הפיתוח המתקדמים.

הפרויקט הכולל מדגיש את החשיבות של שילוב בדיקות מוקדמות כחלק מתהליך הפיתוח של שבבים מודרניים. סביבת הבדיקות שתפותח על ידי הצוות שלנו תהווה בסיס יציב לשלב Validation Silicon-Post, שיבוצע בעתיד על ידי צוותים אחרים. השימוש ב-Board Test שלנו יבטיח שהמאיץ החישובי המפותח יעמוד בדרישות הפונקציונליות והביצועיות שלו.

אבן דרך	פירוט (2-3 שורות)	תאריך יעד לביצוע	הערות
סקירת מאמרים	ביצוע מחקר ע"י קריאת והבנת מאמרים בנושאים הרלוונטיים לנו במטרה לקבל הבנה עמוקה על מנת ליצור מסמך דרישות מערכת עבור הפרויקט.	30.11.2025	
למידת כלי העבודה	למידת והכרת סביבת העבודה, היכרות עם ספריות וכלים שיהיו רלוונטיים.	15.12.2025	
הגדרת דרישות מערכת	הגדרת קלטים ופלטים של המערכת, הגדרת חיבורי הרכיב.	25.12.2025	בשילוב עם צוות פיתוח המאיץ.
קבלת ארכיטקטורה ראשונית של המאיץ	קבלת ארכיטקטורה ודיאגרמת בלוקים ראשונית.	31.12.2025	מצוות פיתוח המאיץ.
ארכיטקטורה ותוכנית בדיקות	הגדרת הדרישות התכנוניות של המאיץ כולל משאבים, ממשקי קלט/פלט וזיכרון, הספק עבודה ויצירת תוכנית בדיקות מפורטת שתתאר שלבי בדיקה.	15.01.2026	הבנת התנאים הפיזיקליים ותעבורת התקשורת הרצויה.
קבלת ארכיטקטורה יציבה של המאיץ	קבלת ארכיטקטורה ודיאגרמת בלוקים יציבה.	15.01.2026	מצוות פיתוח המאיץ.
כתיבת מודול ה- TOP LEVEL	בשלב זה נכתוב את התכנון הכללי של כתיבת הבלוקים שיהווה לנו כמסגרת.	31.01.2026	
כתיבת קוד HDL למודולים המרכזיים (RTL)	בשלב זה נכתוב קוד Verilog עבור כל אחד מהמודולים הנדרשים בפרויקט, תוך שימוש בפרמטרים המאפשרים גמישות ומודולריות מה שיאפשרו התאמה קלה ושינויים במידת הצורך, כמו הרחבת המערכת או שינוי במשאבים.	28.02.2026	
הכנת בסיסית של סביבת הטסטים	יצירת Bench Test בסיסי לסימולציה של המודולים העיקריים.	15.03.2026	
הגשת מצגת האמצע	הצגת התקדמות הפרויקט כולל השלבים שפירטנו בתוצרי הפרויקט.	פברואר-מרץ 2026	
תכנון Package ו- Socket ללוח הבדיקה	תכנון מאוחד של ה- Package ו- Socket כך שיתמכו בחיבור הצ'יפ וה- FPGA ללוח הבדיקות. בשלב זה ניצור חיבור שיבטיח מעבר נתונים תקין ותיאום בין הרכיבים.	20.03.2026	בשיתוף פעולה עם צוות פיתוח המאיץ.
הרחבת סביבת הבדיקות	הרחבת Bench Test לבדיקת תרחישים מורכבים ואינטגרציה מלאה בין המודולים.	25.03.2026	
קבלת התכנון הסופי של המאיץ	קבלת ארכיטקטורה ודיאגרמת בלוקים יציבה.	25.03.2026	מצוות פיתוח המאיץ.
תהליך הסינתזה	שימוש בכלי סינתזה להמרת קוד Verilog למבנה חומרתי מותאם FPGA. בחינת ניצול משאבים, טיפול באזהרות סינתזה, ותיקון בעיות בתהליך.	01.04.2026	
יישום פיזי	מיפוי המודולים למבנה הפיזי של ה- FPGA. ביצוע Route and Place לארגון המיקום והחיבורים.	10.04.2026	
ניתוח תזמונים ואופטימיזציה	ביצוע ניתוח תזמונים סטטי לאימות שעון ותזמונים קריטיים. שיפור לוגיקת שליטה ונתונים במידת הצורך לטובת עמידה בדרישות.	15.04.2026	
יצירת קובץ תכנות (bitstream)	יצירת קובץ bitstream הכולל את כל הגדרות המערכת, שמוכן להעלאה ל-FPGA.	30.04.2026	
Bring-Up ובדיקות חומרה	העלאת קובץ התכנות ל- FPGA וביצוע בדיקות חומרה בזמן אמת, כולל בדיקת ה- board. בדיקות אלו יכללו בדיקת יציבות אותות, תפקוד ממשקים, ועמידה בדרישות הביצועים שהוגדרו.	05.05.2026	
ביקורת תכנון על ידי יגאל	אישור התכנון הפיזי של ה-FPGA.	10.05.2026	
דיבאג ואופטימיזציה סופית	שימוש בכלי דיבאג לאיתור בעיות בתפקוד החומרה בזמן אמת.	20.05.2026	
הגשת הפוסטר וסיום העבודה בפרויקט		24.05.2026	
הגשת ספר הפרויקט ומצגת הסיום		יולי-אוגוסט 2026	
הצגת מצגת הסיום		יולי-אוגוסט 2026	