

**学生实验实习报告册**

|  |  |
| --- | --- |
| 学年学期： | 2019 -2020 学年🞏春🞏秋学期 |
| 课程名称： | 数字电路与逻辑设计实验A |
| 实验项目： | 基于FPGA的数字电子钟的设计与实现 |
| 姓 名： | 沈成 |
| 学 号： | 2018213264 |
| 学院和专业： | 计算机学院智能科学与技术 |
| 班 级： | 04051804 |
| 指导教师： | 石鑫 |

**重庆邮电大学教务处制**

1. 系统顶层模块设计

该系统最基本的动态扫描显示，利用封装在display\_2模块内的thelast模块对送入的8421BCD码进行译码显示，且实现了横杠显示，为实现动态显示数码管还需利用模8模块dig\_select与seg\_select（横杠显示利用了此模块内置的特殊值）分别对位选和段选进行控制，这两个模块同样封装在display\_2内使得顶层文件更加简洁；频率选择利用了clk\_select模块；分频模块fre\_div分出不同频率供系统使用；时钟由两个模60与一个模24构成，进行封装，将信号送入seg\_select以供显示；noise模块用以整点报时；week模块利用了模24的进位信号模7后进行译码，利用led灯管显示；秒表内置于display\_2，利用供给的1 hz进行控制，即my\_mb\_control模块进行控制；时钟的校时和清零和秒表的清零利用内置在display\_2内的消抖模块进行按键控制；整个系统中的切换界面功能利用内置在display\_2内的choose\_m\_s利用ability拨码控制。

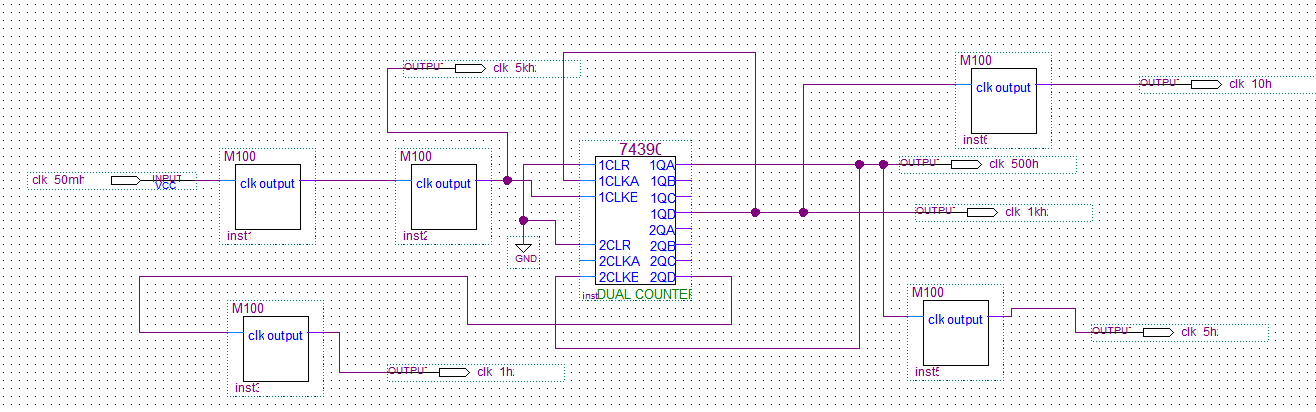
**文字说明分析系统功能要求，说明设计思路，给出顶层设计结果（电路截图，注意图片清晰完整）**

1. 分频模块电路设计及仿真
2. 模块功能

实现输出多种频率的时钟信号

1. 设计思路

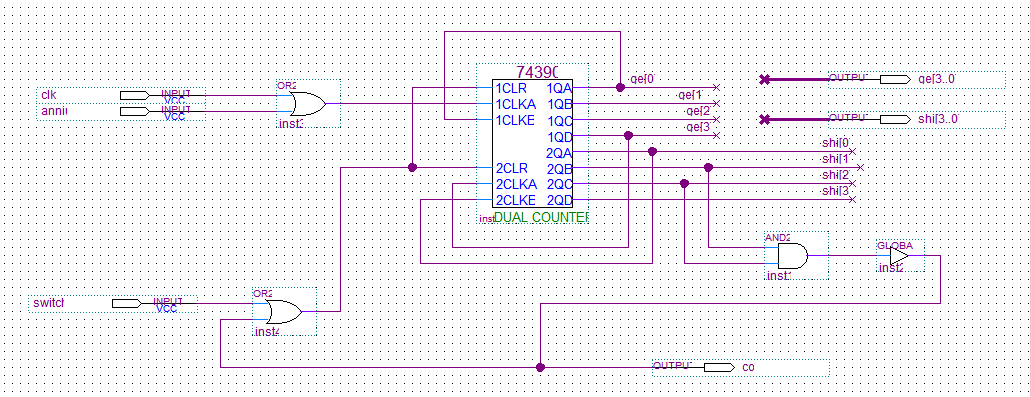
利用74390这一种双十进制计数器，封装了模100以及等等不同模数的板块，皆利用了在不同的模数下利用与门输出清零信号（注意加装global，延长清零信号）

1. 设计结果（电路）
2. 测试结果
3. 计时模块设计及仿真
   1. 分、秒计时模块（模60计数）
4. 模块功能（计数、进位）

利用输入的时钟信号实现了秒部分，分部分的模60计数，皆可正常进位及清零

1. 设计思路

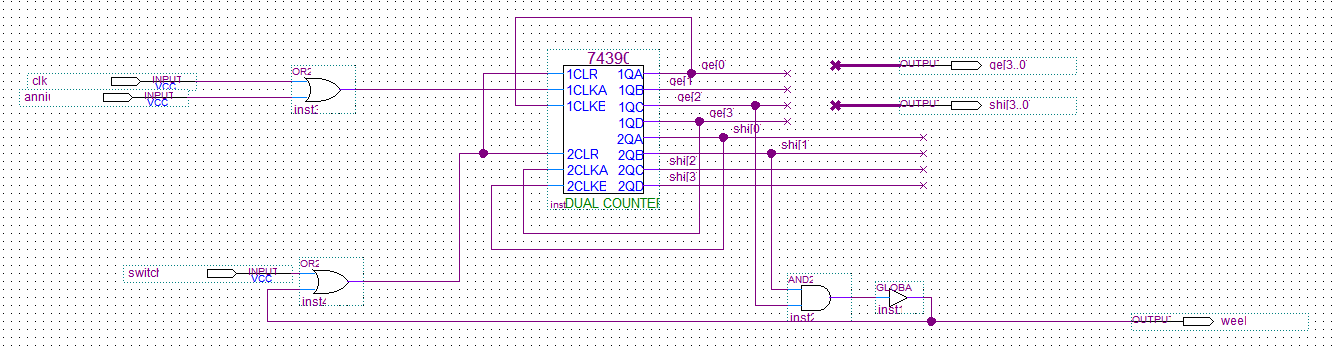
利用输入的时钟信号送入74390芯片实现秒的模60，其计数至60后进位至分后利用与门与了2QB与2QC再加装global清零；分钟部分收到秒送来的进位信号后模60，其计数至60后进位至时后利用与门与了2QB与2QC再加装global清零；

1. 设计结果（电路）
2. 仿真测试
   1. 小时计时模块（模24计数）
3. 模块功能

利用由分计数模块输入的时钟信号实现了小时模24功能，可正常进位及清零（预留了星期几的进位信号端口）

1. 设计思路

利用由分计数模块输入的时钟信号送入74390芯片，模24时利用了与门与了2QB与1QC后加装global后接入清零，其计数至24后进位至预留端口后清零；

1. 设计结果（电路）
2. 仿真测试
3. 数码管动态显示模块

模块功能描述及设计

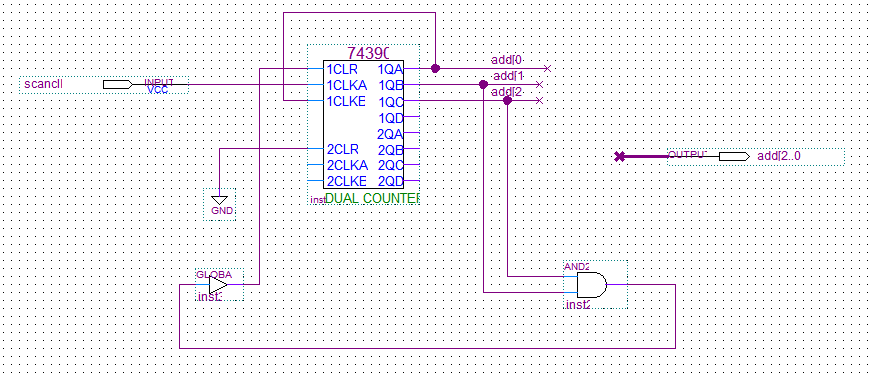
* 1. 扫描模块couner6

1. 模块功能

实现了模6功能

1. 设计思路

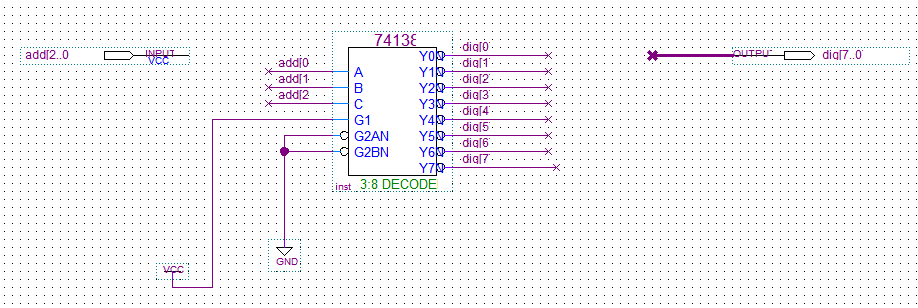
利用送入的时钟信号送入74390这一种双十进制计数器后计数模6，将1QB与1QC相与后加接global接至清零端口，实现了模6.

1. 设计结果（电路）
2. 仿真测试
   1. 位选模块dig\_select
3. 模块功能

由送入的计数信号实现译码输出低电平控制数码管位选段

1. 设计思路

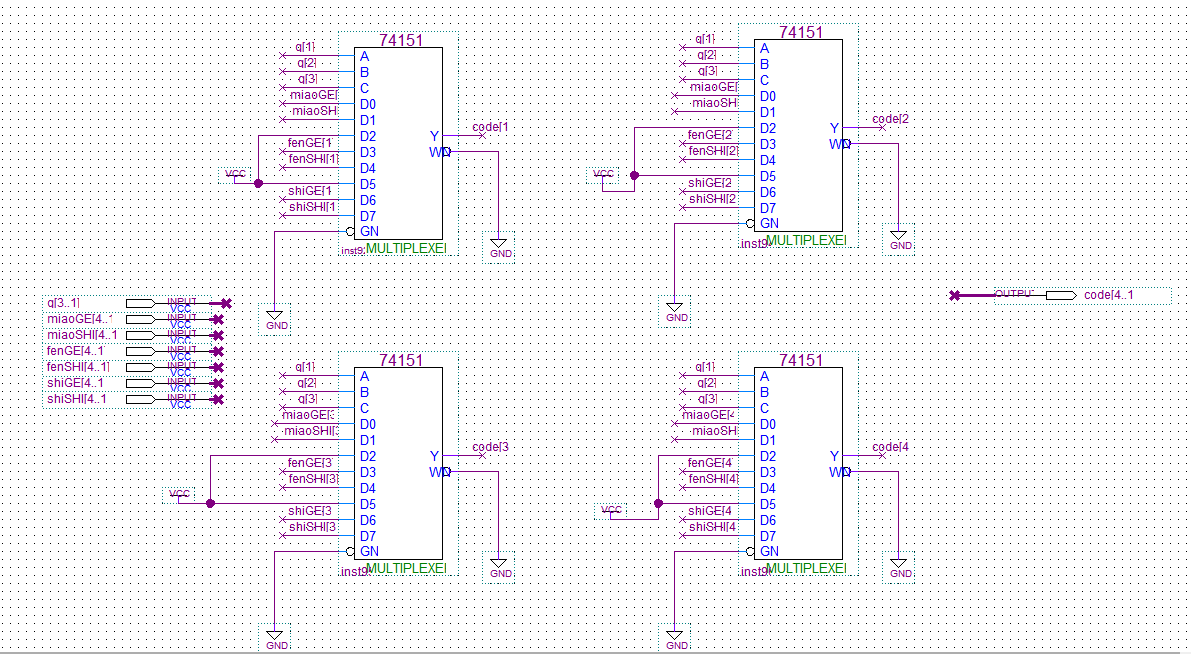
利用了74138译码器将送入的计数信号译码输出低电平

1. 设计结果（电路）
2. 仿真测试
   1. 段选模块seg\_select
3. 模块功能

实现了对送入的多个8421BCD码进行选择输出

1. 设计思路

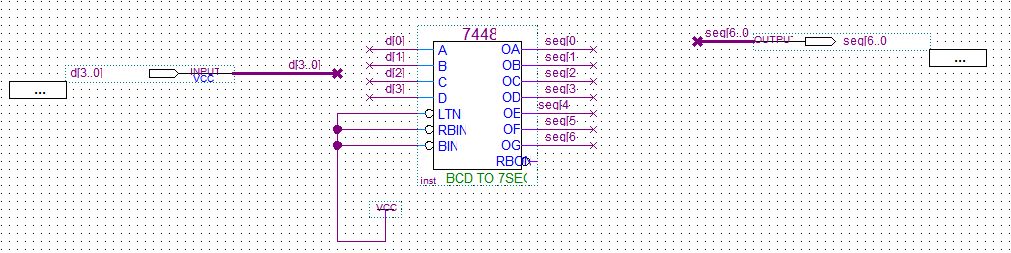
利用了由扫描模块送入的信号对数据进行选择，因为是四位8421BCD码，所以利用了四片74151数据选择芯片对送入的多个8421BCD码进行选择，再利用总线输出所选择的8421BCD码。

1. 设计结果
2. 仿真测试
   1. 译码模块decoder
3. 模块功能

对送入的8421BCD码进行7 段显示出相应的数字

1. 设计思路

利用了7448 7 段显示译码器对送入的8421BCD码进行译码显示

1. 设计结果
2. 仿真测试
3. 其他扩展功能1，如：整点报时
4. 系统总体测试

表X 系统总体测试结果记录表

|  |  |  |
| --- | --- | --- |
| 测试内容 | 测试方案 | 测试结果 |
| 秒计数 | 时钟连接1Hz，观察秒计数结果是否能够从00-59正常计数，且能够正常向分进位。 |  |
| 分计数 | 时钟连接100Hz，观察分计数结果是否能够从00-59正常计数，且能够正常向小时进位。 |  |
| 小时计数 | 时钟连接1KHz，观察分计数结果是否能够从00-23正常计数，且能够正常归零。 |  |
| 校时 | 按动相应按键，观察相应位计数结果是否能够正常加1且于如模59边缘时能否正常进位。 |  |
| 秒表 |  |  |
| 横杠 | 观察数码管能否在正确位置显示横杠同时不影响正常计数 |  |
| 整点报时 | 观察当计时到整点时是否发出声音且稳定一定时间后结束。 |  |
|  |  |  |

1. 系统设计实现过程中遇到的主要问题、解决思路和解决方案
2. 设计时钟模块时，分这一部分清零后总是从40而非0再次开始计数，思考后认为是清零信号的问题，查阅资料以及听取相应指导后加装了global模块使得清零信号持久。
3. 加装横杠模块时阅读了相应资料发现7448译码时可以由8421BCD码范围以外的一些数显示出横杠，即在扫描到相应位置时送入1110这一组合即可译出横杠，但是这一标准不支持于所使用的FPGA开发板，因而后来转换使用了另一方案，即同样利用特殊值1111，进行判断后进行两次不同层面上的取反后实现了横杠功能
4. 整点报时无法发声，原本利用了分的进位信号，但此时间过短，因而转为使用了对秒和分各位进行比较，当都为0时发生，再加装D触发器进行延时。
5. 校时时发现不稳定，后加装了消抖模块即可解决。
6. 心得体会

不知不觉中这一门实验课已经结束，大二上半学期的生活也要告一段落。我也从一开始对实验课的慌乱迷惑渐渐变得享受与不舍，在这一系列的设计中我更深刻的理解了相应芯片的功能，熟悉了FPGA开发板的使用注意事项，我会因为某一功能的无法实现而寝食难安，能在实验室泡上一整天，在学习的过程中也发掘与培养了对硬件学习的热爱，感谢老师对我的谆谆教导，我一定会继续努力，在学习上更上一层楼。

报告格式等要求：

1. 1级目录四号黑体；2级目录小四号黑体；正文字体用5号宋体，行间距20磅，段首缩进2个字符；
2. 每个图都要有图标且按序标识，例如“图1 系统顶层电路图”。
3. 每个表都要有表头且按序标识，例如“表1系统总体测试结果记录表”。
4. 报告完成后，请将模板中所有红色字体的注释全部删除。
5. 请每位同学自行独立完成报告，如有抄袭，一律判定为0分！！！！

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 学号： |  | 姓名： |  | 座位号： |  |

**评分细则及测试原始数据记录**

|  |  |  |  |
| --- | --- | --- | --- |
| 序号 | 测试项目（学生填写） | | 测试情况记录（老师填写） |
| 1 | 基本功能（40分） | 秒计数（模60） |  |
| 分计数（模60） |  |
| 小时计数（模24） |  |
| 进位 |  |
| 2 | 扩展功能（20分） |  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
| 3 | 答辩  （10分） |  | |
| 教师签字： | | | |

**“数字电路与逻辑设计实验A”实验报告评阅表**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **评阅内容及评分标准** | | | | | | **得分** |
| **报告格式**  **（20分）** | **报告完整性**  **（10分）** | 报告内容完整；  （9-10分） | 报告内容基本完整；  （6-8分） | 报告内容不完整，缺项较多；（0-5分） | |  |
| **格式规范性**  **（10分）** | 报告格式规范、图标规范且清晰（9-10分） | 报告格式较规范、大部分图表规范（6-8分） | 报告格式不规范、图表不规范（0-5分） | |  |
| **系统方案设计**  **（40分）** | **方案完整性**  **（10分）** | 完整，报告覆盖所有主要核心模块；（9-10分） | 较完整，报告覆盖主要模块的设计方案完整；（6-8分）  注：方案合理性不可评为优 | 不完整，报告缺失较多主要模块的设计方案；（0-5分）  注：方案合理性只能评为差 | |  |
| **方案合理性**  **（30分）** | 设计方案讲解合理，叙述重点突出有条理，且设计有创新或改进；（27-30分） | 设计方案讲解基本合理，能够较清楚解释设计原理，但存在一定问题或设计有一定缺陷；（18-26分） | 设计方案讲解不合理，不能解释设计原理，缺陷较多；（0-17分） | |  |
| **系统测试方案及测试结果**  **（30分）** | **测试方案完整性（10分）** | 完整，覆盖所有主要核心模块，测试方案合理；（9-10分） | 较完整，主要模块的测试方案及结果完整，测试方案较合理；（6-8分）  注：测试结果处理不可评为优 | 不完整，缺失较多主要模块的测试方案及结果，测试方案不合理；（0-5分）  注：测试结果处理只能评为差 | |  |
| **结果处理和分析（20分）** | 数据处理和分析正确；（18-20分） | 数据处理和分析较正确；（12-17分） | 数据处理和分析基本正确，但存在较多问题；（0-11分） | |  |
| **主要问题描述和分析**  **（10分）** | | 问题描述准确，分析思路正确，解决方案合理；（9-10分） | 问题描述较准确，分析思路基本正确，解决方案较合理，但有点缺陷；（6-8分） | 问题描述不够准确，分析思路有问题，解决方案有缺陷；（0-5分） | |  |
| **报告总评成绩** | | |  | **教师签名** |  | |

*注：（1）实验报告要求学生独立完成，相似度较高的实验报告全部评定为0分；*

*（2）原始数据单无教师签名者，报告成绩评定为0分；*

*（3）无扩展功能设计，系统方案设计项最高评分不超过30分。*