Cell-based Phased-Locked Loop (PLL) Report

112061533 潘金生

A. Objective:

To design a cell-based Phased-Locked Loop (PLL) producing a designated output clock frequency.

B. Step-by-Step Procedure

Design a PLL producing a 92MHz output clock signal clk_out.

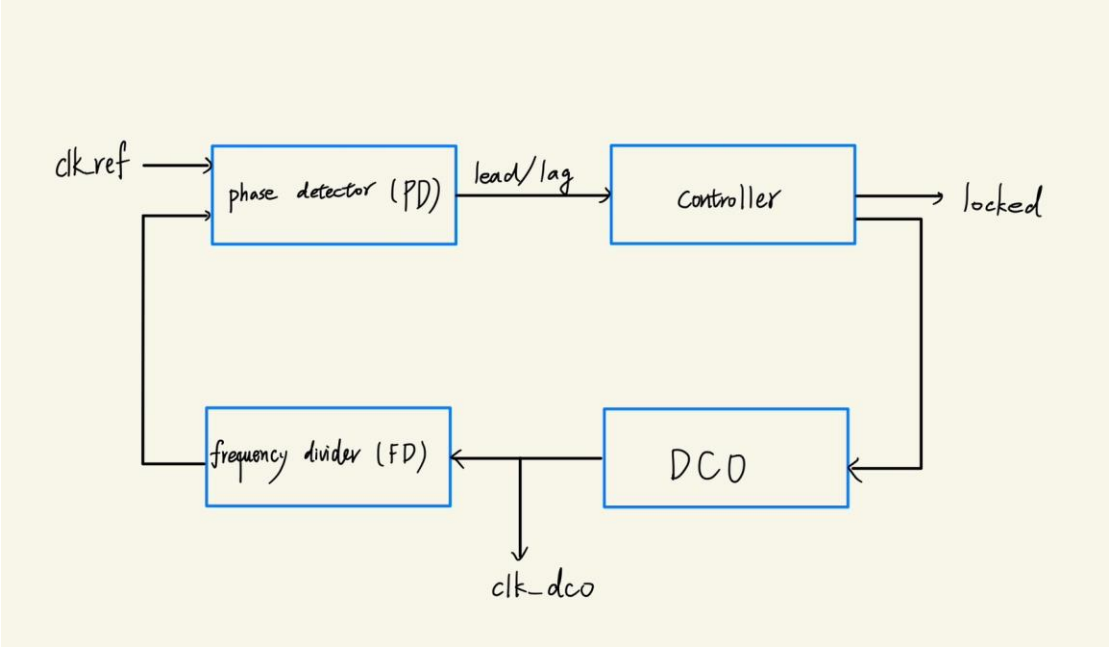
Step a :

Design a **frequency divider**, a **Phase Detector (PD)** discussed in class, and a **controller** that work with your **DCO**s to form a PLL. (如圖一)

其運作過程為透過 DCO 震出的 clk_dco 為 output clock，除頻過後，透過 Phase detector(PD)讓除頻過後的 clock 和 clk_ref 進行比較，產生的 lead_lag 訊號給 controller，判斷調整目前的 alpha code，直到最後的 clk_dco 和 clk_ref 能夠讓 lead_lag 訊號保持在 0101 之間的調整即完成鎖定，lock 為 1。

※lock=1 條件: Lead/Lag 01 連續交替 7 次

※Peat: 3 或 4 (後續 Comment 會提及)

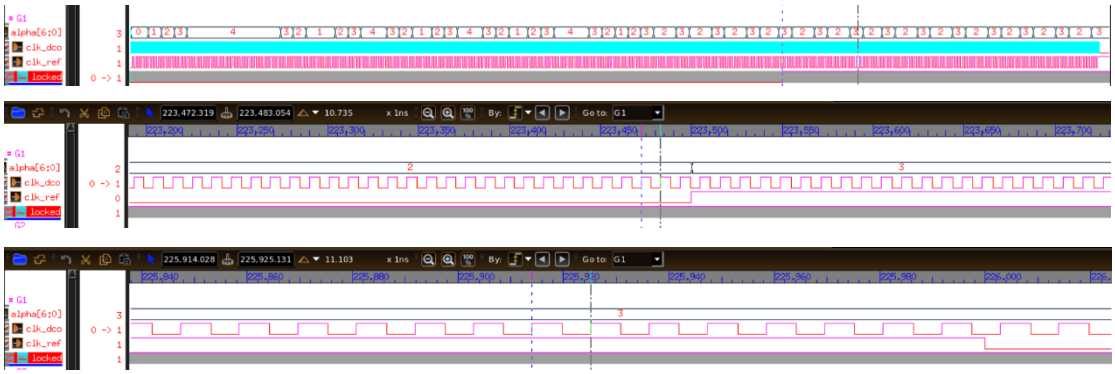


圖一 cell-based Phased-Locked Loop 架構圖

Verify your PLL design by gate-level Verilog simulation to produce a 92MHz (which is approximately 10.87ns). output clock signal clk_out, assuming an input reference clock frequency of 1MHz.

如附圖可以看到在給定 input reference clock frequency of 1MHz，在最後鎖定

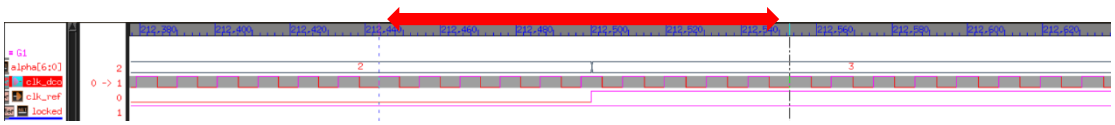
時(locked =1)，其 alpha code 會在 10.735ns 和 11.103ns 間跳動，符合我們需要求出的 10.87ns，至於為什麼無法準確在 10.87ns，主要是因為 DCO time resolution 的原因。



圖二 gate-level simulation 波形圖

Show the average clock cycle times of clk_out observed over 10 clock cycles after the frequency acquisition and its error as compared to the ideal clock cycle time (which is approximately 10.87ns)

我這裡所算的 clock cycle time of clock_out with 10 clock cycles 為 lock 後 alpha code 跳動的時間點。



圖三 clk_out with 10 clock cycles 波形圖

Period of clk_dco	Clock cycle time
1	10.735 ns
2	10.735 ns
3	10.735 ns
4	10.735 ns
5	10.735 ns
6	11.103 ns
7	11.103 ns
8	11.103 ns
9	11.103 ns
10	11.103 ns

表一 clock cycle times of clk_out with 10 clock cycles

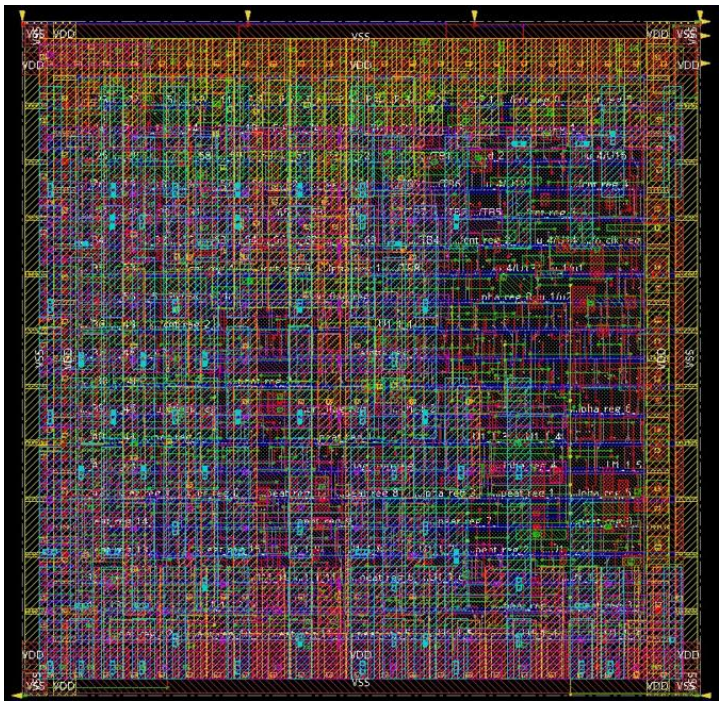
Average clock cycle times of clk_out : 10.919 ns

Error as compared to the ideal clock cycle time : 0.049 ns

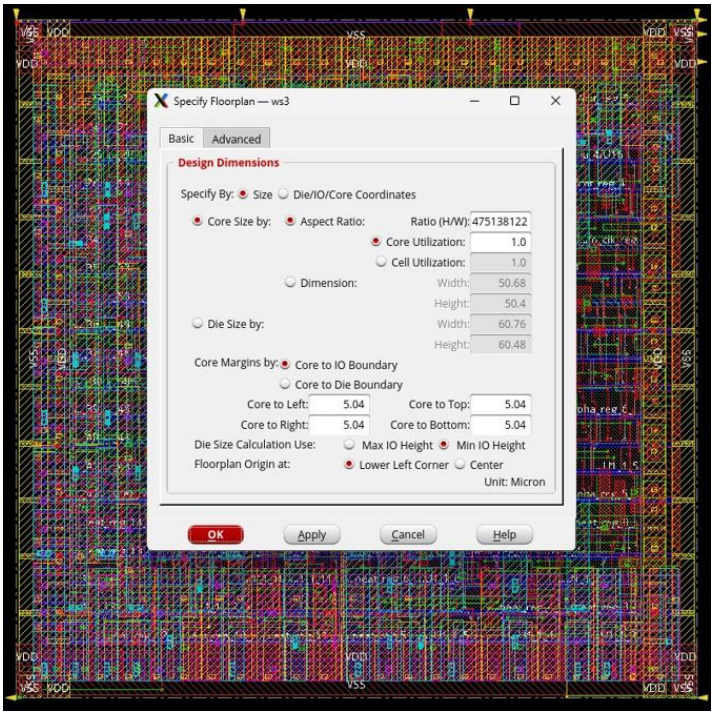
Step b :

Try to use an APR tool to generate the layout of your design. Show your layout.

附圖為 PLL 本次的 Layout 和他的 Area (60.76*60.48um^2)



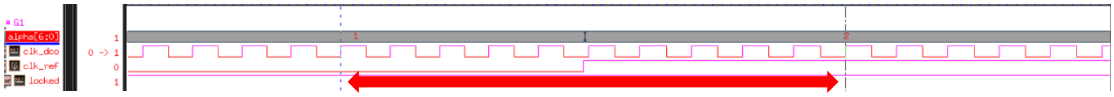
圖四 PLL Layout



圖五 PLL Layout Area

Step c :

Try to do post-layout gate-level Verilog simulation for your PLL with the post-layout SDF information. Compare your results with those derived in the pre-layout simulation



圖六 clk_out with 10 clock cycles 波形圖(post-layout)

Period of clk_dco	Clock cycle time
1	10.721 ns
2	10.721 ns
3	10.721 ns
4	10.721 ns
5	10.895 ns
6	11.132 ns
7	11.132 ns
8	11.132 ns
9	11.132 ns
10	11.132 ns

表二 clock cycle times of clk_out with 10 clock cycles(post-layout)

Average clock cycle times of clk_out : 10.9439 ns

Error as compared to the ideal clock cycle time : 0.0739 ns

Compare:

可以看到 Post-Layout 和 Pre-Layout 鎖定的 alpha 值是不同的。Pre-Layout alpha 值為 2~3，Post-Layout alpha 值為 1~2，原因在於 APR 時，會受到電容影響，導致 DCO 震盪頻率有所改變，因此會有所誤差，如需降低這原因，需要手動調整 APR 較能解決這原因。

C. **Comment:**

1.

在本次實作這個電路時，容易發現 DCO 架構由於是 path-selection，會有短暫開路的效應，造成 high impedance 的問題，導致後續電路的運作壞掉，經過問題發現，調整 alpha code decode 後產生的 lambda 和 lambda_bar 的抵達時間，趨於一致後，即改善這個問題。

2.

在本次實作過程中，我發現在 Post-Layout Simulation 後，會有鎖不住的情況，原因在於 Layout 過程中，如果採用自動擺，易受到導線電容影響，造成反應速度的問題(peat)，因此我加了一個機制，在某段時間如果無法鎖住，我就調整我的 peat，改變他的反應速度。

3.

在本次實作過程中，發現某段時間後，會有 unknown 的情形，經過研究，是 phase detector 的原因，在使用 X4 規格時，雖然前面會很順利，但經過一大段時間後，會出現短暫 unknown 情形，造成後續電路損壞，因此，我降低了大小，採用 XL，降低前一個的 output loading，解決這個問題。