

Homework 6 Report

Student ID: 112061533

Name: 潘金生

1. Briefly explain what each step does in the APR flow.

a. Design setup

這是初始步驟，基本環境設定環境和 input files。其中包含了設定 design constraints, technology files, libraries, netlist and MMMC

b. Floorplan

在 floorplan 階段，設置了晶片的大小，也擺放 IO pad, macro cells 和 memory blocks 等來確保晶片的大小和面積。在這時會調整 core 的大小和使用率，以及與 boundary 的距離，在此階段還可以使用 early global route 來先檢查一下 timing 問題，也能透過 congestion map 來檢查堵塞。

c. Powerplan

在 powerplan 階段，主要用來設計 power distribution network，其中包含創造 power/ground rails, rings 和 strips，也須確保電源供應可以到晶片的所有部分，避免 IR drop 等效應。在使用 power ring 的時候，可以選擇要打幾層，以及是否使用 interleaving 來抗躁。

d. Placement

在 placement 階段，standard cells 和其他元件會藉由 tools 去優化他們的位置，包括減少 wirelength，優化 timing，和符合 design constraint 等。除此之外，也會加入 tap cells 來防止 latch-up 問題，和加入 tie high tie low cells。

e. Clock tree synthesis

在 CTS 階段，主要創造一個有效率且到每個 FF 都平衡的 clock distribution network，確保 clock signal 到達全部的 sequential elements 可以達到最小的 skew 和 latency。

f. Route

在 Route 階段，將擺放好的 cell 和 macro 做拉線，可細分成 global route，對整體路徑規劃和 detail route 對特定的線規劃，並檢查 timing。

g. Filler adding

在 Filler adding 階段，透過增加 filler cells 去填補 standard cells 間的空隙，可以避免 DRC 和確保製造過程中的密度，維持晶片的完整性和避免 CMP 等相關問題。

2. What is the purpose of these generated files in hw6/apr/netlist ?

a. CHIP.v

這個文件是晶片的 netlist，他列出了所有的元件，包括 gates and flip-flops，和他們怎麼連接的，用於後續的 physical design。

b. CHIP_layout.sdc

這份 sdc(Synopsys Design Constraints)文件包含了 layout 中的 timing 和 design

constraints, 其中包括 clock 的定義, input/output delay 和一些 timing 的要求, 它會使 APR 在 placement 和 routing 的時候滿足設計的性能目標。

c. CHIP_layout.sdf

這份 sdf 檔(Standard Delay Format)提供了在 placement 和 routing 完後的 timing 訊息, 包含了設計內部路徑的詳細延遲, 可用來後續的時序分析, 確保滿足其時序規範。

d. CHIP_layout.gds

這份 gds(Graphic Data System)是一種二進制文件, 其中包含晶片的最後 layout(形狀、位置、幾何圖形等訊息), 用於製造過程中檔案。

e. CHIP_layout.gz

這份 gz 檔主要是 standard parasitic exchange format(SPEF)參數的壓縮檔, 由於檔案太大, 可以用壓縮來節省存儲空間, 方便傳輸和儲存。

3. Please explain why the RTL simulation(make sim) doesn't need and SDF file, but the pre-layout(make syn) and post-layout simulation(make post) require this file.

在 RTL simulation 階段, 最主要的重點在於 function 的驗證, 確保所設計的邏輯是正確的, 符合所設定的邏輯, 大部分的設計在此部分都是採用 verilog 等硬體語言所撰寫, 因此沒有很細微的 timing information, 通常會假設是理想的 gates 和 flip-flop, 沒有實際的物理延遲, 因此所關注的邏輯正確性, 不需要 sdf 文件。而在後續的 pre-layout 階段, 此階段通常為 gate-level, 也就是合成完後的電路, 因此所設計的電路已經被轉為 logic gates 和 flip-flop 的 netlist 了, 因此對於時序資訊變得更為重要(包含了真實 gate delay 和 constraints), 因此 sdf file 可以提供在模擬去 check 是否有 timing violation 的問題。而在 post-layout 階段, 此階段為 layout 完之後, 設計已包含元件 placement 和 wire routing 了, 因此 sdf file 是重要的, 可以捕捉額外的 delay, 去反應最準確的時脈訊息。

4. Please compare three kinds of power analysis in your report. Also, try to explain why they have different results

RTL-simulation power: 1.176e-03

Pre-layout simulation power: 8.994e-04

Post-layout simulation power: 1.257e-03

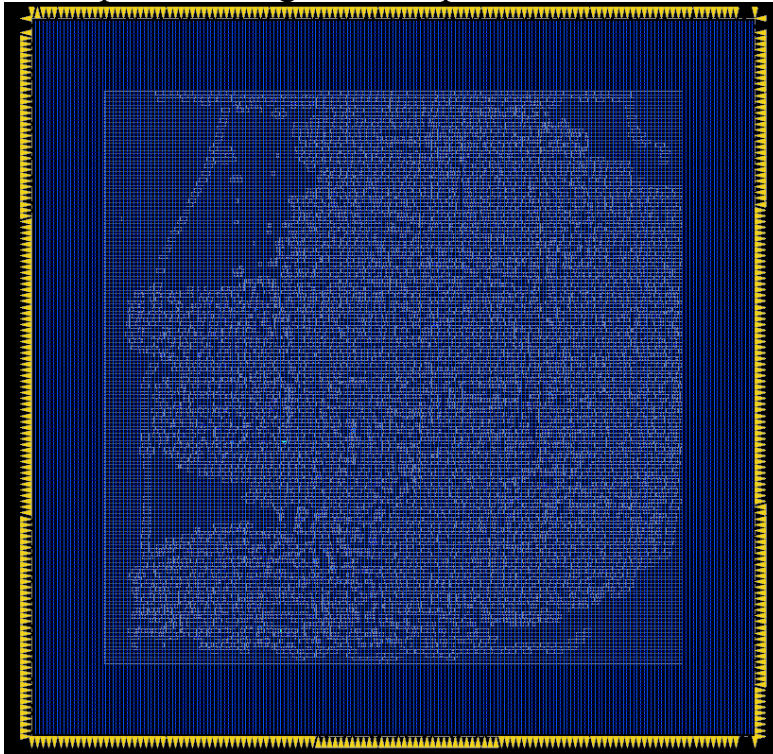
Compare three kinds: post-layout > RTL-simulation > pre-layout

在 RTL simulation 階段, 使用模擬波型進行功耗估算, 較為粗略, 不包含實際的布局和延遲, 而在 pre-layout 階段, 可以加入邏輯閘的附載和延遲, 但仍然缺乏實際布局訊息, 但比 RTL-simulation 準確, 在 Post-layout 階段, 完成最終布局的準確訊息, 因此包含實際的 delay 和電容效應, 因此較能反映最真實的電路行為, 因此最為準確。

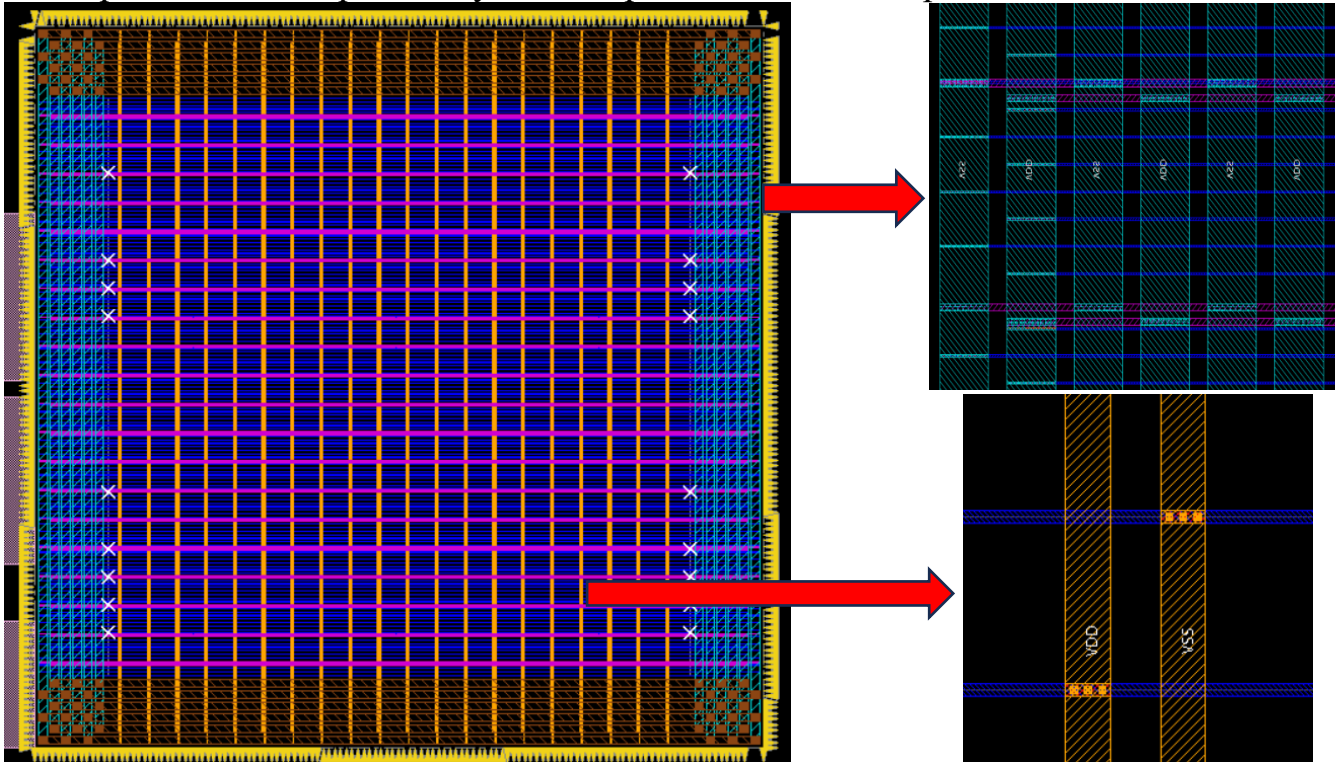
總結:post-layout 有大量的金屬線和電容效應, 因此他的功耗通常會最大, 而會造成 pre-layout 較小的原因在於, 可能在 design 方面, 有更多的邏輯電路是可以被優化的, 因此, 在 pre-layout 把那些冗於電路去除, 獲得了更準確的 power。所以來得比 RTL-simulation 小。

5. You should include the screenshots of every checkpoint.

Checkpoint1 : congestion map



Checkpoint2 : show a part of layout with power rails in the report

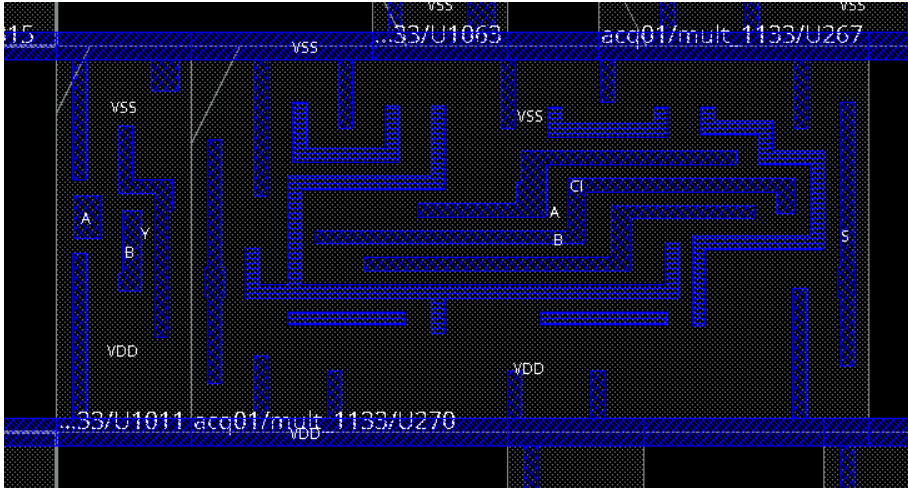


Checkpoint3 : show a part of your standard cells in the report

Q: How do standard cells connect with power/ground pins?

在 rail 上可以看到有 VDD 和 VSS 經過，standard cell 會擺在 rail 之間，並採用 double-back rows 的方式連接電源，因此 standard cell 只要透過把他們的 VDD

或 VSS pin 進行上下連接，便可完成。



Checkpoint4 : show layout in amoeba view

Q: How does the layout partitioned?

在圖中可以看到 pe array module 被擺放在右邊，acq 分別擺放在左半邊，pool 被擺放在中間，其餘為 lenet 剩餘元件。

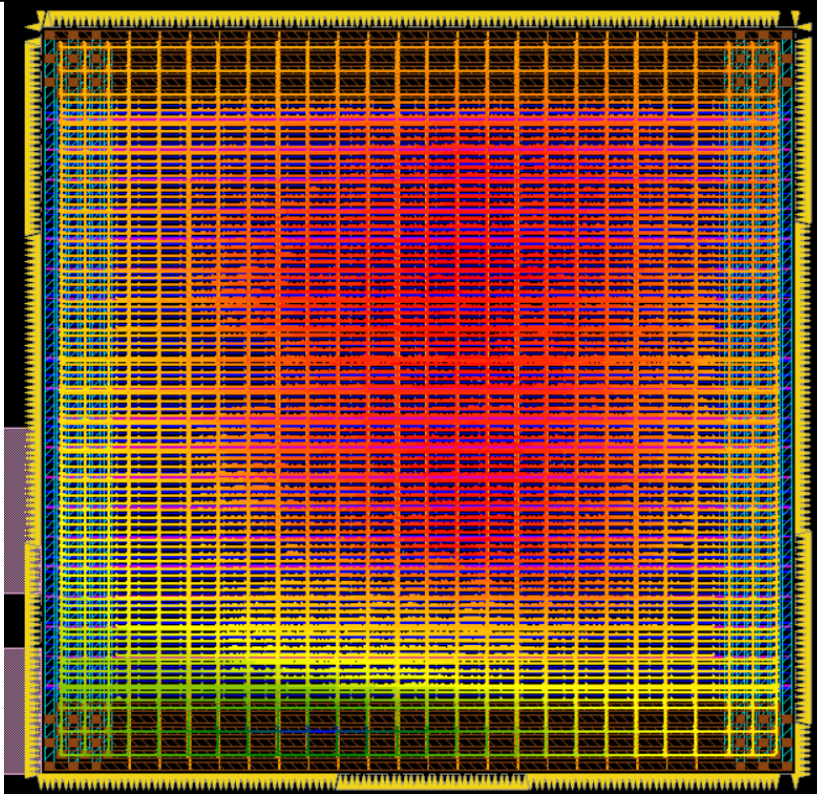


Checkpoint5 : show IR drop map

Q: What is the worst IR drop? (Optional: Is it acceptable?)

圖中顏色最紅的為最糟的 IR drop。

根據往前的經驗，在 10%內的 VDD 可以接受，但如果能降低 IR drop 效應更好。



Checkpoint6 : core utilization log

```
Reporting Utilizations.....

Core utilization = 54.347152
Effective Utilizations
Average module density = 0.524.
Density for the design = 0.524.
= stdcell_area 116490 sites (39840 um^2) / alloc_area 222432 sites (76072 um^2).
Pin Density = 0.2148.
= total # of pins 49845 / total area 232060.
*** Message Summary: 0 warning(s), 0 error(s)
```

Checkpoint7 : show post simulation result

```
Reset System
Compute start
Compute finished, start validating result...
=====
Image [PASS]
Conv 1 activation [PASS]
Conv 2 activation [PASS]
Conv 3 activation [PASS]
FC 1 activation [PASS]
FC 2 activation [PASS]
>>> Congratulation! All result are correct
[Post-layout gate-level simulation]
Clock Period: 12 ns, Total cycle count: 25857 cycles
=====
Simulation finish
Simulation complete via $finish(1) at time 311526301 PS + 0
./lenet_tb.v:202 $finish;
xcelium> exit
T00L: xmverilog 22.03-s003: Exiting on May 28, 2024 at 16:17:45 CST (total: 00:00:34)
```

Checkpoint8: Show LEC result.

```

=====
Mapped points: SYSTEM class
=====
Mapped points      PI      PO      DFF      Total
-----
Golden            291      209      1765      2265
-----
Revised           291      209      1765      2265
=====
Unmapped points:
=====
Golden:
=====
Unmapped points    DFF      Total
-----
Unreachable        35        35
=====
// Command: analyze multiplier -cdp_info
CPU time   : 1.70    seconds
Elapse time : 2      seconds
Memory usage : 141.83 M bytes
// Command: analyze datapath -merge -share -effort medium -verbose
CPU time   : 1.91    seconds
Elapse time : 2      seconds
Memory usage : 143.68 M bytes
// Command: add compare point -all
// 1974 compared points added to compare list
// Command: compare
=====
Compared points      PO      DFF      Total
-----
Equivalent           209      1765      1974
=====
// Command: analyze abort -compare
There is no abort/specified point to be analyzed.
// Command: report unmap point -notmapped

0 unmapped points reported
// Command: usage
CPU time   : 1.95    seconds
Memory usage : 144.22 M bytes
// Command: report compare data -nonequivalent
0 Non-equivalent point(s) reported
0 compared point(s) reported
=====
Compared points      PO      DFF      Total
-----
Equivalent           209      1765      1974
=====

```

Checkpoint9: Show the time-based power analysis result for your pre-layout.

```

*****
Report : Time Based Power
Design : lenet
Version: U-2022.12
Date   : Mon May 27 19:44:48 2024
*****

Attributes
-----
i - Including register clock pin internal power
u - User defined power group

Power Group      Internal Power    Switching Power    Leakage Power    Total Power    (    %)    Attrs
-----
clock_network    6.162e-04    0.0000    0.0000    6.162e-04    (68.51%)    i
register          4.435e-05    1.225e-05    3.837e-07    5.698e-05    ( 6.34%)
combinational    1.576e-04    6.767e-05    1.026e-06    2.262e-04    (25.16%)
sequential        0.0000    0.0000    0.0000    0.0000    ( 0.00%)
memory           0.0000    0.0000    0.0000    0.0000    ( 0.00%)
io_pad           0.0000    0.0000    0.0000    0.0000    ( 0.00%)
black_box        0.0000    0.0000    0.0000    0.0000    ( 0.00%)

Net Switching Power = 7.992e-05    ( 8.89%)
Cell Internal Power = 8.181e-04    (90.96%)
Cell Leakage Power  = 1.410e-06    ( 0.16%)
-----
Total Power         = 8.994e-04    (100.00%)

X Transition Power  = 2.716e-07
Glitching Power    = 0.0000

Peak Power          = 0.8586
Peak Time           = 6186.000

```

Checkpoint 10: Show the time-based power analysis result for your post-layout with post-sim waveform in the report.

```

*****
Report : Time Based Power
Design : lenet
Version: U-2022.12
Date   : Mon May 27 19:55:03 2024
*****

```

Attributes

- i - Including register clock pin internal power
- u - User defined power group

Power Group	Internal Power	Switching Power	Leakage Power	Total Power	(%)	Attrs
clock_network	6.200e-04	1.054e-04	1.588e-08	7.254e-04	(57.71%)	i
register	7.276e-05	2.531e-05	3.764e-07	9.845e-05	(7.83%)	
combinational	2.367e-04	1.954e-04	1.047e-06	4.331e-04	(34.46%)	
sequential	0.0000	0.0000	0.0000	0.0000	(0.00%)	
memory	0.0000	0.0000	0.0000	0.0000	(0.00%)	
io_pad	0.0000	0.0000	0.0000	0.0000	(0.00%)	
black_box	0.0000	0.0000	0.0000	0.0000	(0.00%)	

Net Switching Power	= 3.261e-04	(25.94%)				
Cell Internal Power	= 9.294e-04	(73.94%)				
Cell Leakage Power	= 1.439e-06	(0.11%)				

Total Power	= 1.257e-03	(100.00%)				
X Transition Power	= 7.280e-07					
Glitching Power	= 7.306e-07					
Peak Power	= 0.0923					
Peak Time	= 35826.090					



Checkpoint 11: Show the time-based power analysis result for your post-layout with pre-sim waveform in the report.

```

*****
Report : Time Based Power (Cycle Accurate)
Design : lenet
Version: U-2022.12
Date   : Mon May 27 20:03:10 2024
*****

```

Attributes

- i - Including register clock pin internal power
- u - User defined power group

Power Group	Internal Power	Switching Power	Leakage Power	Total Power	(%)	Attrs
clock_network	6.200e-04	1.054e-04	1.588e-08	7.254e-04	(61.66%)	i
register	4.344e-05	2.544e-05	3.766e-07	6.926e-05	(5.89%)	
combinational	2.053e-04	1.754e-04	1.047e-06	3.817e-04	(32.45%)	
sequential	0.0000	0.0000	0.0000	0.0000	(0.00%)	
memory	0.0000	0.0000	0.0000	0.0000	(0.00%)	
io_pad	0.0000	0.0000	0.0000	0.0000	(0.00%)	
black_box	0.0000	0.0000	0.0000	0.0000	(0.00%)	

Net Switching Power	= 3.063e-04		(26.04%)			
Cell Internal Power	= 8.687e-04		(73.84%)			
Cell Leakage Power	= 1.439e-06		(0.12%)			

Total Power	= 1.176e-03		(100.00%)			
X Transition Power	= 1.047e-07					
CAPP Estimated Glitching Power	= 6.649e-05					
Peak Power	= 2.863e-03					
Peak Time	= 6180.00					

