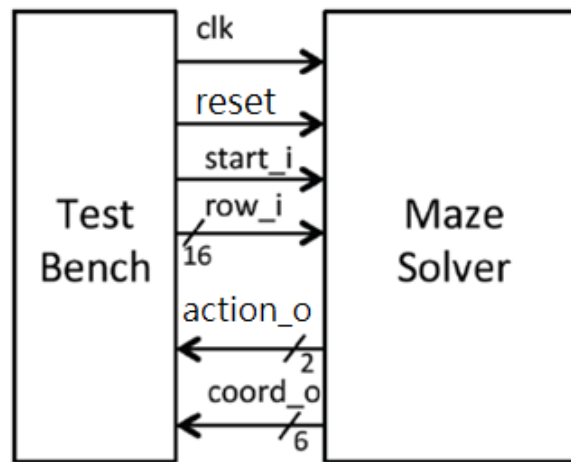


HW5 Verilog – Maze Solver

1. 問題描述

本次練習為設計找出迷宮中起點與終點的最短路徑之硬體電路。迷宮為 8 x 8 大小，共提供兩組測資，可參考課堂上所學或網路之演算法設計，盡量壓低 cycle 數與 cycle time，除正確性外，最後評分也會以 Time*Area 做為依據。

2. 設計規格



圖一、系統方塊圖

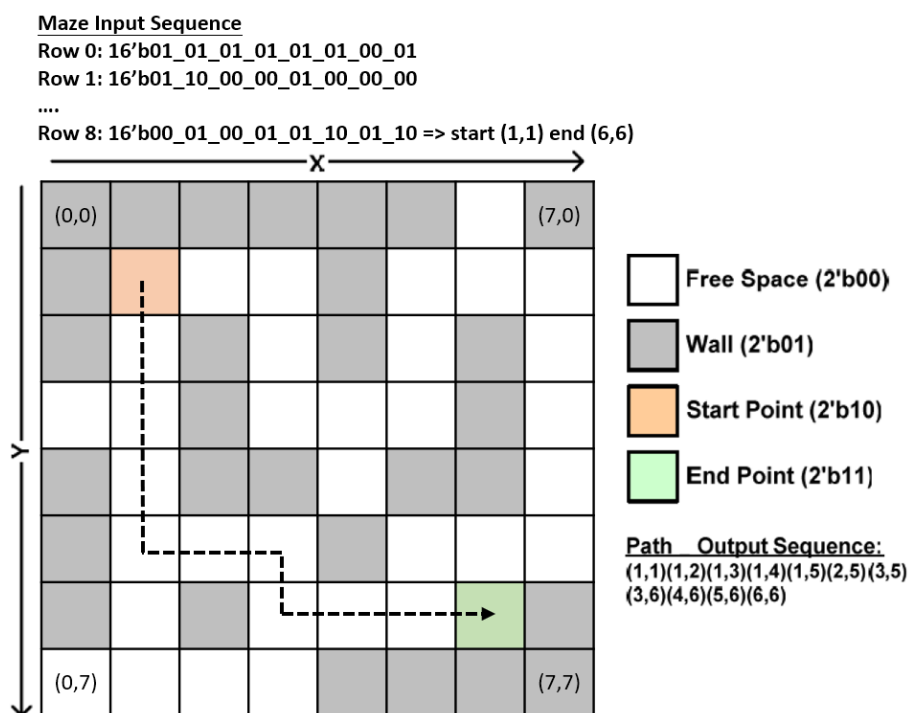
信號名稱	輸出/入	位元寬度	說明
<i>clk</i>	<i>input</i>	1	時脈信號，本系統為同步於時脈正緣設計
<i>reset</i>	<i>input</i>	1	高位準非同步(active high asynchronous)系統重置訊號
<i>start_i</i>	<i>input</i>	1	偵測到 <i>action_o</i> 為 2'b00 時被拉為 high，等候 <i>action_o</i> 訊號為 2'b01 後，開始傳輸 <i>row_i</i> 迷宮資料
<i>row_i</i>	<i>input</i>	16	傳輸迷宮與起終點座標，原始資料儲存於 maze#.dat
<i>action_o</i>	<i>output</i>	2	<i>action_o</i> = 2'b00 表示電路為閒置狀態 <i>action_o</i> = 2'b01 表示電路正在接受輸入 <i>row_i</i> ，將連續傳輸 9 個 cycle，包括 8 組迷宮資料、1 組起終點座標 <i>action_o</i> = 2'b10 電路正在計算最短路徑 <i>action_o</i> = 2'b11 表示電路輸出結果，testbench 會依序比對是否與 golden_path#相同
<i>coord_o</i>	<i>output</i>	6	依序輸出所得到之最短路徑座標，[5:3]為 x，[2:0]為 y，輸出完 testbench 即會結束模擬

表一、輸入/輸出訊號

3. 系統功能描述

系統一開始會將 reset 訊號拉成 high 進行電路的重置，當 reset 結束，如果偵測電路的 action_o 訊號為 2'b00，便會將控制訊號 start_i 拉成 high，等候 action_o 訊號為 2'b01，開始送入測試資料，共需要 9 個 cycle 才能將所有迷宮資料傳輸完畢，包括 8 組迷宮資料、1 組起終點座標，迷宮與資料對應方式可見圖二，9 個 cycle 不一定要連續、但資料只會被傳輸一次，必須在電路中儲存所有迷宮的資料。

當資料輸入完後，action_o 拉為 2'b10，testbench 不會有任何作用，電路將在這段時間中計算最短路徑，當完成計算後，將 action_o 訊號拉為 2'b11，透過 coord_o 開始送出資料，testbench 將同步比對結果，包含起終點座標與途中經過的路徑座標，如下圖所示，比對完就會結束模擬。



圖二、迷宮與資料對應方式

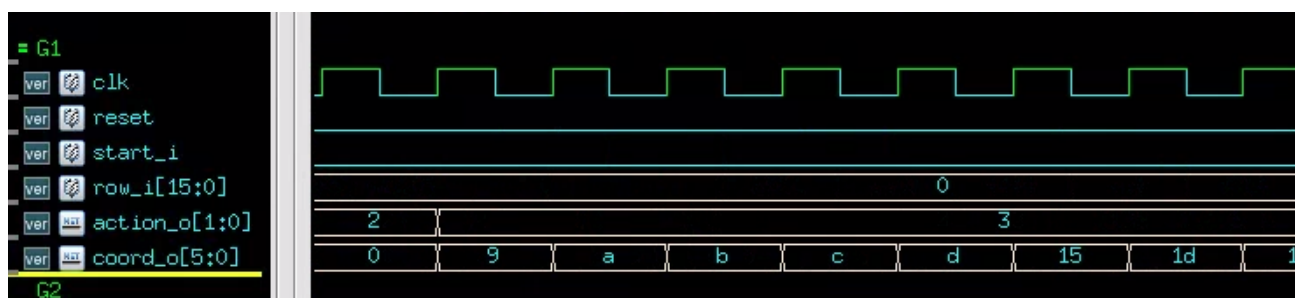
4. 時序規格圖

A. 迷宮資料輸入時序圖



圖三、action_o 訊號拉為 2'b00，start_i 訊號拉為 High，預告 action_o 訊號拉為 2'b01 時，row_i 會傳輸迷宮資料起終點座標。

B. 最短路徑輸出時序圖



圖四、action_o 訊號拉為 2'b11，coord_o 開始送出資料，testbench 將同步比對結果。

5 檔案說明

檔名	說明
maze_tb1.v	測試樣本檔 1
maze_tb2.v	測試樣本檔 2
maze.v	設計檔，請勿更改輸入輸出宣告，同學請於此檔案內做設計
maze1.dat golden_path1.dat	maze 所使用的測資 1
maze2.dat golden_path2.dat	maze 所使用的測資 2
Layout 資料夾	APR 所需之檔案

其餘 Synthesis 與 APR 未提供的檔案表示沿用作業 2&3。

6. 模擬指令

設計完成的 testbench，使用模擬相關指令如下。

```
ncverilog maze_tb1.v maze.v
```

設計輸出波形，可以使用 +define+FSDB 並且加上 +access+r

```
ncverilog maze_tb1.v maze.v +define+FSDB +access+r
```

合成後的 testbench，模擬相關指令如下。(放入 maze_syn.sdf)

```
ncverilog maze_tb1.v maze_syn.v tsmc13.v +define+SDFSYN
```

APR 後的 testbench，模擬相關指令如下。(放入 maze_APR.sdf)

```
ncverilog maze_tb1.v maze_APR.v -v ./syn/tsmc13_neg.v +define+SDFAPR +ncmaxdelays
```

7. 作業要求

1. 設計的 maze 能分別通過 RTL、Synthesis、APR 三種模擬。
2. 繳交檔案如下：b0*901***_HW5.zip

分類	檔案名稱	描述
RTL	maze.v	RTL Verilog Code
Synthesis	maze_syn.v	Synthesis Verilog Code
Synthesis	maze_syn.sdf	SDF file
Synthesis	maze_syn.ddc	DDC file
Synthesis	maze_timing.txt	Timing Report
Synthesis	maze_area.txt	Area Report
Synthesis	maze_power.txt	Power Report
APR	maze_APR.v	Netlist Verilog Code
APR	maze_APR.sdf	SDF file
APR	maze_APR.gds	GDS file
Report	b0*901***_report.pdf	內容包括 (1) RTL 演算法設計解說、2 個 RTL-Level 模擬結果的截圖 (2) Synthesis Clock cycle、Cell Area、Total Time、Area*Time 、2 個 Synthesis -Level 模擬結果的截圖 (3) APR Clock cycle、Total Time、使用 Innovus 完成 NanoRoute 截圖、2 個 Post-APR simulation 通過截圖

8. 繳交期限

12/2 (一)中午 12:00 僅上傳 RTL、Synthesis 相關檔案(不用 Report)至 Ceiba

12/30 (一)中午 12:00 以前上傳所有上述檔案至 Ceiba

同學如果有任何問題，請透過 email 詢問助教或約定時間。如果要寄 email 給助教，記得在信件前加 [專題研究] 避免漏信。

助教 林奕憲 d06943006@ntu.edu.tw

助教 葉陽明 d05943006@ntu.edu.tw