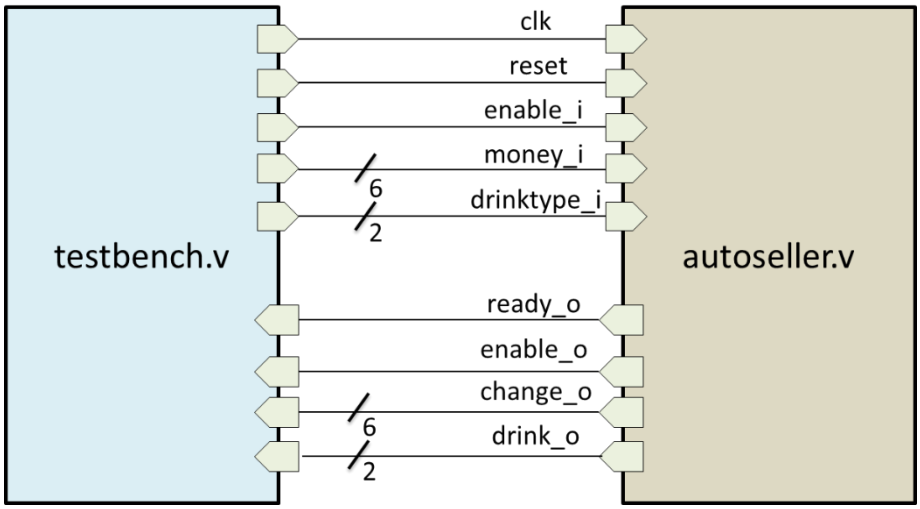
HW1 Verilog – Automatic Selling Machine

1. 問題描述

請完成一個飲料自動販賣機的電路設計。此控制電路可依照輸入的金錢及購買品項，將找零及購買品項的結果輸出。本控制電路共五個輸入信號及四個輸出信號，詳細內容請看表一。

2. 設計規格



圖一、系統方塊圖

信號名稱	輸出/入	位元寬度	說明
clk	*input*	1	時脈信號，本系統為同步於時脈正緣設計
reset	*input*	1	高位準非同步(active high asynchronous)之系統重置訊號
enable_i	*input*	1	當 enable_i =1 時，輸入的 money_i 及 drinktype_i 為有效訊號
money_i	*input*	6	表示使用者投入的金額
drinktype_i	*input*	2	表示使用者欲購買之飲料類型
ready_o	*output*	1	當 ready_o=1 時，表示 testbench 可以送新的 input 訊號進入，反之當 ready_o=0 時，外部不會送入訊號。
enable_o	*output*	1	當 enable_o=1 時，輸出訊號為有效訊號，testbench 會檢查 change_o 及 drink_o 是否正確
change_o	*output*	6	表示找零的金額
drink_o	*output*	2	表示已購買的飲料類型

表一、輸入/輸出訊號

3. 系統功能描述

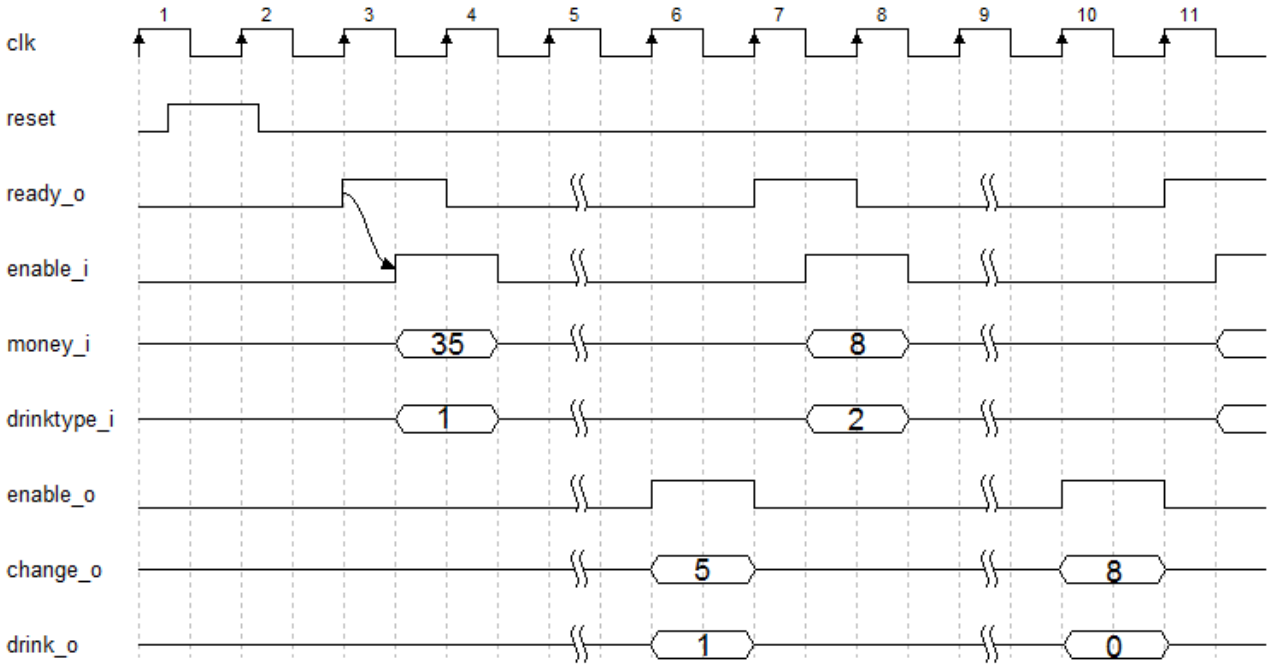
系統一開始會將 reset 訊號拉成 high 進行電路的重置，當 reset 結束，如果偵測電路的 ready_o 訊號為 high，便會將控制訊號 enable_i 拉成 high，以及送入第一筆測試資料。如果 ready_o 仍然保持 high 的狀態，系統會繼續送入第二筆測試資料，依此類推。當系統收到輸入資料後，計算完成後，應將 enable_o 拉成 high，並且送出對應的 change_o 及 drink_o，testbench 會在 clk 負緣時檢查輸出訊號，因此請務必使得輸出訊號穩定以避免錯誤的結果。而當 enable_o 為 low 時，系統不會檢查輸出訊號，所有的輸出都被視為無效的。

Name	無購買	COKE	TEA	SODA
drinktype_i	2'b00	2'b01	2'b10	2'b11
Cost	$0	$30	$20	$15

表二、飲料與價格表

money_i 的值會介於 0-63 之間，change_o 必須根據使用者買的項目，即 drinktype_i，決定找零的金額。舉例而言，圖二中第一筆輸入的金額為 35，購買的是為 COKE，找零的金額即為 5 元。成功購買時，drink_o 也會顯示為 COKE。反之，若投入金錢不夠或沒有選擇購買的飲料項目，投入金額會完全退回，drink_o 輸出值為 0。

詳細的時序圖請參考圖二。



圖二、系統時序圖

4. 檔案說明

檔名	說明
testbench1.v	測試樣本檔 1，此 testbench 僅輸入一組測資
testbench2.v	測試樣本檔 2，此 testbench 會輸入多筆測資
autoseller.v	設計檔，請勿更改輸入輸出宣告，同學請於此檔案內做設計
pattern1_money.dat pattern1_type.dat golden1_change.dat golden1_type.dat	testfixture1 所使用的測資。
pattern2_money.dat pattern2_type.dat golden2_change.dat golden2_type.dat	testfixture2 所使用的測資。

5. 模擬指令

本次提供兩個 testbench，模擬相關指令如下。

ncverilog testbench1.v autoseller.v

ncverilog testbench2.v autoseller.v

如果要輸出波形，可以使用 *+define+FSDB* 或者是 *+define+VCD* 並且加上 *+access+r*

ncverilog testbench1.v autoseller.v +define+FSDB +access+r

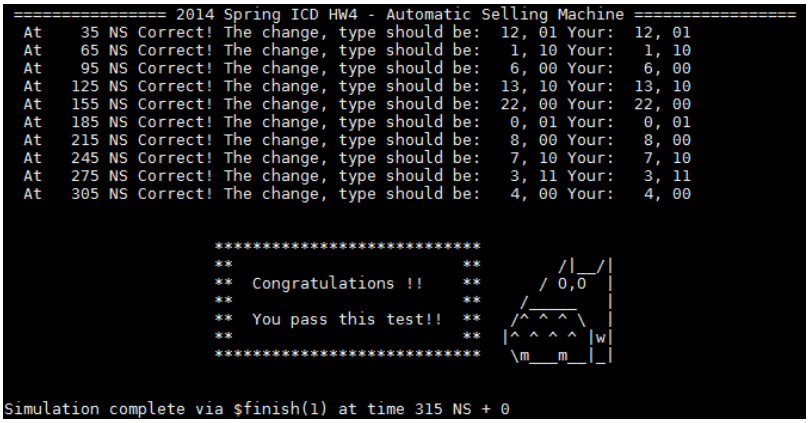
ncverilog testbench1.v autoseller.v +define+VCD +access+r

ncverilog testbench2.v autoseller.v +define+FSDB +access+r

ncverilog testbench2.v autoseller.v +defube+VCD +access+r

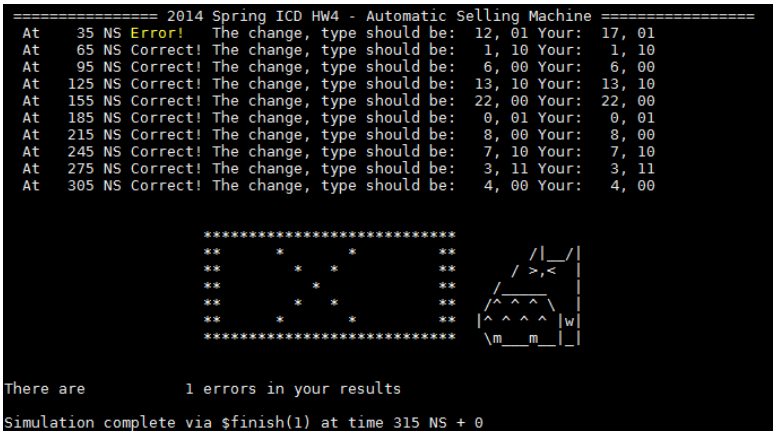
6. 模擬結果

如果模擬結果都正確的話，應該可以看到如下圖的結果

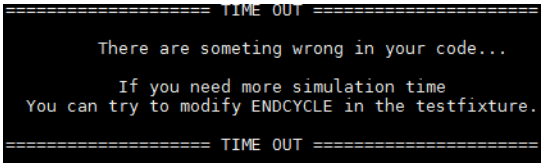


圖三、模擬結果正確

有錯誤時，則可能會出現



圖四、模擬結果錯誤



圖五、模擬時間超過 TIMEOUT

如果出現如圖五的訊息時，則可能是 ENDCYCLE 數字太小，使得你的模擬來不及跑完，或是你的控制訊號有誤，輸出太少，請同學檢查 enable_o 訊號，或調整 testbench 中的 ENDCYCLE。

7. 作業要求

1. 通過兩個 testbench 的 RTL – Level 模擬
2. **至少使用 3 個狀態的 Finite State Machine**
3. 繳交檔案如下：b0*901***_HW1.zip

分類	檔案名稱	描述
RTL	autoseller.v	RTL Verilog Code
Report	b0*901***_report.pdf	內含 RTL-Level 模擬結果的截圖、Finite State Machine 設計圖與設計理念。

8. 繳交期限

9/30 (一)中午 12:00 以前上傳至 Ceiba

同學如果有任何問題，請先盡量透過透過 email 詢問助教。剛開始學習大家遇到的問題都會蠻像的，如果要寄 email 給助教，記得在信件前加 [專題研究] 避免漏信。

助教 葉陽明 d05943006@ntu.edu.tw
助教 林奕憲 d06943006@ntu.edu.tw