

## HW2 - Synthesis using Design Vision

### 1. 作業描述

將 HW1 所完成的 autoseller.v 進行合成，並通過合成後的 testbench 模擬。

### 2. 檔案說明

請將以下檔案放入 HW1 的資料夾中。

檔名	說明
testbench1_syn.v	合成用測試樣本檔 1，此 testbench 僅輸入一組測資
testbench2_syn.v	合成用測試樣本檔 2，此 testbench 會輸入多筆測資
synthesis.tcl	合成用 design constraint 資料，可在裡面修改 cycle
.synopsys_dc.setup	Design compiler 環境設定檔

### 3. 模擬指令

本次提供兩個合成後的 testbench，模擬相關指令如下。

```
ncverilog testbench1_syn.v autoseller_syn.v tsmc13.v
```

```
ncverilog testbench2_syn.v autoseller_syn.v tsmc13.v
```

如果要輸出波形，可以使用 `+define+FSDB` 並且加上 `+access+r`

Ex. `ncverilog testbench1_syn.v autoseller_syn.v tsmc13.v +define+FSDB +access+r`

注意：合成後的 design 因為已被拆散成各種 gate，便無法觀察到波形，input/output 仍可

### 4. 作業評分準則

1. 通過兩個 testbench\_syn 的 Synthesis Level 模擬

2. 設計品質

Score = Area\*Timing、越小越好

Area = Area report 中的 total cell area

Timing = testbench2\_syn 所執行的時間 (如下圖為 315ns)

```
Simulation complete via $finish(1) at time 315 NS + 0
```

提示：盡量把 cycle 壓低，slack 接近 0

3. 繳交報告

### 5. 繳交檔案

壓縮檔如下：b0\*901\*\*\*\_HW2.rar/.zip

分類	檔案名稱	描述
RTL	autoseller.v	RTL Verilog Code (若無修改，可直接放 HW1 的版本)
Synthesis	autoseller_syn.v	Synthesis Verilog Code

Synthesis	autoseller_syn.sdf	SDF file
Synthesis	autoseller_syn.ddc	DDC file
Synthesis	autoseller_timing.txt	Timing Report
Synthesis	autoseller_area.txt	Area Report
Synthesis	autoseller_power.txt	Power Report
Report	b0*901***_report.pdf	填寫 report.doc 存成 pdf

## 6. 繳交期限

9/30 (一)中午 12:00 以前上傳至 Ceiba

同學如果有任何問題，請先盡量透過透過 email 詢問助教。剛開始學習大家遇到的問題都會蠻像的，如果要寄 email 給助教，記得在信件前加 [專題研究] 避免漏信。

助教 葉陽明 [d05943006@ntu.edu.tw](mailto:d05943006@ntu.edu.tw)

助教 林奕憲 [d06943006@ntu.edu.tw](mailto:d06943006@ntu.edu.tw)