

HW3 – Placement and Routing using Innovus

1. 作業描述

本次作業目的是讓大家練習使用 Innovus，將 gate level code 經 APR(Auto Place and Route) EDA tool 轉為 transistor level。

2. 操作步驟

註：灰底白字在此 HW 中不會使用到，但未來有使用到 sram 進行模擬時務必執行。

1 準備

- 1.1 建立一資料夾命名為 HW3，並將壓縮檔內所有檔案上傳至 HW3 資料夾
- 1.2 將上一個練習產生的 autoseller_syn.v, sram_8192x8_t13.v 跟 tsmc13_neg.v 放入 syn/資料夾內
- 1.3 進入 layout 資料夾
 - 1.3.1 cd layout
- 1.4 將 autoseller_APR.sdc 中的 cycle 調整為合成時所使用的值
- 1.5 將 SRAM 相關檔案放到資料夾中
 - 1.5.1 syn 資料夾加入 sram_8192x8_t13.v
 - 1.5.2 library/lef 加入 sram_8192x8_t13_ant.lef 以及 sram_8192x8_t13.vclef
 - 1.5.3 library/lib 加入 sram_8192x8_t13_slow_syn.lib
- 1.6 修改 autoseller.globals：在 set init_lef_file 的大括弧中加入../library/lef/sram_8192x8_t13_ant.lef ../library/lef/sram_8192x8_t13.vclef
- 1.7 修改 autoseller.view：在 create_library_set -name lib_max -timing 以及 create_library_set -name lib_min -timing 這兩行的大括弧中加入../library/lib/sram_8192x8_t13_slow_syn.lib

2 開啟 Innovus

- 2.1 可使用 Innovus 之工作站是作業系統 **CentOS 6.9** 的工作站
- 2.2 source /usr/cad/cadence/CIC/license.cshrc
- 2.3 source /usr/cad/innovus/CIC/innovus.cshrc
- 2.4 執行 Innovus
innovus
(不加 & 指令(背景執行)，因為後面 terminal 及 GUI 介面都會用到)

3 Design Import

- 3.1 File → Import Design → Load。此 HW 已經有存好一個設定檔 autoseller.globals，直接 Load 後按下 OK。

4 Global Net Connect:

此步驟主要是把所有的 Standard cell 的 power/ground pin 連接到 VDD/VSS。

4.1 Power → Connect Global Nets

4.1.1 Connect 選 Pin，Pin Name(s)填入 VDD，Scope 選 Apply All，To Global Net 填入 VDD，按 Add to List。

4.1.2 Connect 選 Pin，Pin Name(s)填入 VSS，Scope 選 Apply All，To Global Net 填入 VSS，按 Add to List。

4.1.3 將 1'b1/1'b0 連接至 VDD/VSS。

4.1.3.1 Connect 選 Tie High，Scope 選 Apply All，To Global Net 填入 VDD，按下 Add to List。

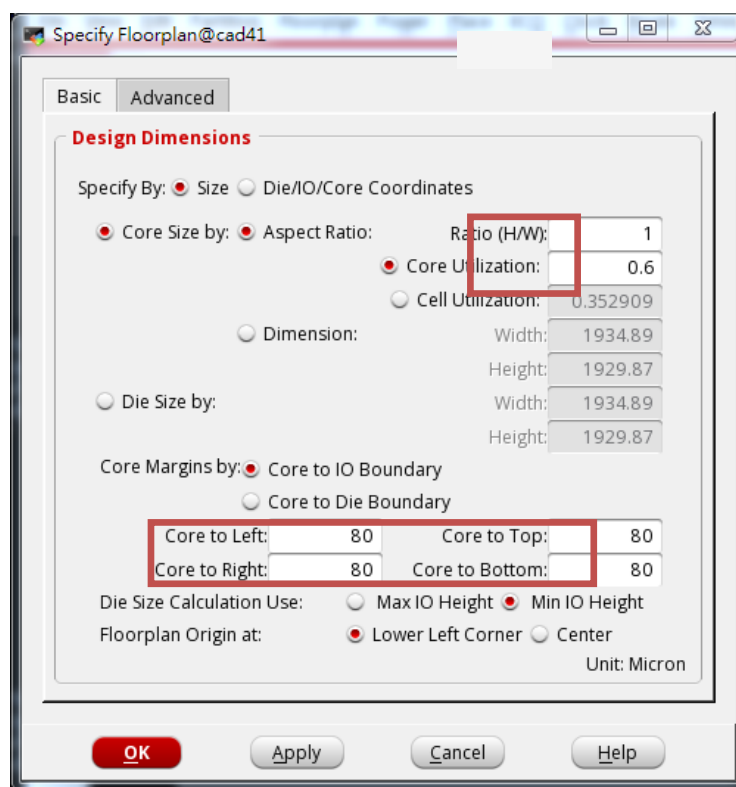
4.1.3.2 Connect 選 Tie Low，Scope 選 Apply All，To Global Net 填入 VSS，按下 Add to List。

4.1.4 按下 Apply，再按 Check，再關閉視窗。

5 Floorplan:

5.1 Floorplan → Specify Floorplan ... (根據不同 Design，可給予適當設定。)

5.1.1



6 Create Power-ring:

6.1 Power → Power Planning → Add Ring ...

6.1.1 Net(s)選 VDD VSS。

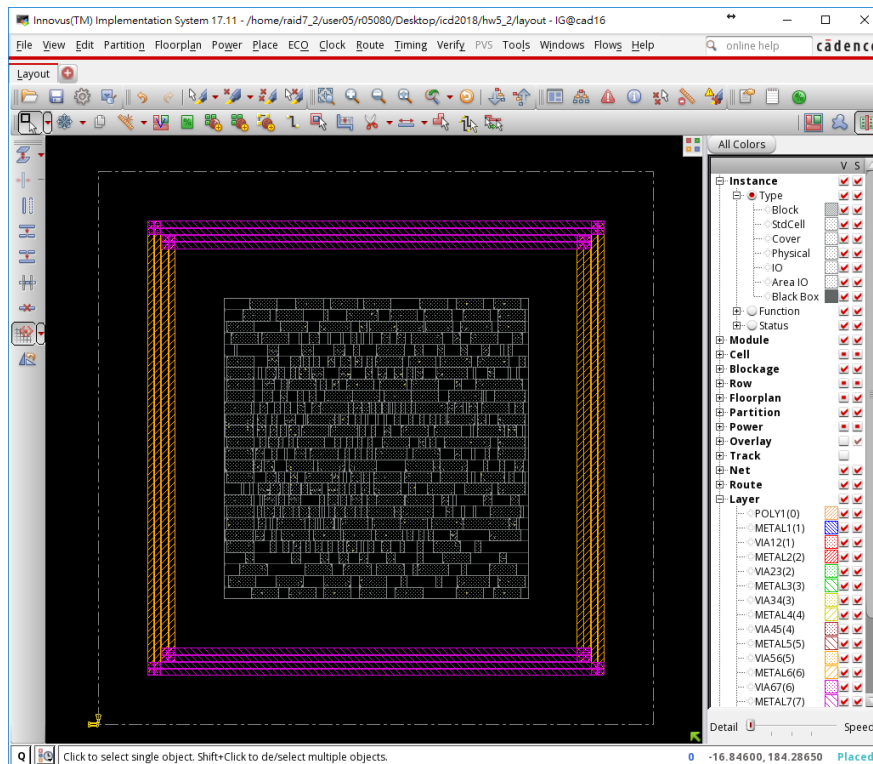
6.1.2 Ring Configuration

6.1.2.1 Top/Bottom Layer 改成 METAL7 H。

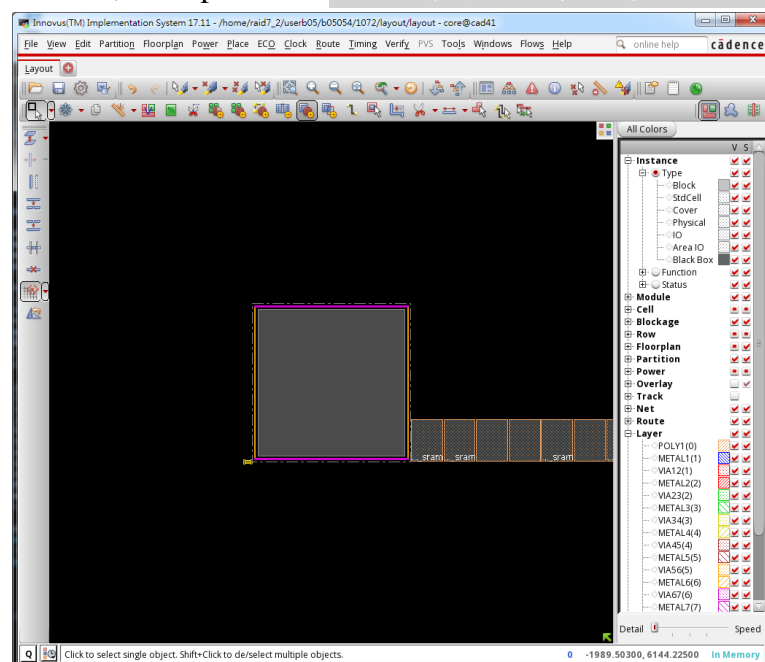
6.1.2.2 Left/Right Layer 改成 METAL6 V。

- 6.1.2.3 Width 都改成 2。
- 6.1.2.4 填完之後按一下 Spacing 下面的 Update。
- 6.1.2.5 勾選 Offset: Center in channel
- 6.1.3 切換到 Advanced
 - 6.1.3.1 勾選 wire group
 - 6.1.3.2 勾選 Interleaving
 - 6.1.3.3 Number of bits 填入 3，按 OK。

做完之後可以看到 Core 跟 I/O Pad 之間多了一圈 Power ring。



6.2 擺放 SRAM。切換到 Floorplan View，可以看到已經有好幾個 Memory 靠在晶片旁邊。



6.2.1 選擇，此時再去點選 Memory 會發現我們可以任意移動 Memory 的位置，通常我們會將 Memory 擺到 Core 的四周

6.2.2 用滑鼠點一下 Memory，選擇 Floorplan → Edit Floorplan → Flip/Rotate...，選擇 R90，按 OK，此時會發現我們的 Memory 已經被轉了 90 度角。(Optional Step)

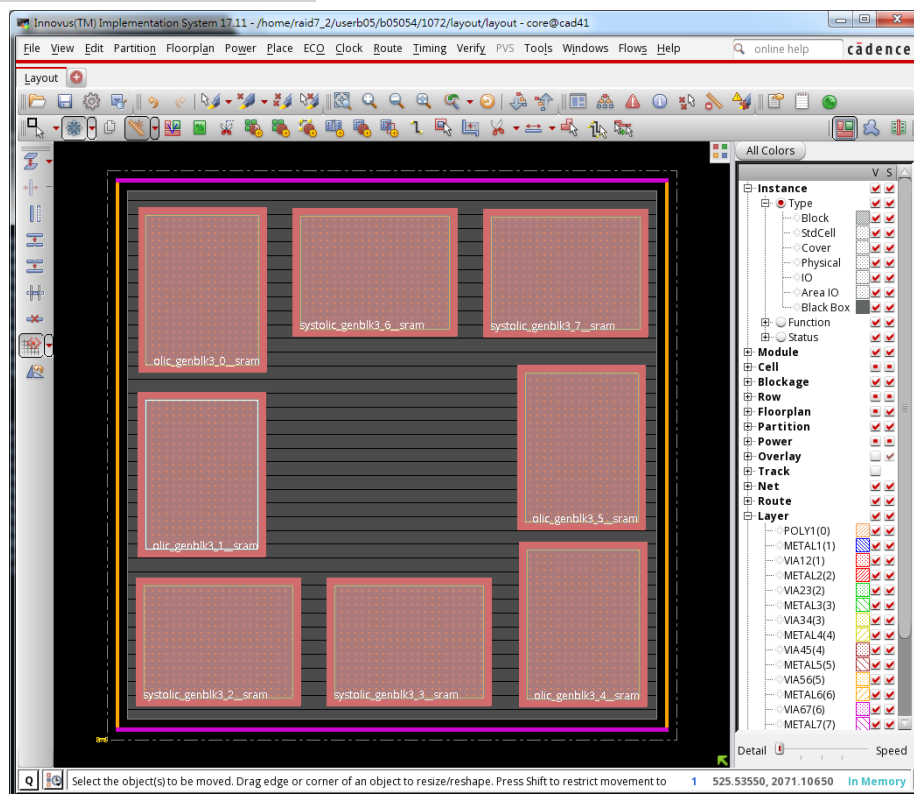
6.3 替 Memory 加上 Halo

要做這個步驟的原因是因為 Halo 區塊之下不會擺放任何的 Standard cell，這使得之後 Memory 在做繞線 (Routing) 時可以有比較大的空間，不至於讓 Standard cell 擠在 Memory 周圍。

6.3.1 Floorplan → Edit Floorplan → Edit Halo...

6.3.2 選擇 Selected Blocks/Pads (確定現在的 Memory 是在選到的狀態)，現在要加的是 Placement Halo，在 Top/Bottom/Left/Right 四個欄位都填入指定的寬度 (30um)，按 OK，會看到 Memory 周圍多了一圈紅的區域。

6.4 替 Memory 加上 Core Ring



6.4.1 將 Memory 全部選起來 (可以按住 Ctrl 然後一個一個點)

6.4.2 Power → Power Planning → Add Ring ...

6.4.3 Ring Type 選 Block ring(s) around，下拉選單，選 Each selected block...

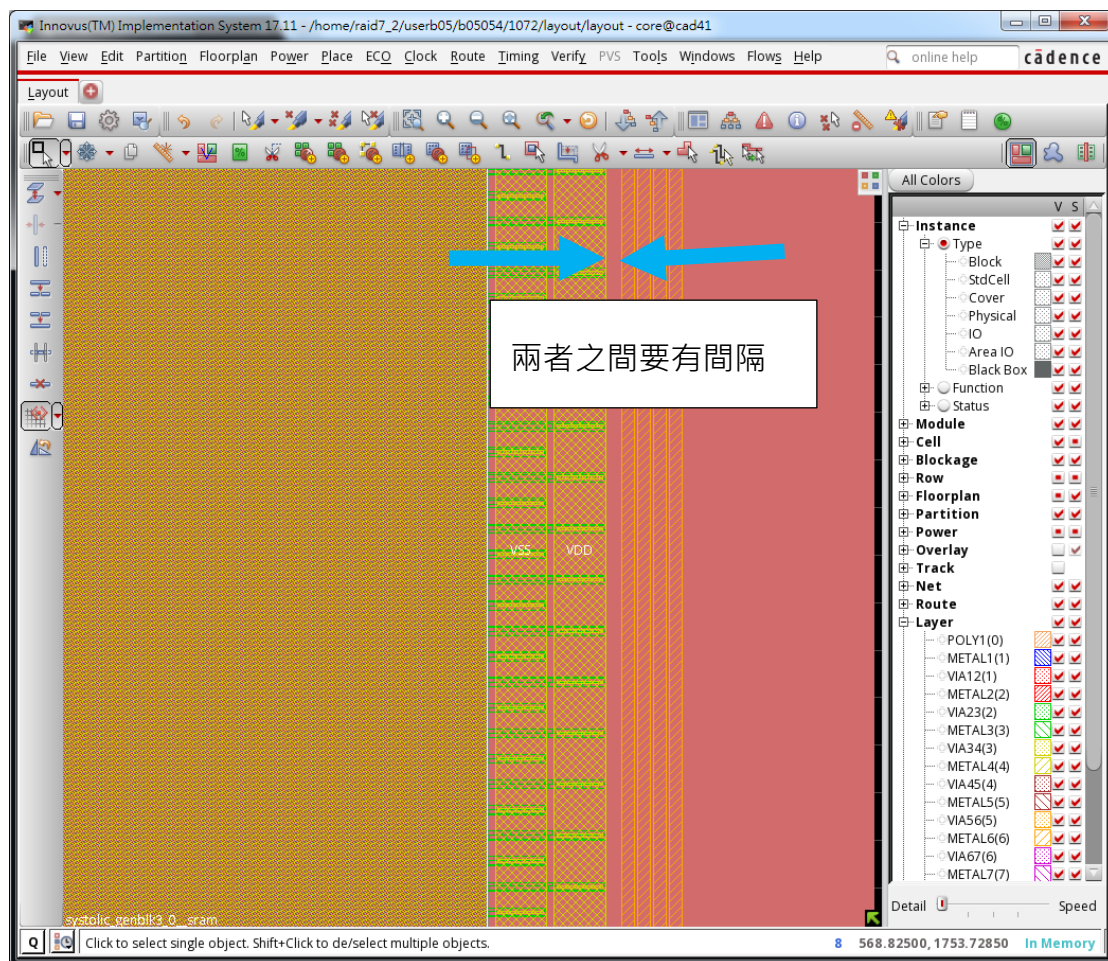
6.4.4 設定應該還維持剛剛繞 Power Ring 時的數值，講 Ring Configuration 的 Top/Bottom/Left/Right 的 width 改成 1，取消勾選 offset:Center in Channel 並改 offset 值都改成 1.2

6.4.5 切換到 Advanced，Number of bits 改成 2

6.4.6 OK

6.4.7 點開 Cell，會顯示 Memory 的 VSS 跟 VDD，放大確認接頭沒有跟剛剛繞的 core ring 重疊，如果有重疊的話，按 undo(U)重新下 core ring，將 offset 調大

6.4.8 存檔，Data Type 選 Innovus，File name>PlaceMemory



7 Create Power-stripe

這個做法主要也是用來使 core 內部的供電電壓均勻。

7.1 Power → Power Planning → Add Stripes ...

7.1.1 Net(s)填入 VDD VSS。

7.1.2 Layer 選擇 METAL6。

由於我們想要 create 的是直的 stripe，所以在這裡我們選擇 METAL6，若是要打上橫的 stripe，則選擇 METAL7。

7.1.3 Width 設定為 1，按下 Update。

7.1.4 選擇 Set-to-set distance，並設定為 350。

7.1.5 下方 First/Last Stripe 的 start 設定為 150，Stop 設定為 150 切換到 Advanced。

7.1.6 選擇 Use wire group 與 Interleaving，Number of bits 設定為 3。

7.1.7 加選 Switch layer over obstructions

7.1.8 切換到 Mode，Stripe Breaking Controls > Break at options selection: 選取 Options 並勾選下方的 Block Ring

7.1.9 按 OK，應該會新增 power stripe，且經過 Memory 時會跳過不會貫穿。

7.1.10 存檔

7.2 做 Full mode 的 Place。

7.2.1 Place → Place Standard Cell ...

7.2.2 選擇 Run Full Placement，取消 Include Pre-Place Optimization。

7.2.3 Number of CPU(s)改成 8 可以跑比較快

7.2.4 按 OK 開始跑 Placement。(注意：完成時，terminal 的 command line 可能不會主動出現)。

7.3 執行 Place → Refine Placement 來讓 cell 擺置的方向正確。

7.4 Timing → Report Timing ...

7.4.1 Design Stage 選擇 Pre-CTS，按下 OK。

此時 Tool 會開始分析 trial route 與 RC Extraction，計算出各點的 delay 後再使用 STA (Static timing analysis)分析 Data path。

7.4.2 如果 WNS 為負，則進行 Timing Optimization。

7.4.3 ECO → Optimize Design...

7.4.4 如果一直沒過代表 cycle time 太小過不了，需要放寬 cycle time 重頭來

8 連接 Power pad

8.1 Route → Special Route ...

8.1.1 Net(s)填入 VDD VSS。

8.1.2 SRoute 只選取 Pad pins 其他皆不選取

8.1.3 切換到 Advanced，選 Pad Pins，並把 Number of Connections to Multiple Geometries 設為 All，按 OK。

9 DRC Check

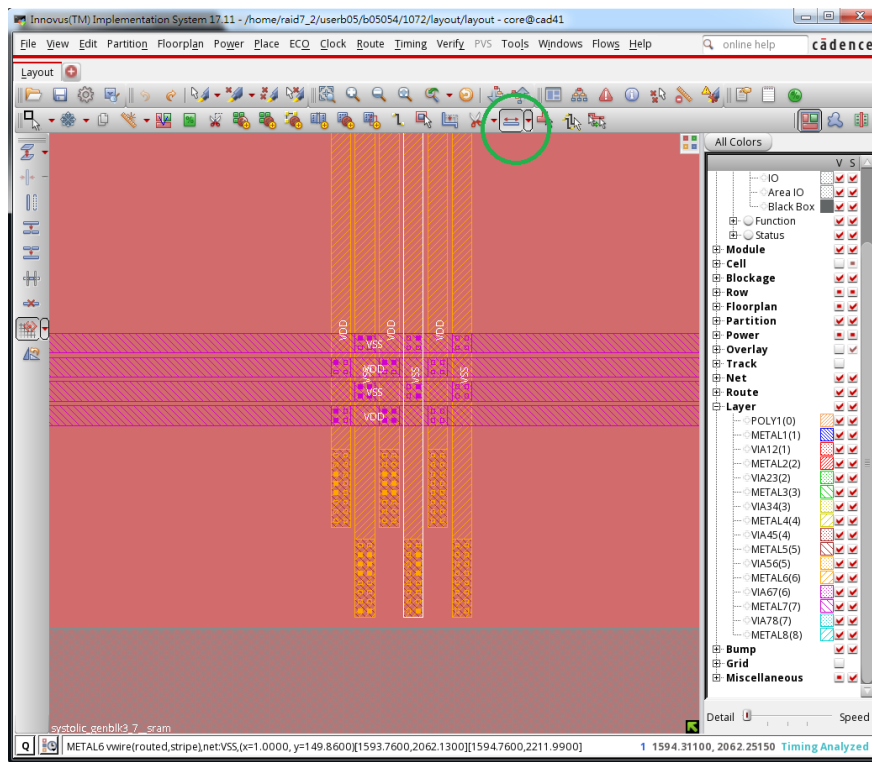
9.1 Verify → Verify Geometry ...

9.2 檢查是否有任何的 Violations，在這裡出現的 Violation 最好要解決掉(可以重新做 placement 或是手動移動 block)，否則留到後面就很難解決了

9.3 在 layout 上面如果有出現 X 的圖案，則表示那邊有 DRC error。

9.4 如果有 X，可以放大看，可能是有 stripe 插進 Memory 之類的，點開 Tools > Violation Browser 可以看 X 發生在哪一層 (例如 Metal 6)，接著在右邊的視窗把該層上方的金屬都取消選取 (例如 Metal7, VIA78, Metal(8))

9.5 點選 Stretch Wire Length 工具，將伸太長/短的 wire 拉短/長，或直接用滑鼠點一下然後刪掉(backspace)有 violation 的那條 wire



9.6 再進行 Verify > Verify Geometry (如果 X 過多不建議手動調整, 建議重作, 並改變參數, 再不行去放寬 cycle 放寬 floorplan utility 重繞)

9.7 先做一下 timing analysis

9.7.1 執行 Timing → Report Timing...

9.7.2 Design Stage 選擇 Pre-CTS, 按下 OK。

9.7.3 若 WNS 是負的, 則必須做 optimization, 或是 DRC 有 max fanout violation 也可以用 optimization 來修

9.7.4 ECO → Optimize Design..., 在 Optimization Type 裡加選 Max Fanout, OK

9.7.5 如果 Optimization 作完後仍然 WNS 為負, 則加選 Incremental 繼續執行 Optimization, 直到修到 WNS 為正。

9.8 將 1'b0 及 1'b1 連到 tie high 或 tie low cell 上

9.8.1 執行 Place → Tie Hi/Lo Cell → Add → Mode, 左欄選 TieHiLo, Cell Name 輸入 TIEHI TIELO, 勾選 Specify Maximum Fanout 設 10, 勾選 Specify Maximum Distance 設 100, OK。

9.8.2 Cell Name 已設為 TIEHI TIELO, OK (TIEHI TIELO 中間有空格, 外面不要有大括號)

10 Clock Tree Synthesis:

10.1 步驟 10 都在 terminal 輸入指令

10.2 設定 ccopt 的基本參數, 助教已經帮大家寫好直接 source 就好

10.2.1 source set_ccopt_property.tcl

10.3 根據 autoseller_APR.sdc 檔產生對應的 ccopt 參數

10.3.1 create_ccopt_clock_tree_spec -file ccopt.spec

10.3.2 source ccopt.spec

10.4 進行 Clock Tree Synthesis

10.4.1 ccopt_design -cts

11 做 Post-CTS 的 Timing analysis

11.1 Timing → Report Timing, Design Stage 選 Post-CTS, Analysis Type 選 **Setup**, OK。

11.2 若 WNS 是負的, 做 ECO → Optimize Design..., 選 Post-CTS, OK。

11.3 重複 11.1 直到 WNS 為正

11.4 Timing → Report Timing, Design Stage 選 Post-CTS, Analysis Type 選 **Hold**, OK。

11.5 若 WNS 是負的, 做 ECO → Optimize Design..., 選 Post-CTS, OK。

11.6 重複 11.4 直到 WNS 為正

12 **Route Power:**

12.1 Route → Special Route...

12.2 Basic → Net(s) → ... → 加入 VSS VDD

SRoute 只留下 Follow pins → OK

12.3 可以看到 core cell 的 power(藍色的線) 都連到左右的 power ring 上。

13 檢查 Special Net 的 DRC 及 connectivity

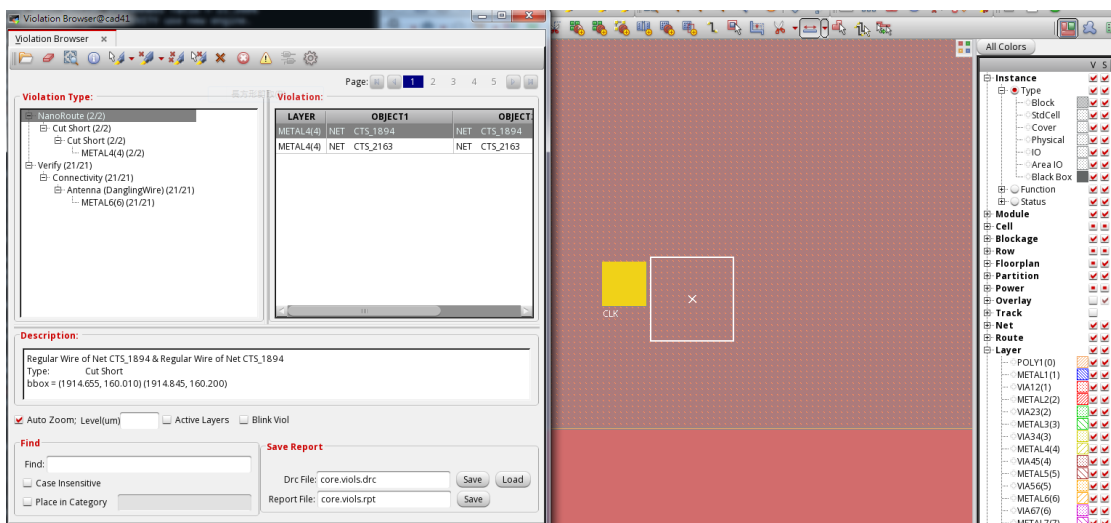
13.1 Place → Refine Placement..., OK

將 trial route 的 signal net 移除

13.2 Verify Connectivity..., Net type 選 Special Only, Check 取消 unrouted net, OK。

13.3 是否有任何 violation?

13.4 有的話點開 Tools > Violation Windows, 左邊選一種 violation type, 右邊點該 violation 可以快速掉到發生 X 的位置, 如果 violation 是發生在多條 VDD/VSS 中的其中一條可以按 backspace 刪除有問題的那條。(取消選取除了該層以外的所有 metal, 點選有問題的 wire, backspace 刪除)



14 Routing:

14.1 Route→NanoRoute→Route...

- 14.1.1 勾選 Insert Diodes, Diode Cell Name 輸入 ANTENNA
- 14.1.2 Set Multiple CPU(s)設成 8 跑比較快
- 14.1.3 勾選 SI Driven
- 14.1.4 按 OK 右邊的 Attribute
 - 14.1.4.1 選 Nettype(s), Clock Nets
 - 14.1.4.2 Weight: 10
 - 14.1.4.3 Spacing: 1
 - 14.1.4.4 Avoid Detour: True (意思是 Route as short as possible)
 - 14.1.4.5 按 OK
- 14.1.5 按 OK, 開始 routing, 看看有沒有 violation?

15 Timing Analysis, Post route Optimization

15.1 在 terminal 輸入指令

setAnalysisMode -analysisType onChipVariation

15.2 Timing → Report Timing, Design Stage 選 Post-Route, Analysis Type: Setup, OK。

若 WNS 為負的則做 15.3 不然就跳到 15.4

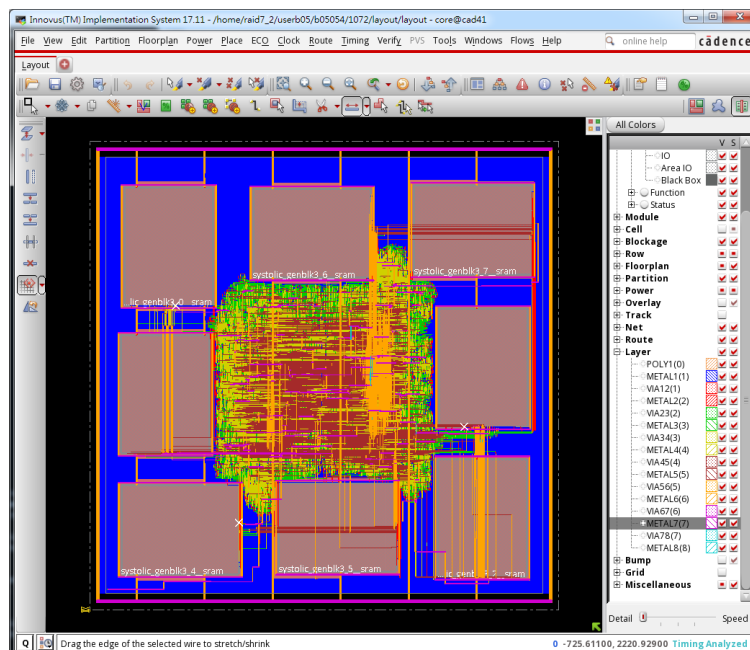
15.3 Optimize → Optimize Design..., Design Stage 選 Post-route, 加選 Max Fanout, OK。 一直重覆 15.3 到 WNS 為正的為止。

15.4 同 15.2, 但將 Analysis Type 改為 Hold 來分析看看 hold time。

16 DRC Check

16.1 Verify → Verify Geometry ..., 按 OK。

16.2 這邊如果沒過不影響 post_APR simulation, 如果要下晶片才要處理



17 Finish:

17.1 File→Save →Netlist...

17.1.1 Netlist File 填 autoseller_APR.v，OK。

17.2 Timing→Write SDF...

17.2.1 取消 Ideal Clock，SDF Output File 填 autoseller_APR.sdf，OK。

18 Stream out GDS

18.1 Tool → Set Mode → Mode Setup...

18.1.1 左欄選 StreamOut，取消 Virtual Connection，OK。

18.2 File →Save →GDS/OASIS...

18.2.1 Output File 填入 autoseller_APR.gds

18.2.2 Map File 填入 ../library/streamOut.map

18.2.3 勾選 Merge File，填入 ../library/gds/tpz013g3_v1.1.gds

和 ../library/gds/tsmc13gfsf_fram.gds 和 sram_8192x8_t13.gds(檔案用空格隔開)

或是按右邊的資料夾圖示，去 library 把.gds 都選起來（可能需要一個一個選）

18.2.4 勾選 Write abstract information for LEF Macros，Unit: 1000

18.2.5 OK

18.3 關閉 Innovus

3. 模擬指令

本次提供兩個合成後的 testbench，模擬相關指令如下。

```
ncverilog testbench1_APR.v autoseller_APR.v -v ./syn/tsmc13_neg.v +define+SDF +ncmaxdelays
```

```
ncverilog testbench2_APR.v autoseller_APR.v -v ./syn/tsmc13_neg.v +define+SDF +ncmaxdelays
```

如果要輸出波形，可以使用 +FSDB 並且加上 +access+r

調整 testbench 中的 cycle time，必須和 sdc 中的 cycle time 相同，如果模擬沒過，可以慢慢提高 testbench 中的 cycle time，直到通過為止。

如果跳一兩個 error 說 autoseller_APR.v 中某幾行有 ANTENNA...之類的問題，進入檔案把它們註解掉即可。

4. 繳交檔案

壓縮檔如下：b0*901***_HW3.zip

分類	檔案名稱	描述
Synthesis	autoseller_APR.v	Netlist Verilog Code
Synthesis	autoseller_APR.sdf	SDF file
Synthesis	autoseller_APR.gds	GDS file
Report	b0*901***_report.pdf	填寫 report.doc 存成 pdf

➤ Report 內容

1. 使用 Innovus 完成以下步驟後分別截圖
 - i. Floorplan
 - ii. Power ring & Power stripe
 - iii. Special Route
 - iv. NanoRoute
2. Post-APR simulation 通過截圖
3. 通過 Post-APR simulation 的 cycle time

5. 繳交期限

10/14 (一)中午 12:00 以前上傳至 Ceiba

同學如果有任何問題，請先盡量透過透過 email 詢問助教。剛開始學習大家遇到的問題都會蠻像的，如果要寄 email 給助教，記得在信件前加 [專題研究] 避免漏信。

助教 葉陽明 d05943006@ntu.edu.tw

助教 林奕憲 d06943006@ntu.edu.tw