
流水线处理器 设计工程化方法

提纲

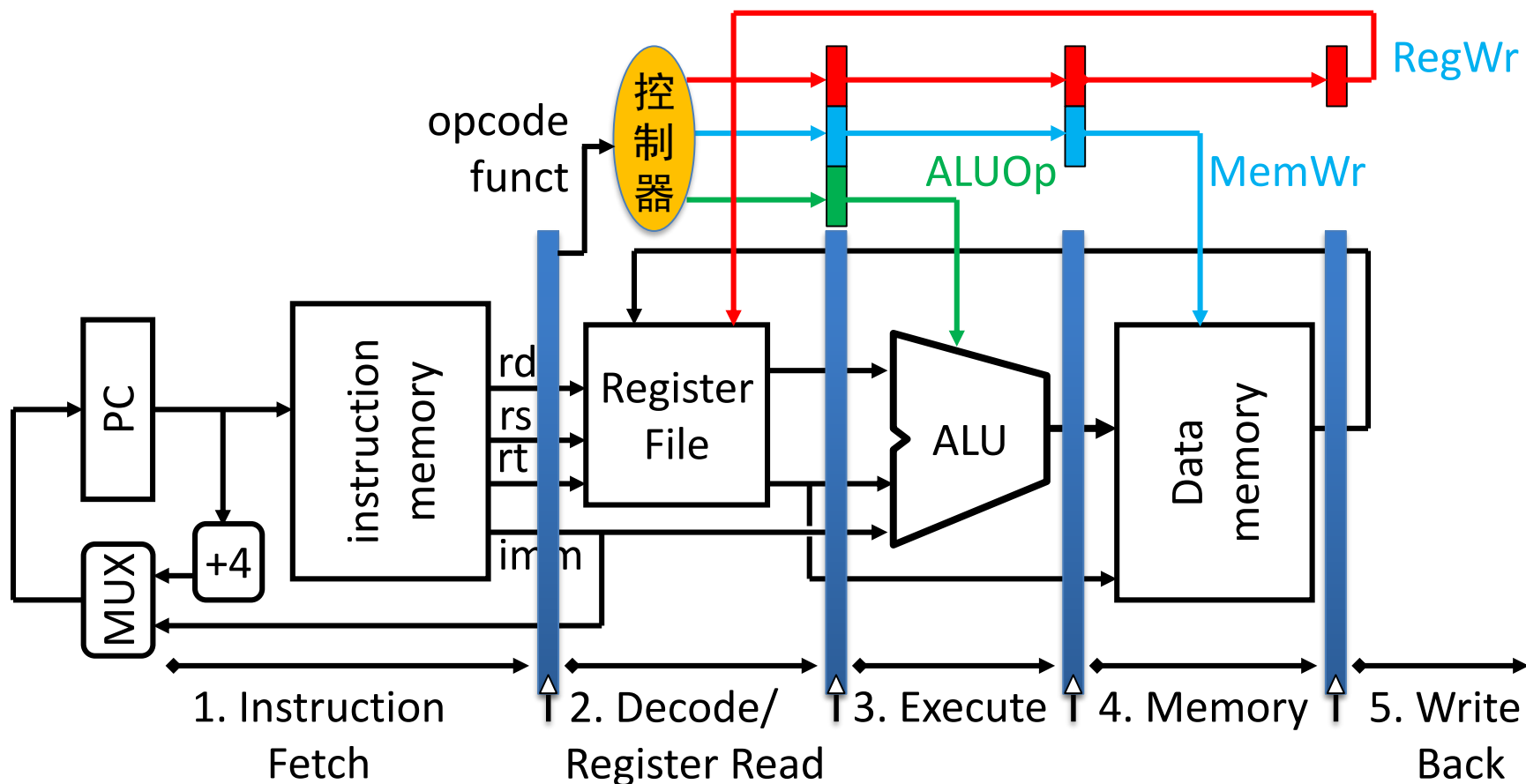
1. 集中式译码与分布式译码
2. 基础指令集与流水线设计规划
3. 无转发数据通路构造方法
4. 功能部件控制信号构造方法
5. 数据冒险的一般性分析方法
6. 暂停机制生成方法
7. 转发机制生成方法
8. 控制冒险处理机制



1、集中式控制器与分布式控制器

集中式控制器

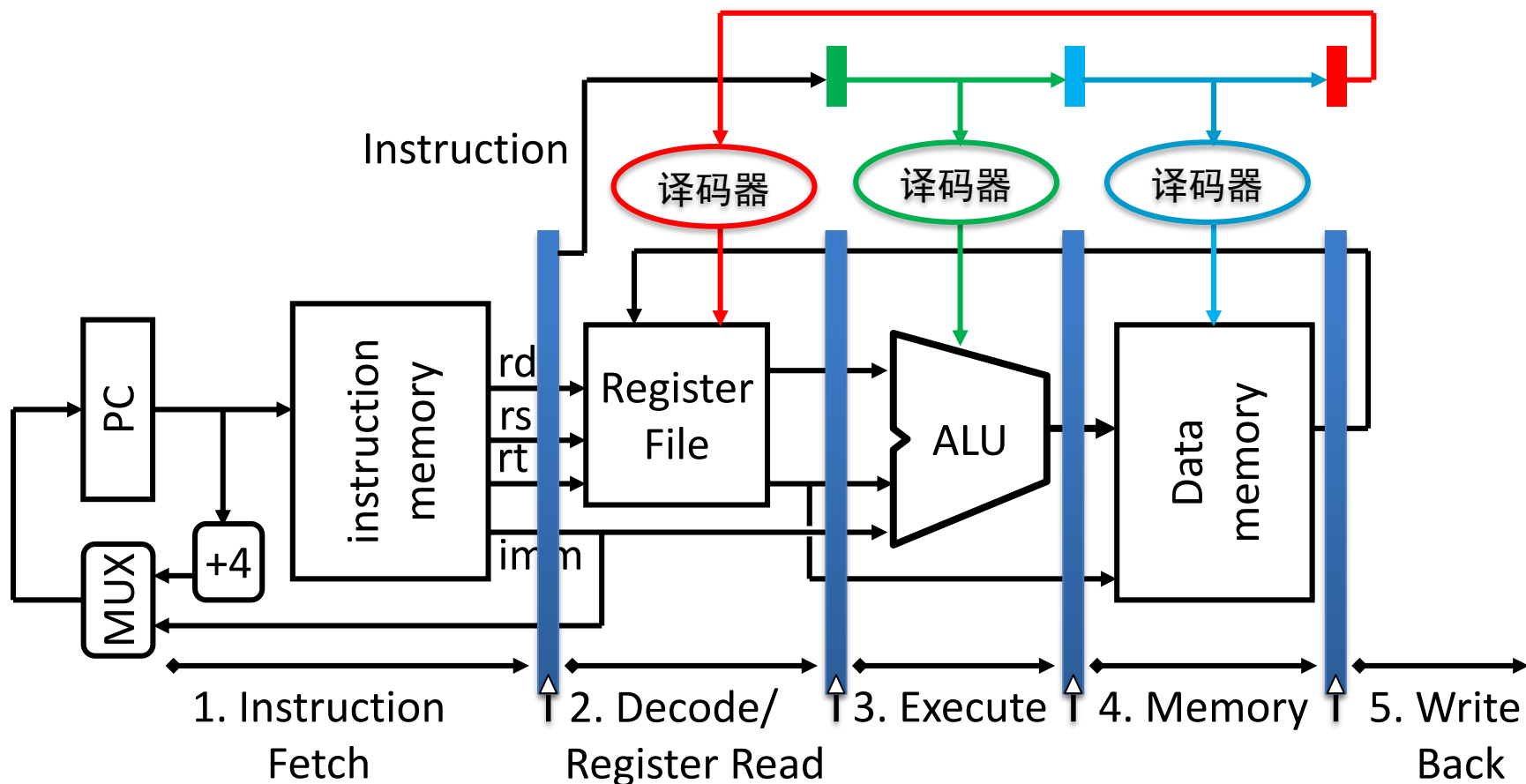
- ◆ 控制器只在ID阶段
- ◆ 控制器产生全部的译码信号
- ◆ 流水所有的译码信号



1、集中式控制器与分布式控制器

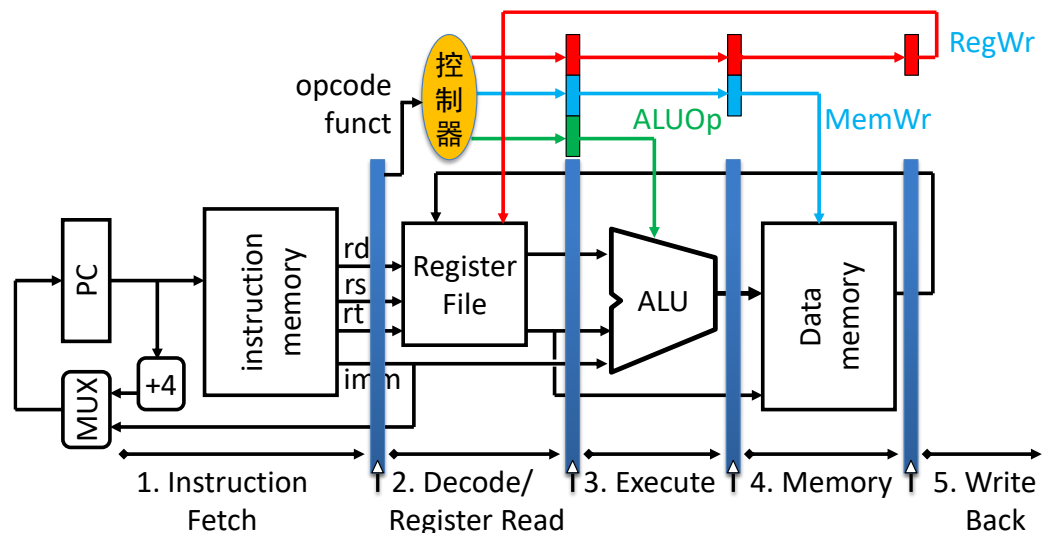
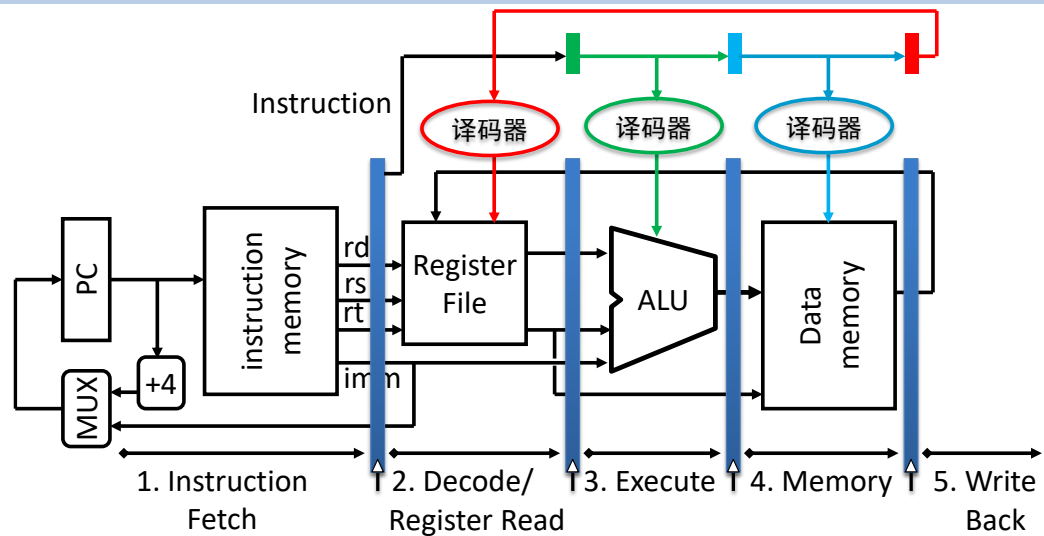
■ 分布式控制器

- ◆ 控制器分布在多个流水线阶段
- ◆ 每级控制器只产生该级功能部件相关的译码信号
- ◆ 流水指令



1、集中式控制器与分布式控制器

- ❑ 资源使用率：集中式控制器
- ❑ 结构简洁性：分布式控制器
- ❑ 项目维护性：分布式控制器
- ❑ 代码可读性：分布式控制器



提纲

1. 集中式译码与分布式译码
2. 基础指令集与流水线设计规划
3. 无转发数据通路构造方法
4. 功能部件控制信号构造方法
5. 数据冒险的一般性分析方法
6. 暂停机制生成方法
7. 转发机制生成方法
8. 控制冒险处理机制



2、基础指令集与标准流水线

指令集

- ◆ lw, sw, addu, subu, ori, lui, beq, j, jal, jalr

典型指令；可以支持大多数程序需求

jal, jalr：涉及2个写入操作，PC写入，RF写入

- ◆ Jal: $PC \leftarrow PC[31..28] || \text{JumpAddr} \ll 2$; $GPR[31] \leftarrow PC + 4$

- ◆ Jalr: $PC \leftarrow GPR[rs]$; $GPR[rd] \leftarrow PC + 4$ (Jalr与ja配套使用)

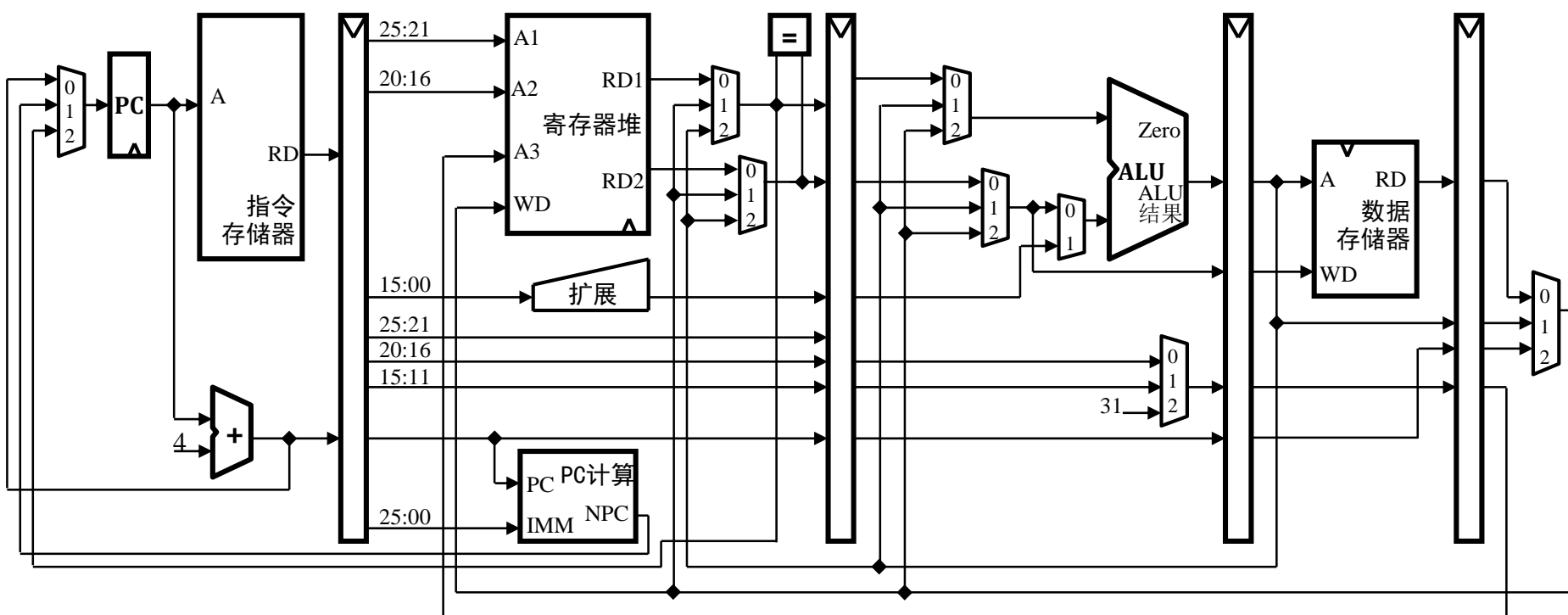
Jal编码 J类型	Op (31-26)	JumpAddr (25-0)				
	000011	26位目的地址				

Jalr编码 R类型	Op (31-26)	Rs (25-21)	Rt (20-16)	Rd (15-11)	Shamt (10-6)	Func (5-0)
	00000	Rs	00000	Rd	00000	001001



2、基础指令集与标准流水线

- 流水线：以性能为目标的标准流水线
 - 数据冒险：转发、暂停
 - 控制冒险：分支比较前移、转发、暂停



三控制器架构

❑ 功能部件控制器：就是书中的控制器

- ◆ 译码指令，控制各个功能部件
- ◆ 属于功能性设计范畴：即与指令的功能相关，与性能无关
 - 无论单周期还是流水线，设计思路相同

❑ 暂停控制器

- ◆ 将IF/ID指令与前序指令（位于后序流水段）分析，决定是否暂停
- ◆ 属于性能设计范畴

❑ 转发控制器

- ◆ 分析各级指令的相关性，决定如何转发
- ◆ 属于性能设计范畴

❑ 三控制器架构特点

- ◆ 结构清晰，易于理解
- ◆ 暂停控制器、转发控制器：独立，相互不干扰



流水线功能部件

■ 延用单周期数据通路功能部件

- ▣ D级分支比较器CCMP
- ▣ D级NPC用于计算beq/j/jal/jalr下条指令地址

阶段	部件	输入	输出	描述
取值 (F级)	PC	D	Q	程序计数器
	ADD4	PC, +4	PC4	完成PC+4
	IM	A	D	指令存储器
译码/读 操作数 (D级)	RF	A1, A2	RD1, RD2	寄存器对读操作数
	EXT	I16	IMM32	16位立即数扩展32位
	NPC	PC, I26	NextPC	为B类/J类计算下条地址
	CMP	D1, D2	Result	比较2个数
计算 (E级)	ALU	A, B	ALU	算数/逻辑运算
访存 (M级)	DM	A, WD	RD	数据存储器
回写 (W级)	RF	A3, WD		寄存器堆写入

流水线寄存器

- 需要设置4级流水线寄存器
 - 5级流水线的最后一级寄存器为RF
- 标记X：代表对应流水级需要设置相应寄存器
 - IR：4个流水级均需要
 - AO：仅M级和W级需要

名称	功能	D级 IF/ID	E级 ID/EX	M级 EX/MEM	W级 MEM/WB
IR	传递指令	X	X	X	X
PC4	下一条指令地址	X	X	X	X
RS	RF的RS值(RD1输出)		X		
RT	RF的RT值(RD2输出)		X	X	
EXT	扩展后的32位立即数		X		
AO	ALU计算结果			X	X
DR	DM读出结果				X

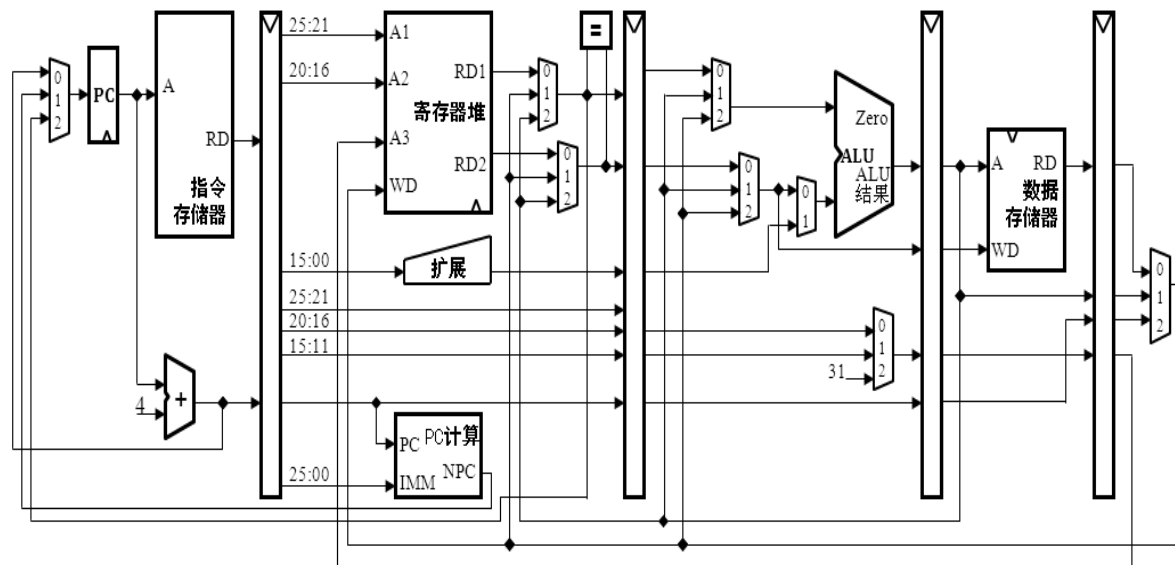
提纲

1. 集中式译码与分布式译码
2. 基础指令集与流水线设计规划
3. 无转发数据通路构造方法
4. 功能部件控制信号构造方法
5. 数据冒险的一般性分析方法
6. 暂停机制生成方法
7. 转发机制生成方法
8. 控制冒险处理机制



流水线数据通路构造表格

- 每级由寄存器和功能部件组成
 - 按流水线5个阶段划分
- X@Y: 代表Y阶段的X寄存器
 - IR@W: W级的IR
- PC操作: 出现在3个阶段
 - F级: 取指令
 - D级: 更新, 保存PC+4
 - E级: 更新, 保存B/J/JAL/JALR的值 (NPC)
- RF: 出现在2个阶段
 - D阶段: 准备操作数
 - W阶段: 回写结果



部件	输入
F级功能部件	PC
	ADD4
	IM
D级更新PC	PC
	IR@D
	PC4@D
D级流水线寄存器	RF
	A1
	A2
D级功能部件	EXT
	CMP
	D1
E级更新PC	NPC
	PC4
	I26
E级流水线寄存器	PC
	IR@E
	PC4@E
E级功能部件	RS@E
	RT@E
	EXT@E
M级流水线寄存器	ALU
	A
	B
M级功能部件	IR@M
	PC4@M
	AO@M
W级流水线寄存器	RT@M
	DM
	A
W级功能部件	WD
	IR@W
	PC4@W
	AO@W
	DR@W
	RF
	A3
	WD

S1: LW的数据通路

- 根据RTL描述建立各级流水线寄存器、功能部件间连接关系
 - LW: 5级
- IR必填
 - 采用分布式译码
- 指令不涉及的不需要填: 如PC4
- X[y]: 代表X部件的y域
- IR@D[i16]: D级IR的16位立即数

6	5	5	5	5	6
Op	Rs	Rt	Rd	Shamt	Func

Op	Rs	Rt	16 bit Address or Immediate
----	----	----	-----------------------------

Op	26 bit Address (for Jump Instruction)
----	--

部件	输入	LW
PC		
ADD4		PC
IM		PC
PC		ADD4
IR@D		IM
PC4@D		
RF	A1	IR@D[rs]
	A2	
EXT		IR@D[i16]
NPC	PC4	
	I26	
PC		
IR@E		IR@D
PC4@E		
RS@E		RF.RD1
RT@E		
EXT@E		EXT
ALU	A	RS@E
	B	EXT@E
IR@M		IR@E
PC4@M		
AO@M		ALU
RT@M		
DM	A	AO@M
	WD	
IR@W		IR@M
PC4@W		
AO@W		
DR@W		DM
RF	A3	IR@W[rt]
	WD	DR@W

部件	输入	LW	SW	ADDU	SUBU	ORI	BEQ	J	JAL	JALR
PC			PC	PC	PC	PC	PC	PC		
ADD4		PC	PC	PC	PC	PC	PC	PC	PC	PC
IM		PC	PC	PC	PC	PC	PC	PC	PC	PC
PC		ADD4	ADD4	ADD4	ADD4	ADD4	ADD4	ADD4	ADD4	ADD4
IR@D		IM	IM	IM	IM	IM	IM	IM	IM	IM
PC4@D							ADD4	ADD4	ADD4	ADD4
RF	A1	IR@D[rs]	IR@D[rs]	IR@D[rs]	IR@D[rs]	IR@D[rs]	IR@D[rs]	IR@D[rs]		IR@D[rs]
	A2			IR@D[rt]	IR@D[rt]		IR@D[rt]	IR@D[rt]		
EXT		IR@D[i16]	IR@D[i16]			IR@D[i16]				
CMP	D1						RFRD1			
	D2						RFRD2			
NPC	PC4						PC4@D	PC4@D	PC4@D	
	I26						IR@D[i16]	IR@D[i26]	IR@D[i26]	
PC							NPC	NPC	NPC	RFRD1
IR@E		IR@D	IR@D	IR@D	IR@D	IR@D			IR@D	IR@D
PC4@E									PC4@D	PC4@D
RS@E		RFRD1	RFRD1	RFRD1	RFRD1	RFRD1				
RT@E			RFRD2	RFRD2	RFRD2					
EXT@E		EXT	EXT			EXT				
ALU	A	RS@E	RS@E	RS@E	RS@E	RS@E				
	B	EXT@E	EXT@E	RT@E	RT@E	EXT@E				
IR@M		IR@E	IR@E	IR@E	IR@E	IR@E			IR@E	IR@E
PC4@M									PC4@E	PC4@E
AO@M		ALU	ALU	ALU	ALU	ALU				
RT@M			RT@E							
DM	A	AO@M	AO@M							
	WD		RT@M							
IR@W		IR@M		IR@M	IR@M	IR@M			IR@M	IR@M
PC4@W									PC4@M	PC4@M
AO@W				AO@M	AO@M	AO@M				
DR@W		DM								
RF	A3	IR@W[rt]		IR@W[rd]	IR@W[rd]	IR@W[rt]			0x1F	IR@W[rd]
	WD	DR@W		AO@W	AO@W	AO@W			PC4@W	PC4@W

S1: 全部指令的数据通路

S2: 综合全部指令的数据通路

- 水平方向归并
 - 去除冗余输入来源
- 在每个输入来源个数大于1的输入端前增加1个MUX
 - 注意：同时需要相应的控制信号
- 特例：NPC的i16和i26归并为i26

6	5	5	5	5	6
Op	Rs	Rt	Rd	Shamt	Func

Op	Rs	Rt	16 bit Address or Immediate
----	----	----	-----------------------------

Op	26 bit Address (for Jump Instruction)
----	--

部件	输入	输入来源			MUX	控制
PC						
ADD4		PC				
IM		PC				
PC		ADD4	NPC	RF.RD1	M1	PCSel
IR@D		IM				
PC4@D		ADD4				
RF	A1	IR@D[rs]				
	A2	IR@D[rt]				
EXT		IR@D[i16]				
CMP	D1	RF.RD1				
	D2	RF.RD2				
NPC	PC4	PC4@D				
	I26	IR@D[i26]				
IR@E		IR@D				
PC4@E		PC4@D				
RS@E		RF.RD1				
RT@E		RF.RD2				
EXT@E		EXT				
ALU	A	RS@E				
	B	EXT@E	RT@E		M2	BSel
IR@M		IR@E				
PC4@M		PC4@E				
AO@M		ALU				
RT@M		RT@E				
DM	A	AO@M				
	WD	RT@M				
IR@W		IR@M				
PC4@W		PC4@M				
AO@W		AO@M				
DR@W		DM				
RF	A3	IR@W[rt]	IR@W[rd]	0x1F	M3	WRSel
	WD	DR@W	AO@W	PC4@W	M4	WDSel

提纲

1. 集中式译码与分布式译码
2. 基础指令集与流水线设计规划
3. 无转发数据通路构造方法
4. 功能部件控制信号构造方法
5. 数据冒险的一般性分析方法
6. 暂停机制生成方法
7. 转发机制生成方法
8. 控制冒险处理机制



功能部件控制信号构造方法

- 控制信号产生基本原理：与单周期相同
- 分歧点：集中式译码？分布式译码？
 - ◆ 集中式：
 - 与单周期控制器设计完全相同
 - 流水控制信号
 - ◆ 分布式：多个小控制器
 - 每个小控制器的设计思路与单周期相同
 - 流水指令

提纲

1. 集中式译码与分布式译码
2. 基础指令集与流水线设计规划
3. 无转发数据通路构造方法
4. 功能部件控制信号构造方法
5. 数据冒险的一般性分析方法
6. 暂停机制生成方法
7. 转发机制生成方法
8. 控制冒险处理机制

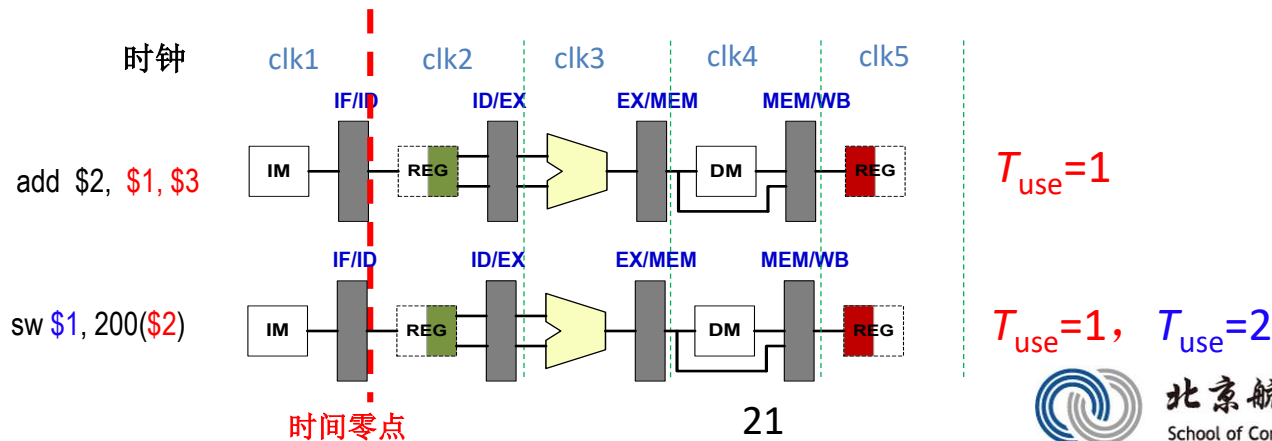


数据冒险：需求与供给时间能否匹配？

- ❑ 需求者：需要引用reg值做源操作数的部件
 - ◆ D级CMP：beq指令
 - ◆ E级ALU：运算类指令
 - ◆ M级DM：store类指令
- ❑ 供给者：保存有reg新结果的流水线寄存器
 - ◆ 运算类指令ALU的结果：EX/MEM、MEM/WB
 - ◆ load类指令取得的数据：MEM/WB
- ❑ 数据冒险可以转化为：需求与供给的时间匹配
 - ◆ 无法匹配：暂停
 - ◆ 可以匹配：转发

需求者的最晚时间模型

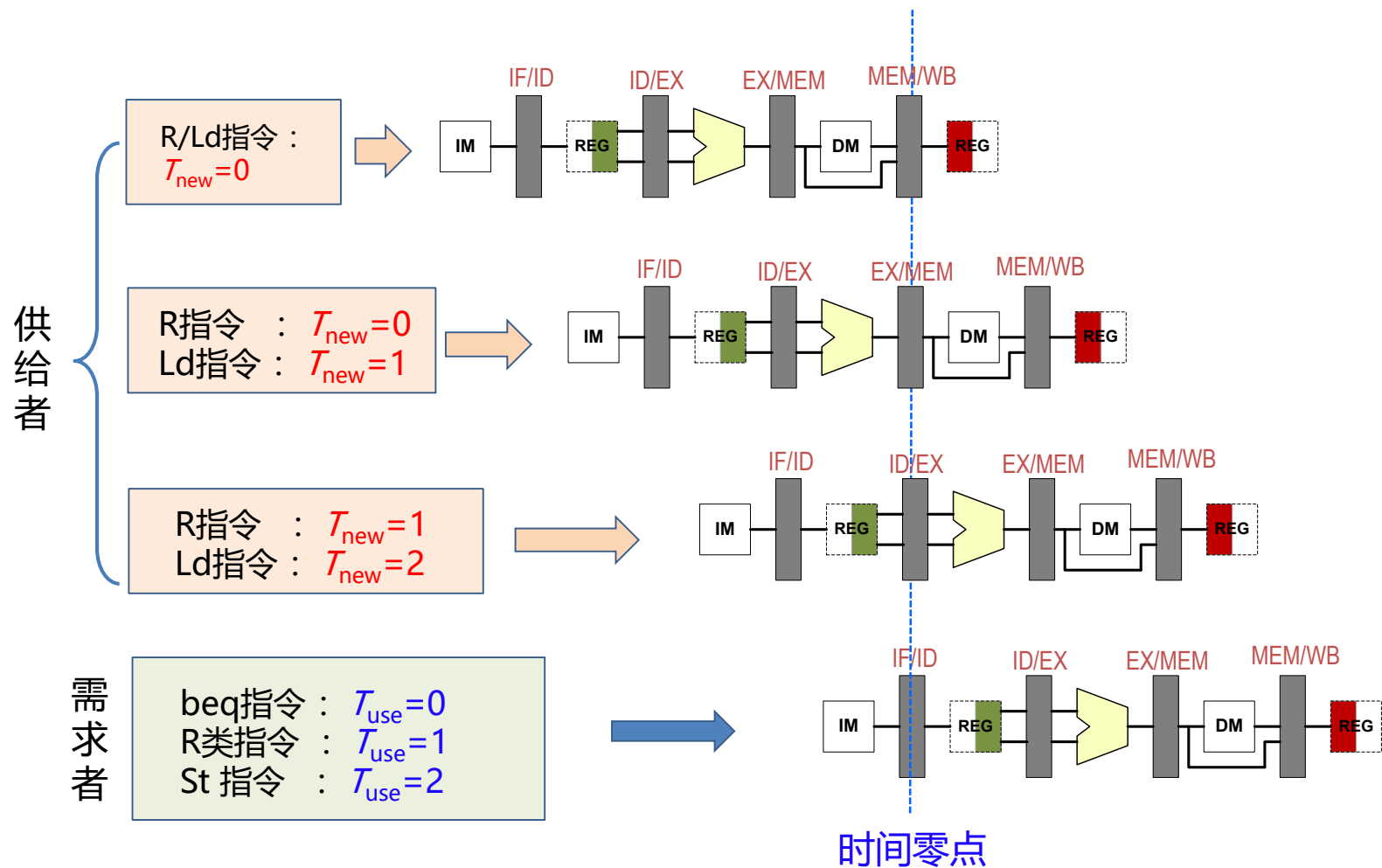
- ❑ **时间零点：需求指令**进入IF/ID寄存器（进入流水线D级）
- ❑ T_{use} (time-to-use): 从时间零点起，需求指令其后的某个功能部件再经过多少cycle就必须使用相应的寄存器值
 - ◆ 特点：同一条指令可以有2个不同的 T_{use}
 - ◆ R型计算类指令的 T_{use} 为1：
 - rs/rt值：最晚被ID/EX寄存器驱动（**ALU运算需要**）
 - ◆ store型计算类指令的 T_{use} 分别为1和2
 - rs值：最晚被ID/EX寄存器驱动（**ALU计算DM地址需要**）
 - rt值：最晚被EX/MEM寄存器驱动（**DM写入数据需要**）
 - ◆ Q: **Beq指令的 T_{use} ?**



供给者的最早时间模型

- T_{new} (time-to-new) : (从时间零点计算) 供给者需要多少cycle能够产生需求者需要的寄存器值。
 - ◆ 供给者可能处于ID/EX、EX/MEM、MEM/WB
 - ◆ T_{new} 与指令类型和指令当前所处的流水级相关
 - ◆ 例如, R型计算类指令的 T_{new} :
 - 1: 指令位于ID/EX, ALU正在计算 (1个周期后, 写入EX/MEM寄存器) 。
 - 0: 指令位于EX/MEM和MEM/WB (直接由对应流水线寄存器提供)
 - ◆ 例如, load型指令的 T_{new} :
 - 2: 指令位于ID/EX, 尚未读取存储器 (2个周期后, 写入MEM/WB寄存器) 。
 - 1: 指令位于EX/MEM, 正在读取存储器 (1个周期后, 写入MEM/WB寄存器)
 - 0: 指令位于MEM/WB, 包含了结果 (MEM/WB寄存器直接提供)

供给者的最早时间模型



数据冒险的策略分析

- $T_{\text{new}} = 0$: 表明结果已经产生
 - ◆ 指令位于MEM/WB: 那么虽然结果尚未最终写入RF, 但RF设计使得W结果可以被正确的读出, 因此无需任何操作
 - ◆ 指令位于EX/MEM: 通过转发解决数据相关
- $T_{\text{new}} \neq 0$: 表明结果尚未产生
 - ◆ $T_{\text{new}} > T_{\text{use}}$: 不可能及时供给数据, 只能暂停流水线
 - ◆ $T_{\text{new}} \leq T_{\text{use}}$: 由于结果产生时间早于读取时间, 因此当结果产生后可以通过转发解决数据冒险
- 暂停: $T_{\text{new}} > T_{\text{use}}$
- 转发: $T_{\text{new}} = 0$ & 指令不在MEM/WB 或 $T_{\text{new}} \leq T_{\text{use}}$
 - ◆ 由于在ID级、EX级、MEM级均涉及操作数读取, 因此分析量大
- 思路: 先解决暂停, 再解决转发
 - ◆ 去除暂停部分后, 有助于减少转发的分析量

提纲

1. 集中式译码与分布式译码
2. 形式建模综合方法概述
3. 基础指令集与流水线设计规划
4. 无转发数据通路构造方法
5. 功能部件控制信号构造方法
6. 数据冒险的一般性分析方法
7. 暂停机制生成方法
8. 转发机制生成方法
9. 控制冒险处理机制



构造 T_{use} 表和 T_{new} 表

□ 示例指令集

- ◆ add, sub: cal_r类, 即R型计算类指令
- ◆ andi, ori: cal_i类, 即I型计算类指令
- ◆ beq: b_type类
- ◆ lw: ld类
- ◆ sw: st类

□ 会产生结果的指令: cal_r类, cal_i类, load类

□ 用指令分类可以大幅度简化分析工作量

```
cal_r = add  + sub  + or   + ...  
cal_i = addi + ori  + andi + ...  
ld    = lw   + lb   + lh   + ...  
st     = sw   + sb   + ...
```

构造Tuse表和Tnew表

- Tuse表：以指令位于IF/ID来分析
 - ◆ 流水线在指令被存储在IF/ID后就决定是否需要暂停
- Tnew表：只需分析处于ID/EX和EX/MEM这2种情况
 - ◆ IF/ID：无任何结果
 - ◆ MEM/WB：如果结果到达该阶段，**则通过RF设计可以消除数据冒险**

IF/ID当前指令		
指令类型	源寄存器	Tuse
beq	rs/rt	0
cal_r	rs/rt	1
cal_i	rs	1
load	rs	1
store	rs	1
store	rt	2

ID/EX (Tnew)			EX/MEM (Tnew)			MEM/WB (Tnew)		
cal_r 1/rd	cal_i 1/rt	load 2/rt	cal_r 0/rd	cal_i 0/rt	load 1/rt	cal_r 0/rd	cal_i 0/rt	load 0/rt

构造阻塞矩阵

□ 凡是 $T_{\text{new}} > T_{\text{use}}$ 的指令序列，都需要阻塞

□ 示例

- ◆ **序列1 cal_r – beq**: 由于cal_r需要1个cycle后才能得到结果，而beq现在就需要读取寄存器，因此只能暂停
- ◆ **序列2 load – store**: store要读取的rs将在1个cycle后必须使用，而位于ID/EX的load必须经过2个cycle后才能读出DM的数据，因此只能暂停

IF/ID当前指令			ID/EX (T_{new})			EX/MEM (T_{new})
指令类型	源寄存器	T_{use}	cal_r 1/rd	cal_i 1/rt	load 2/rt	load 1/rt
beq	rs/rt	0	暂停	暂停	暂停	暂停
cal_r	rs/rt	1			暂停	
cal_i	rs	1			暂停	
load	rs	1			暂停	
store	rs	1			暂停	



暂停控制信号

建立分类指令的暂停条件

stall_b = IR_D.op==beq & cal_r_E & ((IR_D.rs==IR_E.rd) |
(IR_D.rt==IR_E.rd)) |

。 。 。

stall_cal_r = cal_i_D & load_E & ((IR_D.rs==IR_E.rt) |
(IR_D.rt==IR_E.rt))

建立最终的暂停条件

stall = stall_b + ...

建立控制信号

PC.en = !stall

IR_D

IF/ID当前指令			ID/EX (T _{new})			EX/MEM (T _{new})
指令 类型	源寄 存器	T _{use}	cal_r 1/rd	cal_i 1/rt	load 2/rt	load 1/rt
beq	rs/rt	0	暂停	暂停	暂停	暂停
cal_r	rs/rt	1			暂停	
cal_i	rs	1			暂停	
load	rs	1			暂停	
store	rs	1			暂停	

暂停控制信号

■ 执行动作：

- ◆ ①冻结IF/ID：sub继续被保存
- ◆ ②清除ID/EX：指令全为0，等价于插入NOP
- ◆ ③禁止PC：防止PC继续计数，PC应保持为PC+4



```
IR_D.en  = !stall  
IR_E.clr =  stall  
PC.en    = !stall
```

提纲

1. 集中式译码与分布式译码
2. 基础指令集与流水线设计规划
3. 无转发数据通路构造方法
4. 功能部件控制信号构造方法
5. 数据冒险的一般性分析方法
6. 暂停机制生成方法
7. 转发机制生成方法
8. 控制冒险处理机制



转发机制生成方法

- S1: 根据Tuse和Tnew构造每个转发MUX
- S2: 构造每个转发MUX的控制信号表达式



根据Tuse和Tnew构造每个转发MUX

- 按照指令分类，梳理指令在各级流水线的rs或rt读需求
 - D级CMP，E级ALU，M级的DM
- 每个读需求对应1个转发MUX
- 转发MUX的输入端0：固定为本级流水线寄存器
 - 对于ID级来说，输入0则来自是RF的输出
- 【建议】命名应遵循一定的规则

流水级	源寄存器	涉及指令			
D级 (CMP)	rs	beq	MFRSD	ForwardRSD	RF.RD1
	rt	beq	MFRTD	ForwardRTD	RF.RD2
E级 (ALU)	rs	cal_r, cal_i, ld, st	MFRSE	ForwardRSE	RS@E
	rt	cal_r, st	MF RTE	ForwardRTE	RT@E
M级 (DM)	rt	st	MFRTM	ForwardRTM	RT@M
			转发MUX	控制信号	输入0



根据Tuse和Tnew构造每个转发MUX

- 用Tnew中剔除非0后的表项，来分析转发MUX的后续输入
 - 注意：并非有N个0项就有N个后续输入

ID/EX (Tnew)			EX/MEM (Tnew)			MEM/WB (Tnew)		
cal_r 1/rd	cal_i 1/rt	load 2/rt	cal_r 0/rd	cal_i 0/rt	load 1/rt	cal_r 0/rd	cal_i 0/rt	load 0/rt

流水级	源寄存器	涉及指令
D级 (CMP)	rs	beq
	rt	beq
E级 (ALU)	rs	cal_r, cal_i, ld, st
	rt	cal_r, st
M级(DM)	rt	st

MFRSD	ForwardRSD	RF.RD1
MFRTD	ForwardRTD	RF.RD2
MFRSE	ForwardRSE	RS@E
MFRTE	ForwardRTE	RT@E
MFRTM	ForwardRTM	RT@M
转发MUX	控制信号	输入0

EX/MEM (Tnew)		MEM/WB (Tnew)		
cal_r 0/rd	cal_i 0/rt	cal_r 0/rd	cal_i 0/rt	load 0/rt

根据Tuse和Tnew构造每个转发MUX

构造每个转发MUX的后续输入

示例：MFRSD

- EX/MEM: cal_r和cal_i指令都是计算类，结果必然由ALU产生，因此均填入**AO**。即代表MFRSD的输入来自EX/MEM中的AO寄存器

- AO: 代表ALUOut

- MEM/WB: 由于这是最后一级，即所有指令的结果都通过M4(MUX)回写，因此均填入**M4**。

流水级	源寄存器	涉及指令				EX/MEM (Tnew)		MEM/WB (Tnew)		
						cal_r 0/rd	cal_i 0/rt	cal_r 0/rd	cal_i 0/rt	load 0/rt
D级 (CMP)	rs	beq	MFRSD	ForwardRSD	RF.RD1	AO	AO	M4	M4	M4
	rt	beq	MFRTD	ForwardRTD	RF.RD2					
E级 (ALU)	rs	cal_r, cal_i, ld, st	MFRSE	ForwardRSE	RS@E					
	rt	cal_r, st	MF RTE	Forward RTE	RT@E					
M级 (DM)	rt	st	MFRTM	ForwardRTM	RT@M					
			转发MUX	控制信号	输入0					

根据Tuse和Tnew构造每个转发MUX

- 根据前例，可以构造出全部的转发MUX
 - ◆ 当store类指令位于EX/MEM时，不可能再有同级的指令了
 - ◆ 因此有2项空白
- 构造更大指令集时，需求项及供给项可能均需要调整
 - ◆ 但由于MIPS的指令功能到格式映射的相对统一，因此调整不会剧烈
 - ◆ 再次从一个侧面反映出MIPS指令集设计的水平！

流水级	源寄存器	涉及指令				EX/MEM (Tnew)		MEM/WB (Tnew)		
						cal_r 0/rd	cal_i 0/rt	cal_r 0/rd	cal_i 0/rt	ld 0/rt
D级 (CMP)	rs	beq	MFRSD	ForwardRSD	RF.RD1	AO	AO	M4	M4	M4
	rt	beq	MFRTD	ForwardRTD	RF.RD2	AO	AO	M4	M4	M4
E级 (ALU)	rs	cal_r, cal_i, ld, st	MFRSE	ForwardRSE	RS@E	AO	AO	M4	M4	M4
	rt	cal_r, st	MFRTE	ForwardRTE	RT@E	AO	AO	M4	M4	M4
M级 (DM)	rt	st	MFRTM	ForwardRTM	RT@M			M4	M4	M4
			转发MUX	控制信号	输入0					

根据Tuse和Tnew构造每个转发MUX

输入	来源
0	RF.RD1
1	AO@M
2	M4@W

- 对于MFRSD来说，其最终有效输入为3个
 - 输入0～RF.RD1；输入1～AO；输入2～M4
- 实现转发MUX时，需要剔除每级中的重复项
- 在表格中保留重复项的目的在于有利于建立后续的控制信号方程

MFRSD	ForwardRSD	RF.RD1	AO	AO	M4	M4	M4
MFRTD	ForwardRTD	RF.RD2	AO	AO	M4	M4	M4
MFRSE	ForwardRSE	RS@E	AO	AO	M4	M4	M4
MF RTE	Forward RTE	RT@E	AO	AO	M4	M4	M4
MFRTM	ForwardRTM	RT@M			M4	M4	M4
转发MUX	控制信号	输入0					

MFRSD	ForwardRSD	RF.RD1	AO@M	M4
MFRTD	ForwardRTD	RF.RD2	AO@M	M4
MFRSE	ForwardRSE	RS@E	AO@M	M4
MF RTE	Forward RTE	RT@E	AO@M	M4
MFRTM	ForwardRTM	RT@M	M4	
转发MUX	控制信号	输入0	输入1	输入2



数据通路增加转发MUX

- 遍历数据通路的功能部件，找到所有出现rs和rt的需求点
- 注意ALU.B和RT@M，这两个rt需求是相同的！
 - 这意味着它们应该来自同一个转发MUX

部件	输入	输入来源			MUX	控制
PC						
ADD4		PC				
IM		PC				
PC		ADD4	NPC	RF.RD1	M1	PCSel
IR@D		IM				
PC4@D		ADD4				
RF	A1	IR@D[rs]				
	A2	IR@D[rt]				
EXT		IR@D[i16]				
CMP	D1	RF.RD1				
	D2	RF.RD2				
NPC	PC4	PC4@D				
	I26	IR@D[i26]				
IR@E		IR@D				
PC4@E		PC4@D				
RS@E		RF.RD1				
RT@E		RF.RD2				
EXT@E		EXT				
ALU	A	RS@E				
	B	EXT@E	RT@E		M2	BSel
IR@M		IR@E				
PC4@M		PC4@E				
AO@M		ALU				
RT@M		RT@E				
DM	A	AO@M				
	WD	RT@M				
IR@W		IR@M				
PC4@W		PC4@M				
AO@W		AO@M				
DR@W		DM				
RF	A3	IR@W[rt]	IR@W[rd]	0x1F	M3	WRSel
	WD	DR@W	AO@W	PC4@W	M4	WDSel

数据通路增加转发MUX

- 遍历数据通路的功能部件，找到所有出现rs和rt的需求点
- 将对应的输入替换为转发MUX的输出
 - 注意ALU.B和RT@M，这两个rt需求是相同的，因此应该用同一个转发MUX
 - 注意：对于PC，由于构造转发MUX的示例指令集中没有jal/jalr指令，因此缺乏相应的转发MUX与之对应

MFRSD	RF.RD1	AO@M	M4
MFRTD	RF.RD2	AO@M	M4
MFRSE	RS@E	AO@M	M4
MFRTE	RT@E	AO@M	M4
MFRTM	RT@M	M4	
转发MUX	输入0	输入1	输入2

部件	输入	输入来源			MUX	控制
PC						
ADD4		PC				
IM		PC				
PC		ADD4	NPC	RF.RD1	M1	PCSel
IR@D		IM				
PC4@D		ADD4				
RF	A1	IR@D[rs]				
	A2	IR@D[rt]				
EXT		IR@D[i16]				
CMP	D1	MFRSD				
	D2	MFRTD				
NPC	PC4	PC4@D				
	I26	IR@D[i26]				
IR@E		IR@D				
PC4@E		PC4@D				
RS@E		RF.RD1				
RT@E		RF.RD2				
EXT@E		EXT				
ALU	A	MFRSE				
	B	EXT@E	MFRTE		M2	BSel
IR@M		IR@E				
PC4@M		PC4@E				
AO@M		ALU				
RT@M		MFRTE				
DM	A	AO@M				
	WD	MFRTM				
IR@W		IR@M				
PC4@W		PC4@M				
AO@W		AO@M				
DR@W		DM				
RF	A3	IR@W[rt]	IR@W[rd]	0x1F	M3	WRSel
	WD	DR@W	AO@W	PC4@W	M4	WDSel

转发机制生成方法

- S1: 根据Tuse和Tnew构造每个转发MUX
- S2: 构造每个转发MUX的控制信号表达式



S2: 构造每个转发MUX的控制信号表达式

控制信号表达式构造的基本思路

- 精确控制每个转发选择
- 所有非转发的条件都用于选择输入0

输入	来源
0	RF.RD1
1	AO@M
2	M4@W

流水级	源寄存器	涉及指令				EX/MEM (Tnew)		MEM/WB (Tnew)		
						cal_r 0/rd	cal_i 0/rt	cal_r 0/rd	cal_i 0/rt	ld 0/rt
IF/ID	rs	beq	MFRSD	ForwardRSD	RF.RD1	AO	AO	M4	M4	M4
	rt	beq	MFRTD	ForwardRTD	RF.RD2	AO	AO	M4	M4	M4
ID/EX	rs	cal_r, cal_i, ld, st	MFRSE	ForwardRSE	ID/EX.RS	AO	AO	M4	M4	M4
	rt	cal_r, st	MF RTE	Forward RTE	ID/EX.RT	AO	AO	M4	M4	M4
EX/MEM	rt	st	MFRTM	ForwardRTM	EX/MEM.RT			M4	M4	M4
			转发MUX	控制信号	输入0					

示例：always语句建模MF_RS_D的控制信号表达式

宏定义提高可读性和一致性

- ◆ ``define op 31:26`
- ◆ ``define rs 25:21`

输入	来源
0	RF.RD1
1	AO@M
2	M4@W

High

↓ 优先级

Low

```

assign ForwardRSD =
    IR_D[`op]==beq & cal_r_M & IR_D[`rs]==IR_M[`rd] ? 1 :
    IR_D[`op]==beq & cal_i_M & IR_D[`rs]==IR_M[`rt] ? 1 :
    IR_D[`op]==beq & cal_r_W & IR_D[`rs]==IR_W[`rd] ? 2 :
    IR_D[`op]==beq & cal_i_W & IR_D[`rs]==IR_W[`rt] ? 2 :
    IR_D[`op]==beq & load_W & IR_D[`rs]==IR_W[`rt] ? 2 :
    0 ;
        
```

顺序代表优先级

- ◆ 多条前序指令写同一个寄存器

						EX/MEM (Tnew)		MEM/WB (Tnew)		
流水级	源寄存器	涉及指令				cal_r 0/rd	cal_i 0/rt	cal_r 0/rd	cal_i 0/rt	ld 0/rt
IF/ID	rs	beq	MFRSD	ForwardRSD	RF.RD1	AO	AO	M4	M4	M4
	rt	beq	MFRSD	ForwardRTD	RF.RD2	AO	AO	M4	M4	M4
			转发MUX	控制信号	输入0					

提纲

1. 集中式译码与分布式译码
2. 形式建模综合方法概述
3. 基础指令集与流水线设计规划
4. 无转发数据通路构造方法
5. 功能部件控制信号构造方法
6. 数据冒险的一般性分析方法
7. 暂停机制生成方法
8. 转发机制生成方法
9. 控制冒险处理机制



控制冒险处理机制

- ❑ 分歧点1: 是否实现延迟槽
 - ◆ 如果实现, 需要注意jal及jalr指令应保存PC+8(或者更多, 取决于是否前移)
- ❑ 分歧点2: 执行是否前移至ID阶段
- ❑ 课程要求: 实现延迟槽, 并且前移至ID阶段

延迟槽 前移	是	否
	是	B类: 有条件清除IF/ID J类: 无条件清除IF/ID
否	硬件无需处理 编译调度指令	B类: 有条件清除IF/ID、ID/EX J类: 无条件清除IF/ID、ID/EX、EX/MEM

Q: JAL、JALR的回写寄存器怎么处理呢?

A: 视同普通的回写

总结

- 流水线设计的复杂性在于对冲突的覆盖性分析
 - ◆ 覆盖性分析使得设计与测试均具备了完整的正向设计的理论基础
 - ◆ 分析避免了频繁的、无谓的试错
 - ◆ 提高开发效率，确保开发正确性
- 教科书中存在的不足
 - ◆ 没有覆盖性分析，难以满足大规模指令集的流水线设计与测试需求
 - ◆ 没有覆盖性分析，必然遗漏部分数据相关
 - 如lw~sw指令，必须暂停。但事实上可以通过增加转发MUX实现不停顿
 - 如cal~sw指令，未明确指出处理机制
 - ◆ RF内部的数据转发语焉不详
 - 内部转发：当读和写同一个寄存器时，读出的数据应该为要写入的数据