Memory module

ROM and RAM, Memory mapping signals
T-register

RAM: CY62256N
ROM: AT28C256

74LS377
SN74LS377NG4

#MARi	1	G# VCC	20
A0	2	1Q 8Q	19	A7
D0	3	1D 8D	18	D7
D1	4	2D 7D	17	D6
A1	5	2Q 7Q	16	A6
A2	6	3Q 6Q	15	A5
D2	7	3D 6D	14	D5
D3	8	4D 5D	13	D4
A3	9	4Q 5Q	12	CLK
	10	GND CLK	11	CLK

74LS377_2
SN74LS377NG4

#MARi	1	G# VCC	20
A8	2	1Q 8Q	19	A15
D8	3	1D 8D	18	D15
D9	4	2D 7D	17	D14
A9	5	2Q 7Q	16	A14
A10	6	3Q 6Q	15	A13
D10	7	3D 6D	14	D13
D11	8	4D 5D	13	D12
A11	9	4Q 5Q	12	CLK
	10	GND CLK	11	CLK

LED_BAR_A0-7
A7 A6 A5 A4 A3 A2 A1 A0

LED_BAR_A8-15
A15 A14 A13 A12 A11 A10 A9 A8

AU1
Duncatron bus

Vcc	1		80	Vcc
CLK	2		79	RESET
#Ai	3		78	!RESET
#ALUo	4		77	D0
#Ii	5		76	D1
#PCo	6		75	D2
PCinc	7		74	D3
#MARi	8		73	D4
#Ro	9		72	D5
MC_RESET	10		71	D6
#T_HL	11		70	D7
#T_IO	12		69	D8
T_EN	13		68	D9
Ri	14		67	D10
#Fi	15		66	D11
SPdec	16		65	D12
SPinc	17		64	D13
#Bi	18		63	D14
PCi	19		62	D15
#Ao	20		61	I0
#OUTen	21		60	I1
#INen	22		59	I2
#X	23		58	I3
#Fo	24		57	I4
HALT	25		56	I5
#SPo	26		55	I6
#Bo	27		54	I7
#MICRO_CLR	28		53	FLAG_C
MMREAD	29		52	FLAG_Z
MMWRITE	30		51	A0
Uout_BUS	31		50	A1
Uin_BUS	32		49	A2
#RETI	33		48	A3
INT	34		47	A4
in0	35		46	A5
a3/o0	36		45	A6
MEMMAP	37		44	A7
VRAM_EN	38		43	_A8
_A10	39		42	_A9
GND	40		41	GND

JP7 Z7 JP6 Z6 JP5 Z5 JP4 Z4 JP3 Z3 JP2 Z2 JP1 Z1 JP0 Z0

#MARi and #Ro are now
ACTIVE LOWS (update code)

R3 1K LED2 3ARB9HCB RAM_CE
R4 1K LED3 3ARB9HCB ROM_CE

NAND
XD74LS00

T_EN	1	1A VCC	14
#T_IO	2	1B	13	!#T_HL
!OUTPUT	3	1Y 4A	12	T_EN
PULSE	4	4B	11	OE_LOW
RI	5	2A 4Y	10	!#T_HL
#WE	6	2B 3A	9	T_EN
	7	2Y 3B	8	OE_HIGH
		GND 3Y		

NOR
XD74LS02

LOAD	1	1Y VCC	14
	2	1A 4Y	13	LOAD_S0
!T_EN	3	1B 4B	12	#X
	4	2Y 4A	11	!LOAD
	5	2A 3Y	10	
T_EN	6	2B 3B	9	LOAD
	7	GND 3A	8	

NAND2
XD74LS00

A15	1	1A VCC	14
	2	1B 4A	13	!A15
!A15	3	1Y 4B	12	MEMMAP
#T_HL	4	2A 4Y	11	ROM_CE
	5	2B 3A	10	A15
!#T_HL	6	2Y 3B	9	MEMMAP
	7	GND 3Y	8	RAM_CE

LOW when a match

CMP
CD74HC688E

A8	1	E# VCC	20
Z0	2	A0 Y	19	MEMMAP
A9	3	B0 B7	18	Z7
Z1	4	A1 A7	17	A15
A10	5	B1 B6	16	Z6
Z2	6	A2 A6	15	A14
A11	7	B2 B5	14	Z5
Z3	8	A3 A5	13	A13
	9	B3 B4	12	Z4
	10	GND A4	11	A12

R1 1K PULSE C13 0.01uf CLK

T/R#:
Low = B to A
High = A to B

S0,S1:
0,0 = HOLD
1,1 = LOAD
0,1 = Shift right
1,0 = Shift left

T_245
DM74LS245N

#T_IO	1	T/R# VCC	20
T_D0	2	A0 OE#	19	OE_LOW
T_D1	3	A1 B0	18	D0
T_D2	4	A2 B1	17	D1
T_D3	5	A3 B2	16	D2
T_D4	6	A4 B3	15	D3
T_D5	7	A5 B4	14	D4
T_D6	8	A6 B5	13	D5
T_D7	9	A7 B6	12	D6
	10	GND B7	11	D7

T_245_2
DM74LS245N

#T_IO	1	T/R# VCC	20
T_D0	2	A0 OE#	19	OE_HIGH
T_D1	3	A1 B0	18	D8
T_D2	4	A2 B1	17	D9
T_D3	5	A3 B2	16	D10
T_D4	6	A4 B3	15	D11
T_D5	7	A5 B4	14	D12
T_D6	8	A6 B5	13	D13
T_D7	9	A7 B6	12	D14
	10	GND B7	11	D15

T_299
74LS299PC

LOAD_S0	1	S0 VCC	19	LOAD
!OUTPUT	2	OE1# S1	18	
	3	OE2# SL	17	
	4	G/QG QH	16	
T_D6	5	E/QE H/QH	15	T_D7
T_D4	6	C/QC F/QF	14	T_D5
T_D2	7	A/QA D/QD	13	T_D3
T_D0	8	QA B/QB	12	T_D1
!RESET	9	CLR# CLK	11	CLK
	10	GND SR		

RAM
CY62256NLL-70PXC

A5	1	A5 VCC	28
A6	2	A6 WE#	27	#WE
A7	3	A7 A4	26	A4
A8	4	A8 A3	25	A3
A9	5	A9 A2	24	A2
A10	6	A10 A1	23	A1
A11	7	A11 A0	22	#Ro
A12	8	A12 OE#	21	A0
A13	9	A13 CE#	20	RAM_CE
A14	10	A14 I/O7	19	D7
D0	11	I/O0 I/O6	18	D6
D1	12	I/O1 I/O5	17	D5
D2	13	I/O2 I/O4	16	D4
	14	GND I/O3	15	D3

ROM
AT28C256-20DM/883

A14	1	A14 VCC	28
A12	2	A12 WE#	27	#WE
A7	3	A7 A13	26	A13
A6	4	A6 A8	25	A8
A5	5	A5 A9	24	A9
A4	6	A4 A11	23	A11
A3	7	A3 OE#	22	#Ro
A2	8	A2 A10	21	A10
A1	9	A1 CE#	20	ROM_CE
A0	10	A0 I/O7	19	D7
D0	11	I/O0 I/O6	18	D6
D1	12	I/O1 I/O5	17	D5
D2	13	I/O2 I/O4	16	D4
	14	GND I/O3	15	D3

SPI port?
Can use shift register as input! :)

R2 1K LED1 3ARB9HCB MEMMAP

C1 0.1uf C2 0.1uf C4 0.1uf C3 0.1uf C8 0.1uf C7 0.1uf C5 0.1uf C6 0.1uf C12 0.1uf C11 0.1uf C9 0.1uf

TITLE: Sheet_1
REV: 1.0
Company: Your Company
Sheet: 1/1
Date: 2024-02-02 Drawn By: Duncan Scott
EasyEDA