# 第三章 28nm标准单元库时序预测

## 3.1 标准单元库

### 3.1.1 标准单元方法

在半导体设计中，标准单元方法（Standard Cell Methodology）是一种用于专用集成电路（Application Specific Integrated Circuits，ASICs）的数字逻辑的设计方法。标准单元方法可以将一个低级的超大规模集成电路（Very-Large-Scale Integration，VSLI）的版图封装成一个抽象的逻辑表示形式，比如与非门。这就可以让电路设计师更专注于数字设计，而其他的设计师更专注于物理设计。随着半导体制造业的进步，标准单元方法使得成千上万的逻辑功能相对简单的电路，得以缩放到复杂的百万门级的SOC上。

标准单元是通过晶体管通过组合互联构成具有布尔逻辑函数，比如AND、OR、XOR、XNOR等，存储单元，比如Flip-Flop和Latch。最简单的标准单元比如NAND、NOR、XOR等布尔逻辑功能，尽管更为常用的是一些复杂的布尔逻辑单元：全加器，D触发器等。标准单元的布尔逻辑功能就是它的逻辑视图，其逻辑行为通常表现为真值表、布尔代数方程和状态转换表。，其中布尔代数方程通常用于组合逻辑，状态转换表通常用于顺序逻辑。

通常，标准单元的初始设计开发在晶体管级，以晶体管网表或电路的视图的形式。网表是晶体管、晶体管连接、端口与外部电路连接的节点描述。电路图一般都是通过一些计算机辅助设计（Computer aided design，CAD）和电子设计自动化（Electronic design automation，EDA）的程序提供的图形化界面（Graphical User Interface，GUI）来表示。

标准单元除了有数字逻辑的表示，版图（layout）作为最接近实际产品的视图，是由基础层（layer）组成的，基础层对应晶体管的不同结构，布线层（wiring layers）和通过层（via layer）相互连接，然后连接晶体管端口形成的。

最后，布局和线路（PNR）工具可以用来组合的一切，合成的超大规模集成电路的布局，以自动化的方式，从更高层次设计的网表和平面图。

此外，还可以使用许多其他CAD工具来验证单元格视图和模型的其他方面。和其他文件可以创建支持各种工具，利用标准细胞过多的其他原因。为支持所有标准单元变化而创建的所有这些文件统称为标准单元库。

### 3.1.2 标准单元库

|  |  |  |
| --- | --- | --- |
| 标准单元库 | 组合逻辑单元 | Inverter反相器  NAND、NOR 与非、或非门  AND、OR 与、或逻辑  BUFFER 缓冲器  MUX 多路选择器  XOR、XNOR 异或、同或逻辑  AOI、OAI 与或非、或与非  ADD 加法器包括全加器、半加器  Clock Cell 包括Clock BUFFER、Clock Inverter、Clock NAND等 |
| 时序逻辑单元 | Flip-Flop 触发器  LATCH 锁存器 |
| 特殊类型单元 | FILL cells 填充单元  Tie High、Tie Low cells 电源连接单元  Delay cells 信号延迟单元  二极管单元  Tap cells 阱连接单元  FDCAP cells 去耦合单元 |
| 低功耗辅助设计单元 | Clock Gating 单元  Power Gating单元  Isolation Cell 隔离单元  Retention Cell 信号保持单元  Level Shift 电平转换单元  Always-on 单元  Well Bias Cell 阱电位偏置单元 |

不仅不同工艺尺寸都会有不同的标准单元库，有时相同的工艺尺寸都会有不同的多套标准单元库供用户选择，它们在不同的电路密度和速度上有着相应的优势。例如中芯国际（SMIC）深亚微米制程下就包括一套高性能的超高速VHS（Very High Speed）单元库、一套密度和速度优化的高速HS（High Speed）单元库和一套高密度HD（High Density）单元库。

一般而言，标准单元库中包含以下四大类单元：组合逻辑单元、时序逻辑单元、特殊类型单元和PMK（Power Management Kit）低功耗辅助设计逻辑单元。

### 3.1.3 标准单元库流程

传统标准单元库建立的流程如图：

1. 制定设计方案：在设计设计28nm标准单元之前，我们首先要制定设计方案。主要包括：1）需要设计的单元库器件，2）标准单元库的高度（track数），3）在版图中版面两单元间的中心距距离（Pitch），4）MOSFET中PMOS与NMOS的宽度比，5）单元库器件的驱动能力
2. 单元电路设计：合理设计出所需要的全部库单元的电路结构和器件尺寸，同时单元的功能和时序也需要通过SPICE等工具进行的相关的验证。
3. 单元版图设计：绘制出所有库单元的版图，并使其满足面积最小，同时所有的电路单元保持高度一致。版图验证主要通过DRC（Design Rule Check）和LVS（Layout Versus Schematic）这两步的验证。其次，还需要根据Foundry所提供的Design Rule进行物理特性的验证。
4. 库模型建立：一套完整的标准单元库仅包含电路和版图是不够的，还必须包含各种符合国际标准的可被EDA工具识别的库模型文件。对于后端设计师而言，使用各种EDA工具，利用Foundry提供的文件，对标准单元库进行仿真、验证。这些库文件主要描述了单元的时序信息、版图信息和网表信息三个方面。

|  |  |  |
| --- | --- | --- |
| 时序信息文件 | .lib | 标准单元的Synopsis的时序模型，描述了标准单元的时间、功率特性 |
| .db | .lib的二进制格式文件 |
| .tlf | 标准单元的TT、FF、SS工艺角的时序库文件 |
| 版图信息文件 | .lef | 供布局布线使用的版图文件格式，具有工艺信息和各个单元的几何特性的文件，是生成milkyway库所必需的 |
| .gdsii | 包含版图信息的文件 |
| 网表信息文件 | .cdl | 标准单元网表，用于LVS检查 |
| .v | Verilog语言格式文件 |
| .vhd | VHDL语言格式文件 |
| 符号库文件 | .slib | 标准单元的符号库文件 |

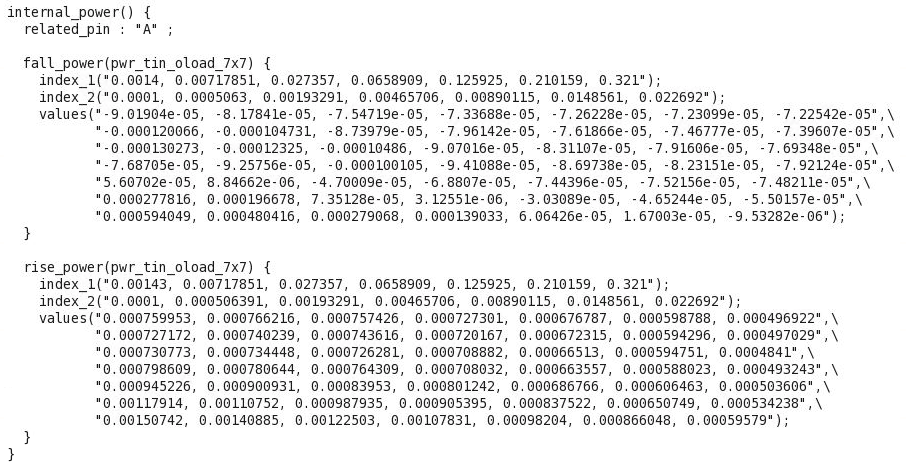
1. 库验证：标准单元库必须通过Foundry的可制造性验证，同时还要确保标准单元库模型的正确性以及应用库模型设计出来的电路在制造出来后时序、功耗、面积多能满足要求。
2. Release：设计并验证标准单元库之后，还需要撰写标准单元库的设计报告、使用手册、数据手册、等相关文档，方便Foundry使用，并将相关资料整理打包。

## 3.2 时序

### 3.2.1 Liberty库

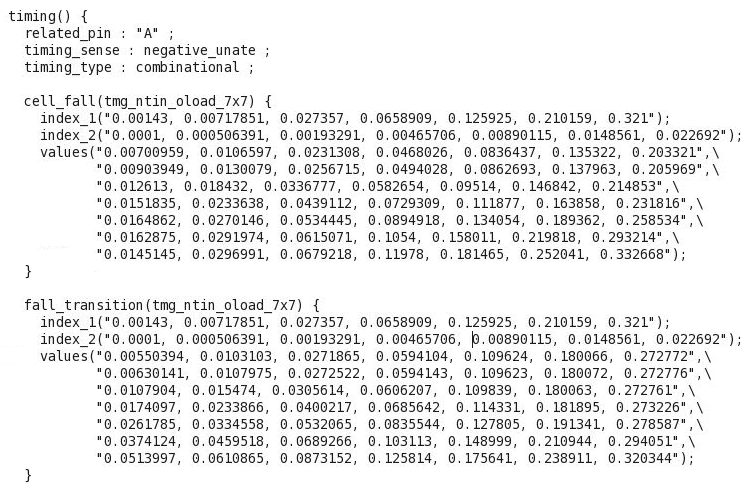
LIB时序库主要用于描述每个标准单元的基本逻辑功能、延迟时间参数等，其中延迟时间参数是通过投片测试或仿真提取获得的。LIB是由Synopsys公司开发的专门用于描述物理单元的时序以及功耗方面的信息的关键库文件内容，一般情况下，LIB文件有库的基本属性和标准单元的具体信息两个部分组成。

基本属性主要描述了标准单元库的基本信息，主要包含PVT corner（Process、Voltage、Temperature）、文件的版本号、生成日期、电路属性、器件类型、以及时序功耗的查找表等。主要用于利用这些单元的功能参数库可以进行电路的Verilog/VHDL数字仿真，确定所设计电路的功能正确与否，检查异步时序电路中的竞争和冒险等工作。

LIB文件的主要部分是每个标准单元的功能和有关的延迟参数，主要包括亚阈值电流、输入输出负载以及时序功耗的数值查询表。

如图是UMC 28nm工艺的TT1.05V25C下的标准单元库的LIB文件的INV的功耗查询表。

其中rise\_power表示管脚A从0变为1的内部功耗，但不包含开关功耗，开关功耗有电容乘以电压的平方单独运算；index\_1表示输入的传输时间；index\_2表示输出端电容；values就是当输入输出取不同值时，相对应的内部功耗值。其中横坐标是index\_1，纵坐标是index\_2。

如图是UMC 28nm工艺的TT1.05V25C下的标准单元库的LIB文件的INV的时序查询表（部分）。

其中timing就是标准单元的时序描述；cell\_fall是下降时间；fall\_transition是传输时间；index\_1是输入的传输时间；index\_2是输出端的电容；values是7×7的时序查询表，横坐标是index\_1，纵坐标是index\_2。

LIB文件包含的时序信息是非常繁多的，详见公式：

以UMC28nmHLP工艺的标准单元库而言，LIB数由以下元素组成。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 阈值电压 | 沟道长度  （纳米） | 时序模型 | 工艺角 | 电压  （V） | 温度  （℃） |
| RVT  LVT  HVT | 30  35  40 | NLDM  CCS  ECSM | FF  FFG  TT  SS  SSG | 0.855  0.90  0.945  1.05  1.15 | -40  0  25  85  125 |

其中，时序模型分为三种：

1. NLDM：非线性延时电压源，适用于40nm以上，LIB文件较小；
2. CCS：复合电流源模型，由Synopsys公司开发，适用于40nm以下，时序更为精准，LIB文件较大；
3. ECSM：有效电流源模型，有Cadence公司开发，适用于40nm以下，时序更为精准，LIB文件中等。

由此可以看出，一套标准单元库会包含数量繁多的LIB文件，大约有1425个LIB文件。

与此同时，单个LIB文件中具有整个标准单元库的所有电路的时序信息，当阈值电压为HVT，沟道长度是30nm时，就有939个标准单元电路。

由此可见，对于标准单元库而言，

### 3.2.2 数据收集

由于制造工艺的偏差，同一晶圆的芯片在同一环境下都有不同的工作状态。以MOSFET晶体管为例，尽管他们也有类似的电阻和电容，会有不同的状态，如FNFP、SNSP、TNTP、FNSP、SNFP，不同的阈值电压等参数。除了制作工艺的偏差，MOSFET晶体管的性能也受到电压和温度的影响。一般来说，仿真的时候会选择不同的温度节点和工作电压节点。

表中有325套Process Corner。

|  |  |
| --- | --- |
| 工艺 | FNFP、SNSP、TNTP、FNSP、SNFP |
| 电压（V） | 0.84 0.875 0.91 0.945 0.98 1.015 1.05 1.085 1.12 1.155 1.19 1.225 1.26 |
| 温度（℃） | -40 -0 25 85 125 |

本课题选取了十个电路分别是：INV、AND2、AND3、NOR2B、NOR2、AOI211、XOR3、ADDF、DFFNQ、DFFNSRPQ。

本章仿真均使用基于Bsim4仿真模型的H-Spice仿真工具，Slew设置为1ns。

以D触发器为例，输入端是D，输出端是Q。路径延时（Path Delay）定义为从输入波形的50%到输出波形的90%或者从输入波形的50%到输出波形的10%，以确保输出波形的电势能稳定达到目标电位。

图说明setup time是时钟达到之前波形需要保持一段时间，hold time是时钟达到之后波形需要保持的一段时间。

以DFFs为例，setup time是从D端到节点m的传输路径时间，hold time有两个值：一个是节点m到节点s的传输路径时间，另一个是D端到节点nm的传输路径时间。Hold time选取二者的最大值。



传输路径延时：从输入波形50%到输出波形10%的传输路径延时

D触发器的setup time和hold time

D触发器的逻辑电路图

本课题中的10个标准单元电路分别有不同数量的路径延迟，D触发器还拥有建立时间和保持时间。

对于单输入电路而言，以INV为例，当输入端是上升沿时，输出端是下降沿，具有一个路径延时；当输入端是下降沿时，输出端是上升沿，还具有一个路径延时。

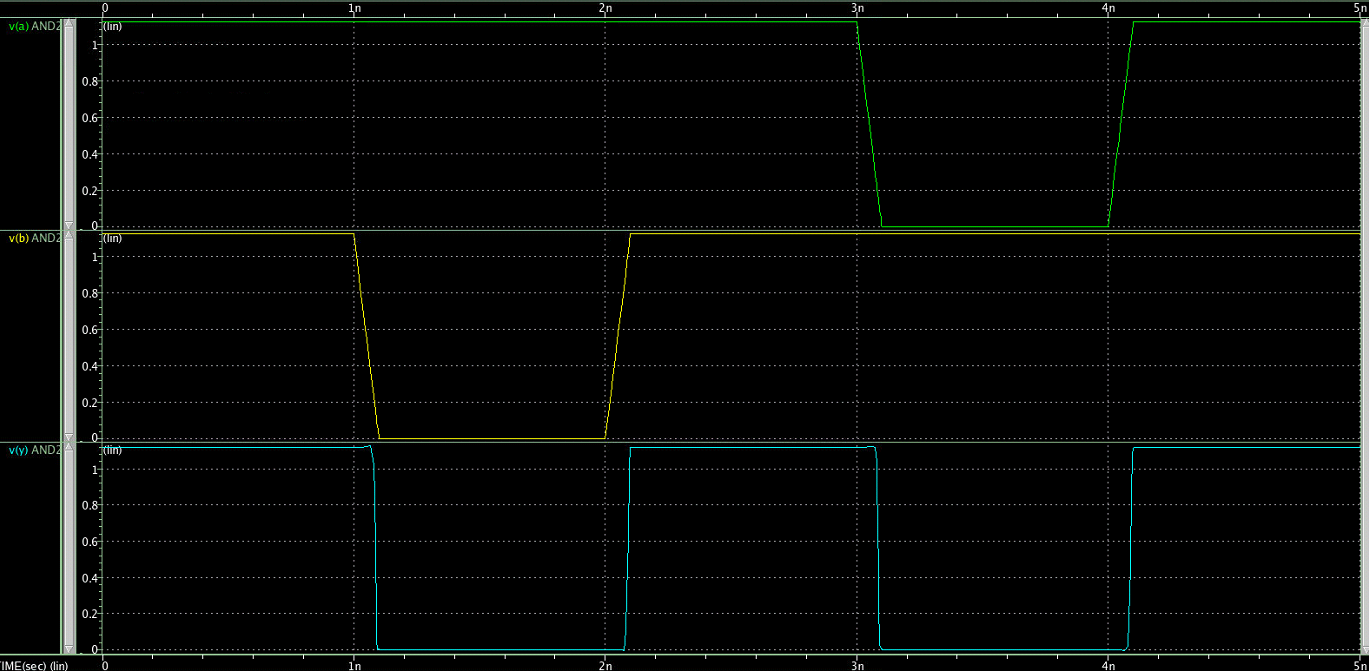
对于多输入电路而言，当某一输入端翻转，而其他输入端保持电平不变，且输出端也翻转的时候，才具有一个路径延时。

以AND2为例，时序包含四种时序：

当输入A为1时，输入B从0翻转到1时，输出Y从0翻转到1。输入B的50%到输出端Y的90%的传输路径延时。

当输入A为1时，输入B从1翻转到0时，输出Y从1翻转到0。输入B的50%到输出端Y的10%的传输路径延时。

当输入B为1时，输入A从0翻转到1时，输出Y从0翻转到1。输入A的50%到输出端Y的90%的传输路径延时。

当输入B为1时，输入A从1翻转到0时，输出Y从1翻转到0。输入A的50%到输出端Y的10%的传输路径延时。

下表是10个电路相对应的传输路径延时的数量：

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| INV | AND2 | AND3 | NOR2B | NOR2 | AOI211 | XOR3 | ADDF | DFFNQ | DFFNSRPQ |
| 2 | 4 | 6 | 4 | 4 | 16 | 24 | 36 | 3 | 3 |

## 3.3 时序预测

本课题提出了两种方法实现预测标准电路的路径延时：电路参数方法和时序方法。

### 3.3.1 电路参数方法

作为集成电路的最小单元，金属氧化物半导体效应晶体管（MOSFET）的各种特性体现在电路的特性上。MOSFET根据载流子的极性不同，可以分为NMOSFET和PMOSFET。

MOSFET晶体管都是有漏极（Drain）、栅极（Gate）、源级（Source）与衬底（Body）。每个终端都影响着MOSFET的电路特性，不同MOSFET的逻辑组合又具备不同的电路特性。本课题选择了一些MOSFET的电路参数作为机器学习的特性，作为用于机器学习的特征。

|  |  |
| --- | --- |
| Ivin (A) | 信号上升或下降时VIN电压的电流的峰值 |
| Ivdd (A) | 信号上升或下降时VDD电压的电流的峰值 |
| Ivss (A) | 信号上升或下降时VSS 电压的电流的峰值 |
| Ion (A) | 信号上升或下降后MOS管的电流的平均数值 |
| Ipeak (A) | 信号上升或下降后MOS管的电流的峰值 |
| Vth (V) | 信号上升或下降时MOS管的阈值电压 |

以INV为例，共有325组仿真数据，每组数据有9个电路参数作为拟合的特征（Feature）和一个路径延时作为目标（Target）。表中所示是五组INV的特征和目标值。

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Ivin1  (10-6A) | Ivdd  (10-6A) | Ivss  (10-6A) | Vth1  (V) | Vth2  (V) | Ion1  (10-9A) | Ion2  (10-9A) | Ipeak1  (10-5A) | Ipeak2  (10-6A) | Delay  (10-11s) |
| 5.868  4.419  7.076  6.802  5.461 | 1.345  1.020  9.112  1.614  1.422 | 4.226  3.226  11.97  5.830  3.938 | 0.5129  0.2629  0.2456  0.4511  0.5768 | 0.5063  0.3713  0.3713  0.5922  0.4257 | 4.357  1.663  5.097  2.508  15.85 | 0.9851  2.142  4.475  0.6069  4.057 | 1.650  1.064  2.466  1.996  1.358 | 4.074  3.672  13.06  6.239  3.789 | 3.146  2.527  1.859  1.456  4.058 |

本次学习使用10折交叉验证（10-Fold Cross Validation），每次学习使用32组仿真数据作为训练集，另外的293组仿真数据作为测试集。

本次学习选择了拟合优度作为拟合程度的度量，拟合优度（Goodness of Fit）是指回归模型对观测值的拟合程度。度量拟合优度的统计量是可决系数（determination coefficients）R2。可决系数的值越接近1，说明回归直线对观测值的拟合程度越好；反之，可决系数的值越小，说明回归直线对观测值的拟合程度越差。

可决系数的表达式如上，其中回归平凡是，总平方和是。是表示因变量与所有自变量之间的总体关系。拟合优度的可决系数是无量纲系数，有确定的取值范围（0-1），便于对不同资料回归模型的拟合优度进行比较。

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| R2 | INV | AND2 | AND3 | NOR2B | NOR2 | AOI211 | XOR3 | ADDF | DFFNQ | DFFNSRPQ |
| Train | 0.968 | 0.973 | 0.968 | 0.982 | 0.989 | 0.960 | 0.989 | 0.995 | 0.996 | 0.971 |
| Test | 0.962 | 0.930 | 0.952 | 0.973 | 0.983 | 0.924 | 0.962 | 0.962 | 0.965 | 0.940 |

本次学习还选择了

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| δ | INV | AND2 | AND3 | NOR2B | NOR2 | AOI211 | XOR3 | ADDF | DFFNQ | DFFNSRPQ |
| Train | 0.836 | 0.941 | 0.968 | 0.985 | 0.935 | 0.887 | 0.940 | 0.991 | 0.993 | 0.982 |
| Test | 0.859 | 0.796 | 0.952 | 0.958 | 0.771 | 0.779 | 0.754 | 0.954 | 0.955 | 0.958 |

### 3.3.2 时序方法

## 3.4 本章小结