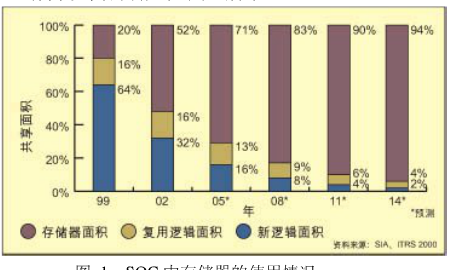
第一章 绪论

1.1.1 半导体集成电路介绍

 随着移动互联网和物联网的发展，集成电路芯片广泛应用于各种领域，如手机，PC，可穿戴设备等，其中手机的出货量已经超过71亿。如今空前辉煌的电子信息产业链，是以六十多年来集成电路的发展为基础的【1】。

2017年全球集成电路产品的市场销售额大约在4000亿美元左右，其所撬动的电子信息产业的产值为15万亿美元，已然超过全球GDP的五分之一。

国际半导体产业协会（SEMI）发布的各家产业研究机构对2018年半导体产业营收的预测成长率为7～8%。在全球集成电路发展的浪潮中，我国集成电路行业也有不错的表现，中国在智能手机为代表的移动终端的AP、通信模块方面已占据全球大约17%的市场份额，但是在应用集成电路的其他领域，国产芯片所占市场比例几乎为零。从国内的集成电路规模来看，我国集成电路产业正进入快速发展期，并将以一个近20%的增长率持续增长，2017年产值已达到5000多亿【2】。但是国内集成电路仅30%左右是自给，其余依赖于进口，其进口额已然超过石油成为第一大进口商品，这种现状亟待解决【3】。

在经济方面，不论是国内还是全球，发展集成电路都有着重要的意义。

1.1.2 存储器及SRAM介绍

存储器作为现在VSLI中重要的组成部分，随着近年来半导体技术的发展，存储器在SoC上占据越来越重要的比重，如今存储器面积已经达到SoC的80%，而SRAM作为存储器的重要角色，亦具有十分重要的意义。

存储器的种类繁多，分类性质也很多，因为存取方式的不同，可以分为随机存取存储器（random access memory）、顺序存取存储器（serial access memory）和按内容寻址存储器（content access memory）。

随机存取存储器根据断电后能够继续保存信息而分类，可以分为易失性存储器（VM）和非易失性存储器（NVM）两类。通常易失性存储器又分为静态随机存取存储器（SRAM）和动态随机存取存储器（DRAM）。

SRAM是最广泛应用的存储器之一，主要用两个交叉耦合的反相器存储数据，只要电源不断电，数据就一直被保存。

当今SoC处理器的主频已经达到4GHZ，片外大容量主存储器的频率只有600MHZ左右【4】。SRAM凭借面积小，容量合适，速度快和很好的鲁棒性等优势，作为SoC芯片的存储设备。SRAM的速度可以向逻辑电路那么快，完全可以满足处理器的主频需求，在待机的状态下功耗较低【2】，具有更高的带宽，可以满足系统对带宽的需求。更好的工艺缩放性，可以随着工艺节点的缩小得到更好的集成度和性能。SRAM在拥有这些其他存储器不可比拟的优势的同时，也意味着SRAM具备的设计难度和要求。

1.1.3 低功耗SRAM技术

早在1973年，戈登·摩尔曾指出，一个硅片上晶体管的数量每隔18个月就翻一番（摩尔定律）【5】。在过去的几十年中，集成电路行业的发展一直印证着摩尔定律，一颗芯片上的晶体管数量一直保持大约每两年翻一番。随着晶体管数量的剧增，能耗问题、散热问题变得日益严重。低功耗已经成为集成电路设计的重要指标。

目前工业界常用的低功耗设计手段有门控时钟（Clock Gating）、电源关断（Power Shut-off）、多阈值电压（Multi-Vth）、多电源电压（Multi-Supply Voltage）、动态电压频率调节（DVFS，Dynamic Voltage and Frequency Scaling）、衬底电压偏置（Substrate Biasing）等。其中门控时钟是较为常用的降低动态功耗的设计手段。该设计手段通过使能信号控制时钟传播来降低芯片的动态功耗，它需要引入新的设计单元，因此一个信号控制的寄存器数量越多，控制层次也相应越高。电源关断则是通过使能信号控制一个区域的电源来降低芯片的泄漏功耗。当使能信号无效时，整个区域不供电，因此不产生泄漏功耗。需要注意的是，这种设计方法需要引入较多的开关单元和控制单元，而且在供电网络上插入控制单元会在使能信号的开关瞬间对周围区域的逻辑器件造成电压波动，因此在引入该方法的分析、验证上必须仔细考虑。多阈值电压通过将不同阈值电压器件混合使用来降低芯片的泄漏功耗。多电源电压则是在芯片的不同区域根据需求选用不同的电源电压值，它可以在降低动态功耗的同时降低静态功耗。多电源电压、动态电压调节（DVS）、以及动态电压频率调节技术都是通过调节电源电压达到降低功耗的目的。多电源电压是静态电压调整方法，不同的电源电压对应不同的工作性能和功耗。DVS和DVFS则是自适应性的方法，他们通过识别处理器的利用率工作：当处理器负载较轻时，降低频率和电压；当处理器满负荷工作时，系统在最大频率和电压条件下运行。这些技术己被广泛应用于商用微处理器，有着显著的节能特性【6-10】。

动态电压频率调整技术（DVFS）是根据芯片所运行的应用程序对计算能力的不同需要，动态的调整芯片不同模块的运行频率和电压，从而达到节能的目的。

文献11中3D图形处理中有三个独立的模块，每个模块有不同的性能需求，将不同的三个模块应用DVFS技术可以实现每个功率区域的高效的能耗减少。最终，GPU系统产生相同输出结果的同时，应用DVFS技术的电源管理比正常工作的电源管理实现节省功率约65%。

在各种层次的低功耗技术广泛应用在SRAM设计的时候，在带来显著减少功耗的同时，也给SRAM设计提出了相应的附属要求，以DVFS为例，不同模块动态调整工作电压和工作频率，对于设计的要求，尤其是仿真的要求提高了很多。通常SRAM编译器都有几千个实例，对于某个实例都要在不同的PVT进行仿真。DVFS使得SoC的电压节点增加了很多。以28nm低功耗为例，标准中位电压是1.1v，相对应的SRAM的签出需要6个PVT的仿真。中位电压从0.7v到1.2v时，以50mv为间隔，一共需要66个corner的签出。

以30台服务器、大约1500个核和足够的EDA licenses，memory compiler的表征仿真需要大约2周，基于机器资源和时间成本的考虑，以及更多优化技术的加入，未来SRAM compiler表征所需的仿真将会呈现阶梯式的增长。本课题的出发点就是提出利用机器学习算法，通过已知的仿真数据构建模型，去预测未知的仿真数据，从而实现节省机器资源和减少时间成本的目的，进而优化整个SRAM compiler的设计效率。

1.3论文的主要内容

本文主要基于当今微电子行业对于机器学习的应用现状与前景，总结了机器学习在存储器设计中应用的可行性与可靠性，确立了本文的课题：基于机器学习的28nm工艺SRAM Compiler特征化。围绕这一主题，基于SRAM编译器的设计现状，针对仿真过程的耗时长、占用资源比重大等不足，提出了应用机器学习算法简化仿真，并先后在标准单元库和SRAM compiler的设计中应用，以期对未来的机器学习应用于集成电路设计的重要环节中有一定的指导意义。

本文的主要内容如下：

第一章为绪论，主要介绍了SRAM compiler的研究背景、意义，系统阐述了机器学习应用于SRAM compiler的应用现状和发展前景，并对本文的研究方法做了总结概括。

第二章首先简单的介绍了机器学习及其发展现状与应用前景，主要阐述了回归算法，着重分析了最小二乘法和支持向量机的算法原理和应用场景。

第三章介绍了标准单元库及其时序，并通过支持向量机算法，拟合已有的时序数据，预测未知的时序数据。

第四章介绍了SRAM compiler的设计流程，着重描述了表征的三个模块：时序、功耗和电容，并对三个模块分别使用最小二乘法进行数据的预测。

第五章为总结与展望，对本文的工作进行了总结，并对本课题的研究进行了展望。