

## Curso Superior de Bacharelado em Engenharia Elétrica

Disciplina: Sistemas Digitais

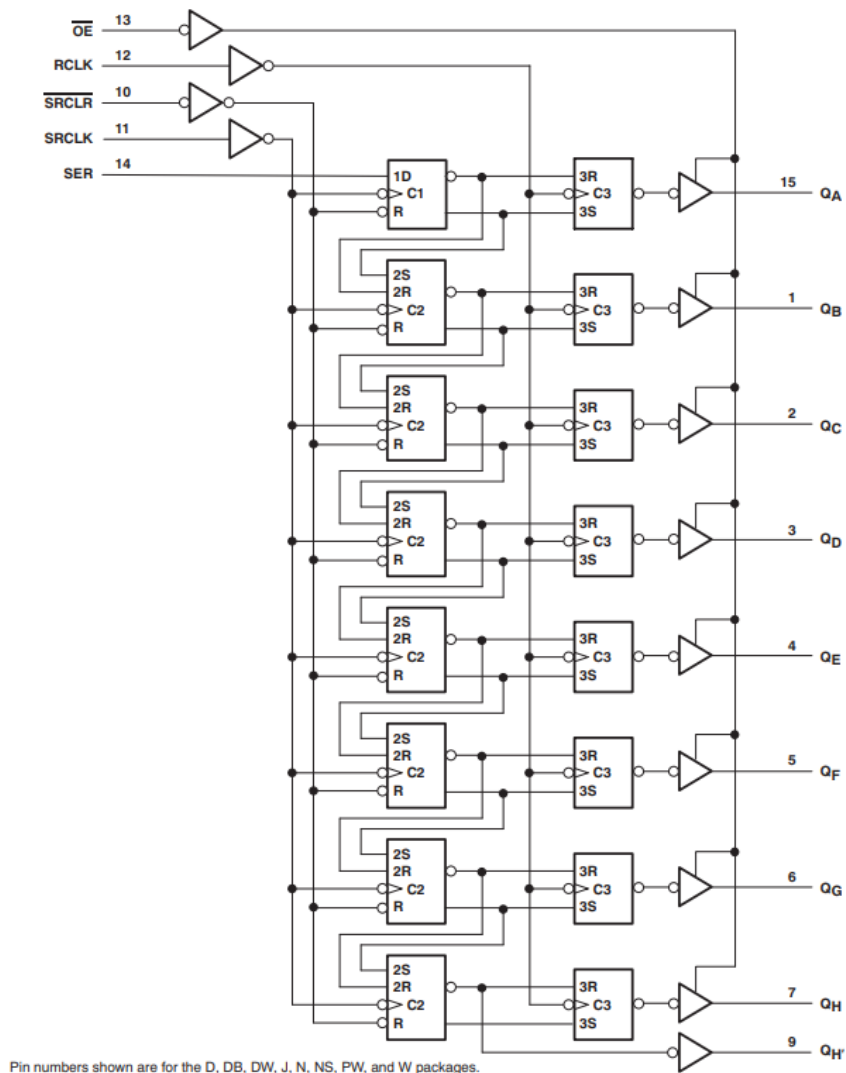
Professor: Lincoln Machado de Araújo

Aluno1: Sheyla Cantalupo . Matrícula:20192610029.

Aluno2: Yasmin Alves. Matrícula: 20192610004.

### Mini projeto para sexta semana de atividades remotas

Desenvolva uma descrição em VHDL para o CI 74HC595, cujo datasheet está disponível em anexo à atividade. Lembrem-se de lê-lo.



Requisitos:

- Feito em dupla ou individual.
- Todos os membros do mesmo grupo devem enviar o mesmo arquivo, finalizando a atividade no Google Classroom.
- O arquivo de Testbench deve mostrar o bom funcionamento do dispositivo testando todas as entradas e em vários cenários de uso.
- Cole em local e tamanho visível ao fim deste arquivo o código em VHDL e link para o código no EDA Playground.

```
-- Code your design here
```

```
library IEEE;
```

```
use IEEE.std_logic_1164.all;
```

```
entity ci74hc595 is
```

```
port(OEb, RCLK, SRCLR, SRCLK, SER: in std_logic;
```

```
output: out std_logic_vector(7 downto 0);
```

```
QHb: out std_logic); -- saída de expansão
```

```
end ci74hc595;
```

```
architecture behavior of ci74hc595 is
```

```
signal state, data, saida: std_logic_vector(7 downto 0) := (others => '0');
```

```
begin
```

```
    process(SRCLK)
```

```
    begin
```

```
        -- reseta
```

```
        if (SRCLR = '0') then
```

```
            state <= (others => '0');
```

```
        -- primeiro clock acionado
```

```
        elsif (SRCLK'event and SRCLK = '1') then
```

```
            state(6 downto 0) <= state(7 downto 1);
```

```
            state(7) <= SER;
```

```
        end if;
```

```
        -- aciona segundo clock
```

```
        if (RCLK'event and RCLK = '1') then
```

```
            saida <= state;
```

```
        end if;
```

```

-- tri-state
if (OEB = '1') then
    output <= saida;
else
    output <= (others => 'Z');
end if;

end process;

QHB <= state(0);

end behavior;


-- testbench
library IEEE;
use IEEE.std_logic_1164.all;

entity testbench is
end testbench;

architecture test of testbench is

component ci74hc595 is
port(OEB, RCLK, SRCLR, SRCLK, SER: in std_logic;
    output: out std_logic_vector(7 downto 0);
    QHb: out std_logic); -- saída de expansão
end component;

signal input: std_logic_vector(0 to 15) := "1111001101010111";
signal saida2: std_logic_vector(7 downto 0);
signal srclk, srclr, oe, rclk, ser, qhb: std_logic := '0';

begin

dut: ci74hc595 port map(oe, rclk, srclr, srclk, ser, saida2, qhb);

    process
    begin

        srclr <= '0',
            '1' after 30 ns,
            '0' after 60 ns,

```

```
        '1' after 90 ns;

    oe <= '1',
        '0' after 300 ns,
        '1' after 310 ns;

    for i in 0 to 15 loop

        srclk <= '0';
        ser <= input(i);
        rclk <= '1';

        wait for 15 ns;

        srclk <= '1';
        rclk <= '0';

        wait for 15 ns;

    end loop;
    wait;

    end process;

end test;
```

<https://www.edaplayground.com/x/KxHg>