

Curso Superior de Bacharelado em Engenharia Elétrica

Disciplina: Sistemas Digitais

Professor: Lincoln Machado de Araújo

Aluno1: Yasmin Alves da Silva.

Matrícula: 20192610004.

Aluno2: Sheyla Cantalupo.

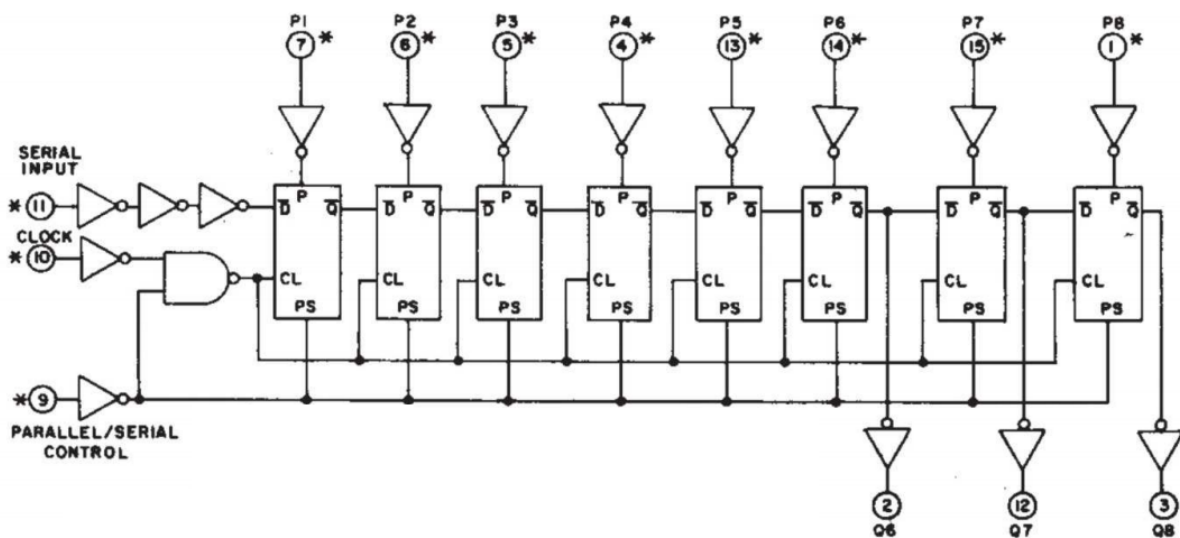
Matrícula: 20192610029.

Aluno3: Caio Cunha Rego de Oliveira.




Matrícula: 20192610033.

Mini projeto para sétima semana de atividades remotas

Desenvolva uma descrição em VHDL para o CI CD4021B, cujo datasheet está disponível [AQUI](#). Lembrem-se de lê-lo.



TRUTH TABLE – CD4021B

CL	Serial Input	Parallel/Serial Control	PI-1	PI-n	Q ₁ (Internal)	Q _n
X	X	1	0	0	0	0
X	X	1	0	1	0	1
X	X	1	1	0	1	0
X	X	1	1	1	1	1
	0	0	X	X	0	Q _{n-1}
	1	0	X	X	1	Q _{n-1}
	X	0	X	X	Q ₁	Q _n

NC

X = DON'T CARE CASE

Requisitos:

- Feito em dupla ou no único grupo de até 3 pessoas.
- Todos os membros do mesmo grupo devem enviar o mesmo arquivo, finalizando a atividade no Google Classroom.
- O arquivo de Testbench deve mostrar o bom funcionamento do dispositivo testando a transmissão serial de 5 pacotes de 8 bits que devem vir pela entrada P.
- Cole em local e tamanho visível ao fim deste arquivo o código VHDL e o link para o código no EDA Playground.

<https://www.edaplayground.com/x/at5b>

```
-- testbench
library IEEE;
use IEEE.std_logic_1164.all;

entity testbench is
end testbench;

architecture test of testbench is

component CD4021B is
port(CLK, S_input, SP: in std_logic;
     P: in std_logic_vector(7 downto 0);
     Q: out std_logic_vector(2 downto 0));
end component;

signal clk, s_input, sp: std_logic := '0';
signal p: std_logic_vector(7 downto 0) := "11000101";
signal q: std_logic_vector(2 downto 0);

begin

dut: CD4021B port map(clk, s_input, sp, p, q);

        sp <= '1',
            '0' after 40 ns,
            '1' after 280 ns;

s_input <= '0',
            '1' after 90 ns,
            '0' after 210 ns;
```

```
p <= "11000101",  
    "11111111" after 300 ns,  
    "11001001" after 360 ns,  
    "10000001" after 420 ns,  
    "11000000" after 480 ns;
```

```
process  
begin
```

```
for i in 0 to 12 loop
```

```
clk <= '0';
```

```
wait for 20 ns;
```

```
clk <= '1';
```

```
wait for 20 ns;
```

```
end loop;
```

```
wait;
```

```
end process;
```

```
end test;
```

```
--design
```

```
library IEEE;
```

```
use IEEE.std_logic_1164.all;
```

```
entity CD4021B is
```

```
port(CLK, S_input, SP: in std_logic;
```

```
    P: in std_logic_vector(7 downto 0);
```

```
    Q: out std_logic_vector(2 downto 0));
```

```
end CD4021B;
```

```
architecture behavior of CD4021B is
```

```
signal saida: std_logic_vector(7 downto 0) := (others => '0');
```

```
signal Q1: std_logic := '0';
```

```

begin

    process(CLK, S_input, SP)
    begin

        if (SP = '1') then
            saida <= P;
        else
            if(CLK'event and CLK = '1') then

                if (S_input = '0') then
                    Q1 <= '0';
                else
                    Q1 <= '1';
                end if;

                saida(0) <= Q1;
                saida(7 downto 1) <= saida(6 downto 0);

                elsif(CLK'event and CLK = '0') then
                    saida <= saida;
                end if;

            end if;

        end process;

        Q(2 downto 0) <= saida (7 downto 5);

    end behavior;

```