



4. 논리 게이트



학습목표 및 목차



- 논리 게이트와 논리 레벨의 기본 개념을 이해할 수 있다.
- 논리 게이트의 동작 원리 및 진리표, 게이트 기호들을 이해하고 이를 활용할 수 있다.
- 정논리와 부논리에 대해 설명할 수 있다.
- 게이트들의 전기적인 특성을 이해하고 이를 활용할 수 있다.

01. 논리 레벨
02. NOT 게이트와 버퍼 게이트
03. AND 게이트
04. OR 게이트
05. NAND 게이트

06. NOR 게이트
07. XOR 게이트
08. XNOR 게이트
09. 정논리와 부논리
10. 게이트의 전기적 특성

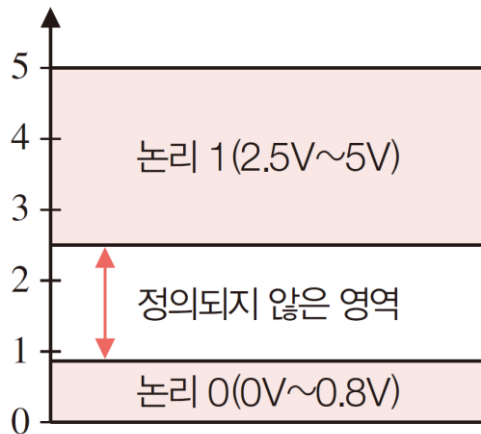
• 1. 논리 레벨

TTL과 CMOS 논리 레벨 정의영역



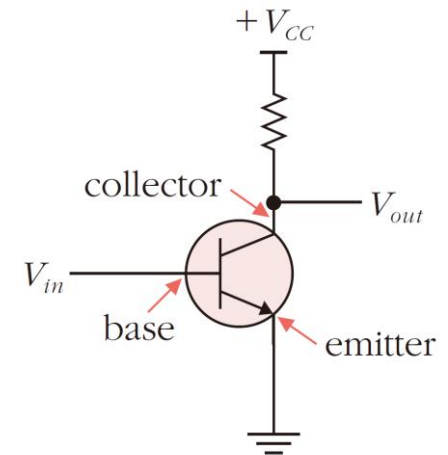
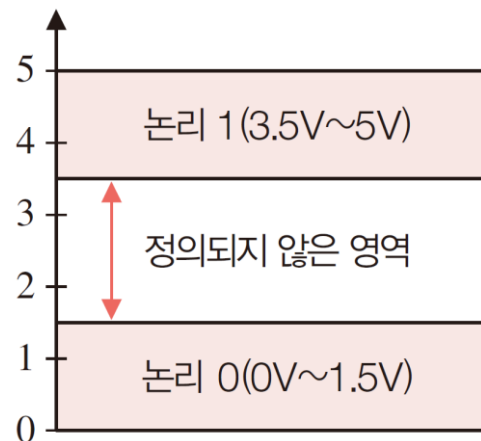
TTL

전압(Volt)



CMOS

전압(Volt)



Transistor

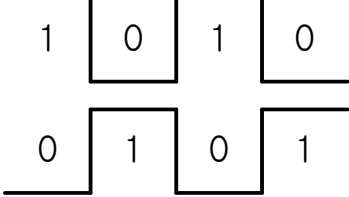
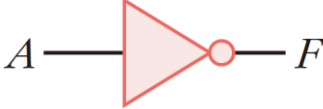
디지털 회로에서 전자스위치로 사용되는 반도체 소자. 베이스에 적절한 전압을 인가하여 컬렉터-에미터 접합이 개방 또는 단락된 스위치처럼 동작한다.

• 2. NOT게이트와 버퍼 게이트

NOT 게이트



- 한 개의 입력과 한 개의 출력을 갖는 게이트로 논리 부정을 나타냄
- 입력이 0(off)이면 1(on)을 출력하고, 입력이 1(on)이면 0(off)를 출력
- NOT 게이트를 인버터(inverter)라고도 함

| 진리표 | 동작 파형 | 논리 기호 | | | | | | |
|--|-------|-------|---|---|---|---|---|--|
| <table><tr><th>A</th><th>F</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table> | A | F | 0 | 1 | 1 | 0 | <div>입력 A</div> <div>출력 F</div> <div></div> | <div></div> <div>A</div> <div>F</div> |
| A | F | | | | | | | |
| 0 | 1 | | | | | | | |
| 1 | 0 | | | | | | | |

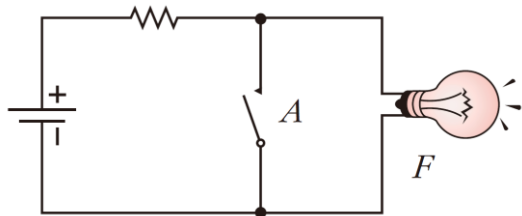
논리식

$$F = \overline{A} = A'$$

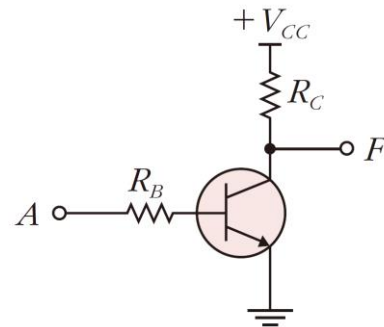
NOT 게이트



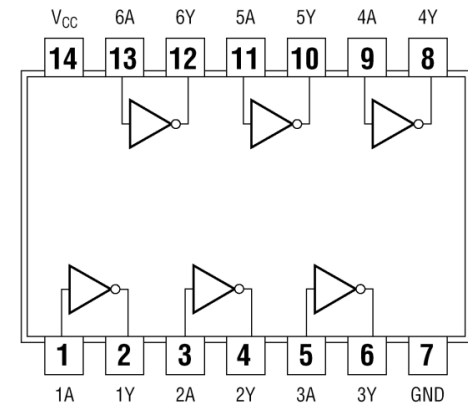
스위칭 회로



트랜지스터 회로



IC 7404 핀 배치도



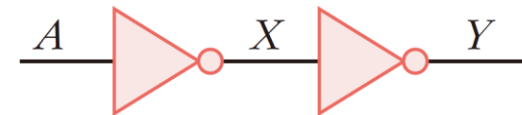
하나의 DIP 칩에 6개의
인버터가 들어있는 집적 회로

NOT 게이트

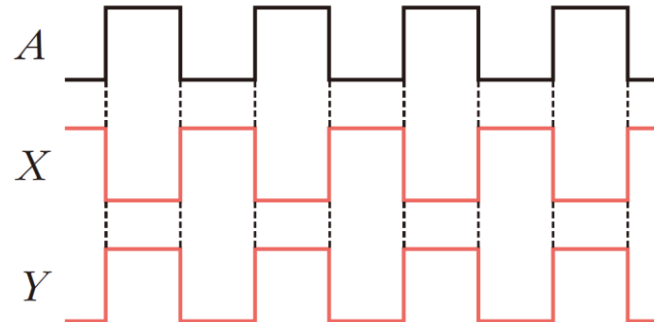


예제 4-1

NOT 게이트 2개를 직렬로 연결한 회로에서 입력 A 에 구형파를 인가하였다. 출력 X 와 Y 의 파형을 그려 보시오.



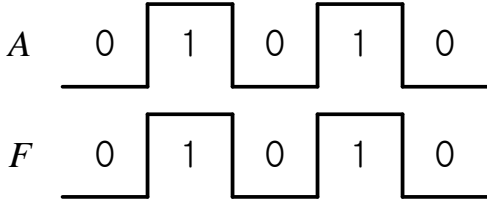
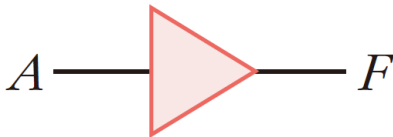
풀이 출력 X 는 입력 A 의 반전된 파형이 나오고, 출력 Y 는 X 의 반전된 파형이 출력되므로 결과적으로 출력 Y 는 입력 A 와 동일한 파형이 출력된다.



버퍼 게이트



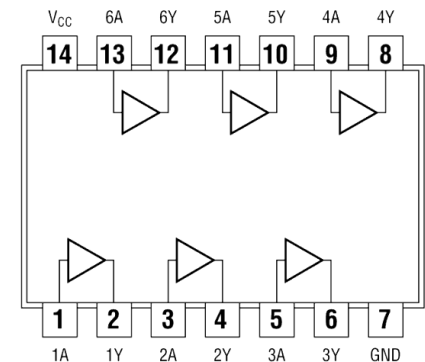
- 버퍼(buffer)는 입력된 신호를 변경하지 않고, 입력된 신호 그대로를 출력하는 게이트로 단순한 전송을 의미함 (지연 소자의 기능을 함)
- 입력 신호가 1인 경우에는 출력 신호는 1이 되고, 입력 신호가 0인 경우에는 출력 신호는 0이 됨

| 진리표 | | 동작 파형 | 논리 기호 | | | | | |
|--|---|-------|-------|---|---|---|--|---|
| <table><tr><th>A</th><th>F</th></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table> | A | F | 0 | 0 | 1 | 1 |  |  |
| A | F | | | | | | | |
| 0 | 0 | | | | | | | |
| 1 | 1 | | | | | | | |

논리식

$$F = A$$

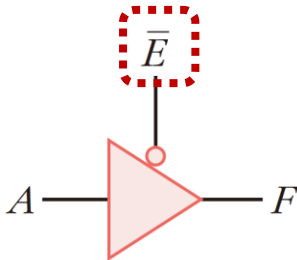
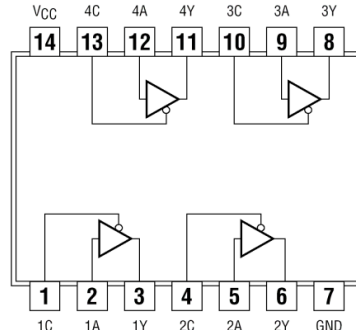
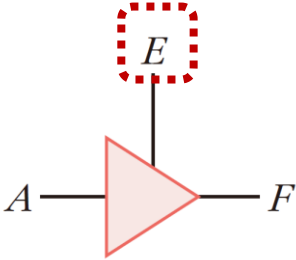
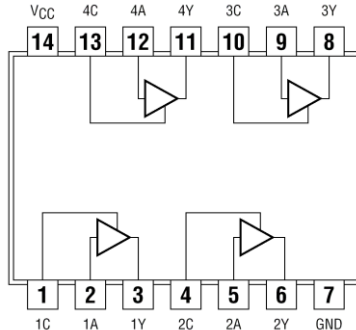
IC 7407 핀 배치도



3상태(tri-state) 버퍼



- 출력이 3개 레벨(High, Low, 하이 임피던스) 중의 하나를 갖는 논리소자

| | 진리표 | 논리 기호 | 핀 배치도 | | | | | | | | | | | | | | | |
|-----------------|---|-------|-----------|---|---|---|------|---|---|------|---|---|------|---|---|------|---|---|
| 제어 입력이 Low 일 때 | <table><tr><th>A</th><th>\bar{E}</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>Hi-Z</td></tr><tr><td>1</td><td>1</td><td>Hi-Z</td></tr></table> | A | \bar{E} | F | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | Hi-Z | 1 | 1 | Hi-Z | <p>LOW면 버퍼처럼 출력 HIGH면 하이 임피던스 상태</p>  |  <p>74125</p> |
| A | \bar{E} | F | | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | | | | | | | | | | | | | | | | |
| 0 | 1 | Hi-Z | | | | | | | | | | | | | | | | |
| 1 | 1 | Hi-Z | | | | | | | | | | | | | | | | |
| 제어 입력이 High 일 때 | <table><tr><th>A</th><th>E</th><th>F</th></tr><tr><td>0</td><td>0</td><td>Hi-Z</td></tr><tr><td>1</td><td>0</td><td>Hi-Z</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table> | A | E | F | 0 | 0 | Hi-Z | 1 | 0 | Hi-Z | 0 | 1 | 0 | 1 | 1 | 1 | <p>LOW면 하이 임피던스 상태 HIGH면 버퍼처럼 출력</p>  |  <p>74126</p> |
| A | E | F | | | | | | | | | | | | | | | | |
| 0 | 0 | Hi-Z | | | | | | | | | | | | | | | | |
| 1 | 0 | Hi-Z | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | | | | | | | | | | | | | | | | |

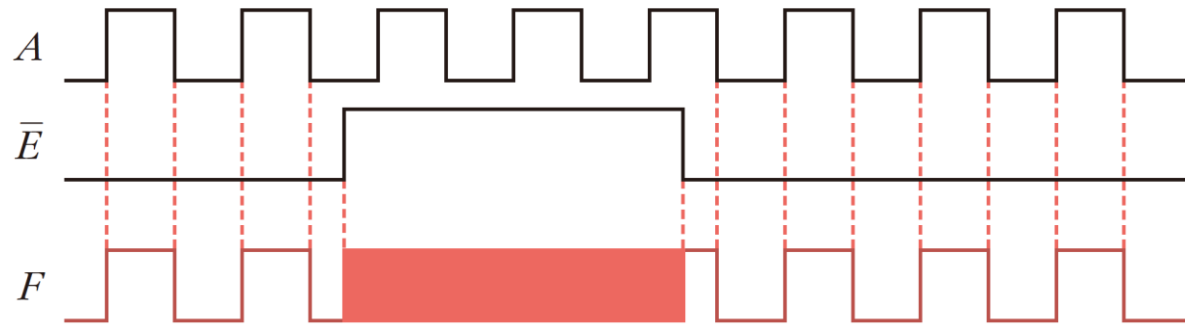
하이 임피던스 : 입력과 출력이 연결되어 있지 않은 상태(LOW도 HIGH도 아님)

버퍼 게이트



예제 4-2

[그림 4-6](a)에서 입력 A 와 제어 단자 \bar{E} 에 아래 그림과 같은 파형을 인가하였다. 출력 F 의 파형을 그려 보시오.



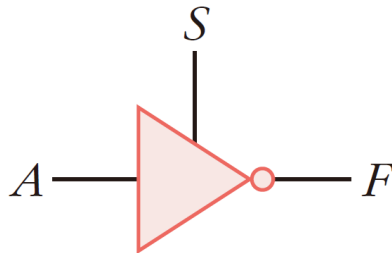
풀이 제어단자 \bar{E} 가 Low인 구간에서는 입력 A 의 파형이 출력 F 로 그대로 나오고, 제어단자 \bar{E} 가 High인 구간에서는 출력 F 는 하이 임피던스 상태가 된다.

버퍼 게이트



예제 4-3

다음 3상태 논리 인버터의 진리표를 작성해보시오.



| 입력 | | 출력 |
|-----|-----|---------|
| A | S | F |
| 0 | 0 | 하이 임피던스 |
| 1 | 0 | 하이 임피던스 |
| 0 | 1 | 1 |
| 1 | 1 | 0 |

풀이

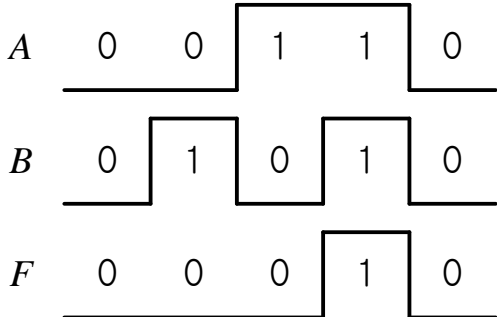
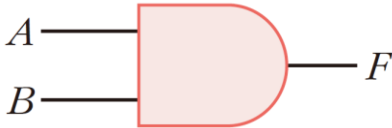
제어 단자 S 가 Low이면 하이 임피던스 상태가 되고, S 가 High이면 입력 A 의 파형이 반전되어 출력된다.

• 3. AND 게이트

AND 게이트의 기본 개념(2입력)



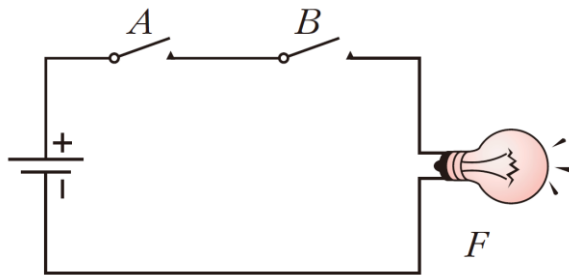
- 입력이 모두 1(on)인 경우에만 출력은 1(on)이 되고, 입력 중에 0(off)인 것이 하나라도 있을 경우에는 출력은 0(off)이 된다.

| 진리표 | 동작 파형 | 논리 기호 | | | | | | | | | | | | | | | |
|--|-------|-------------------------------------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| <table><tr><th>A</th><th>B</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table> | A | B | F | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 |  |  |
| A | B | F | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | | | | | | | | | | | | | | | |
| | | <div>논리식</div> $F = AB = A \cdot B$ | | | | | | | | | | | | | | | |

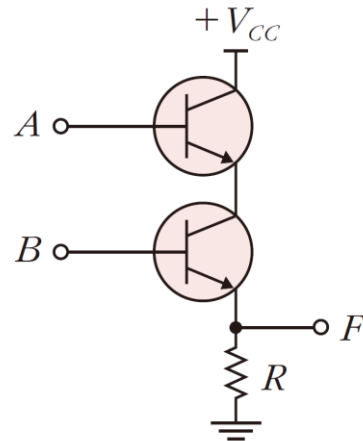
AND 게이트의 회로 표현과 IC



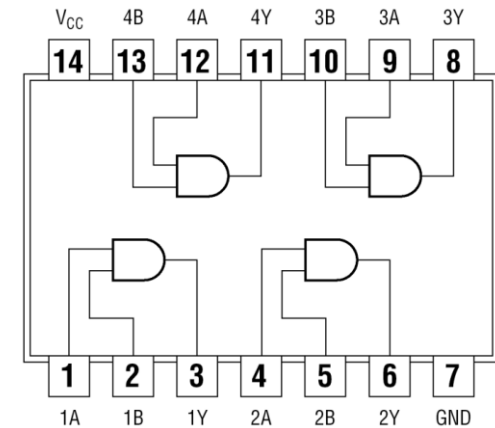
스위칭 회로



트랜지스터 회로



IC 7408 핀 배치도



AND 게이트의 기본 개념(3입력)



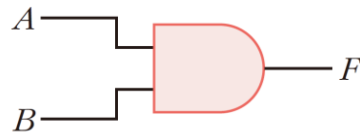
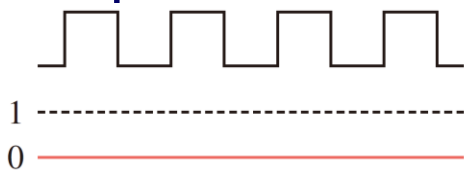
| 진리표 | 동작 파형 | 논리식 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|--|---------------|-------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|-------------------------------|
| <table><tr><th>A</th><th>B</th><th>C</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td></tr></table> | A | B | C | F | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | <div><div>A</div><div>B</div><div>C</div><div>F</div></div> | $F = ABC = A \cdot B \cdot C$ |
| A | B | C | F | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | IC 7411 핀 배치도 | 논리 기호 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

AND 게이트

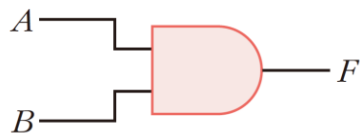
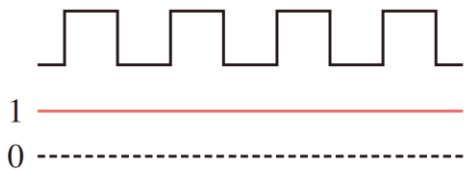


예제 4-4

2입력 AND 게이트의 한 입력 A 에 구형파를 인가하였다. 다른 입력인 B 에 0을 인가한 경우와 1을 인가한 경우 각각의 개략적인 출력 파형을 그려 보시오.

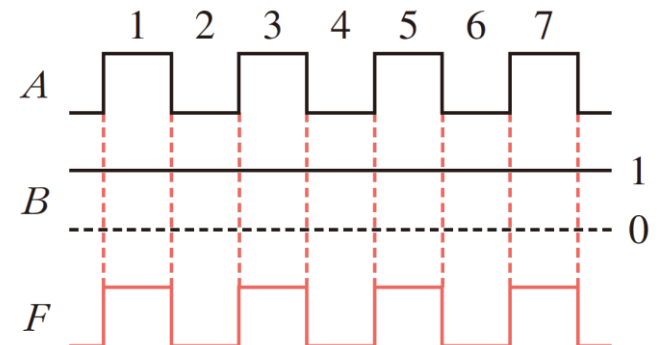
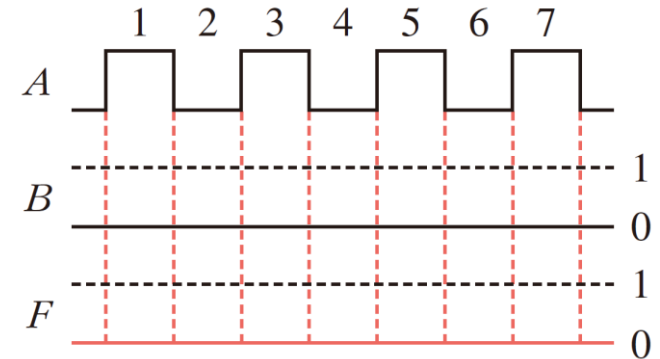


(a) 입력 B 에 0을 인가한 경우



(b) 입력 B 에 1을 인가한 경우

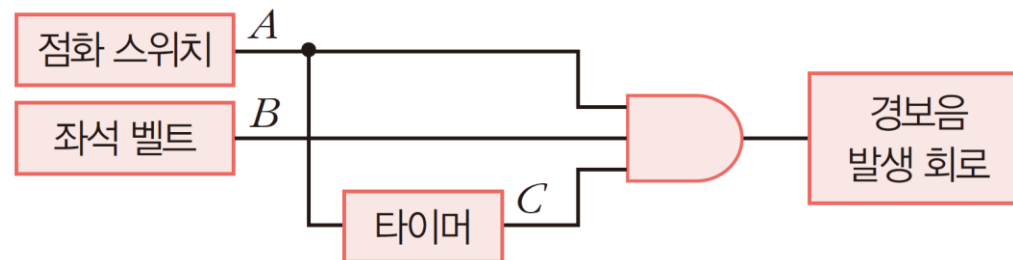
풀이



AND 게이트를 이용한 자동차 좌석벨트 경고 시스템



- 점화스위치(A)가 켜지고(High) 좌석벨트(B)가 풀려있는 상태(High)를 감지
- 점화스위치가 켜지면 타이머가 작동되어 타이머 C가 30초 동안 High로 유지
- 점화 스위치가 켜지고, 좌석벨트가 풀려있고, 타이머가 작동하는 3가지 조건하에서 AND 게이트의 출력은 High가 되며, 운전자에게 주의를 환기시키는 경보음이 울리게 된다.
- 30초간 경보음 동작 후에는 경보음은 울리지 않으며, 처음부터 좌석벨트가 채워져 있으면 경보음은 울리지 않는다.



• 4. OR 게이트

OR 게이트의 기본 개념(2입력)



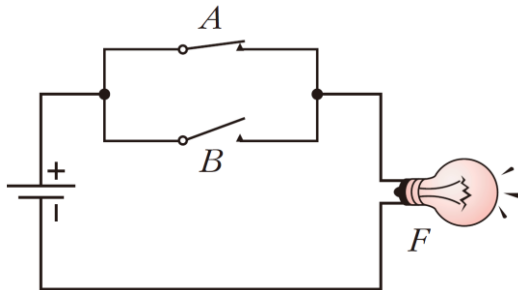
- 입력이 모두 0인 경우에만 출력은 0이 되고, 입력 중에 1이 하나라도 있으면, 출력은 1이 된다.

| 진리표 | 동작 파형 | 논리식 | | | | | | | | | | | | | | | |
|--|-------|------------------|---|---|---|---|---|---|---|---|---|---|---|---|---|--|-------------|
| <table border="1"> <thead> <tr> <th>A</th><th>B</th><th>F</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td></tr> <tr> <td>0</td><td>1</td><td>1</td></tr> <tr> <td>1</td><td>0</td><td>1</td></tr> <tr> <td>1</td><td>1</td><td>1</td></tr> </tbody> </table> | A | B | F | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | | $F = A + B$ |
| A | B | F | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | | | | | | | | | | | | | | | |
| | | <div>논리 기호</div> | | | | | | | | | | | | | | | |

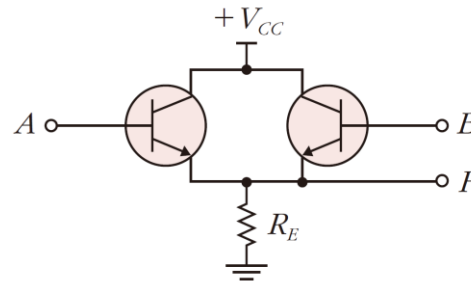
OR 게이트의 회로 표현과 IC



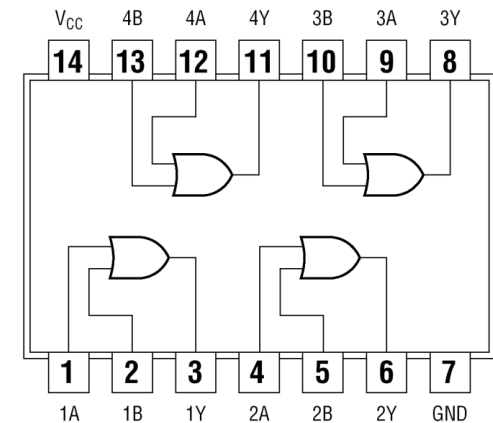
스위칭 회로



트랜지스터 회로



IC 7432 핀 배치도



OR 게이트의 기본 개념(3입력)



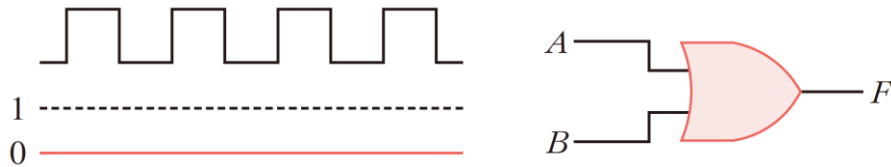
| 진리표 | | | | 동작 파형 | 논리식 |
|----------|----------|----------|----------|--|---|
| <i>A</i> | <i>B</i> | <i>C</i> | <i>F</i> | <div> <div>A</div> <div>0 0 0 0 1 1 1 1 0</div> <div>B</div> <div>0 0 1 1 0 0 1 1 0</div> <div>C</div> <div>0 1 0 1 0 1 0 1 0</div> <div>F</div> <div>0 1 1 1 1 1 1 1 0</div> </div> | $F = A + B + C$ |
| 0 | 0 | 0 | 0 | | |
| 0 | 0 | 1 | 1 | | |
| 0 | 1 | 0 | 1 | | |
| 0 | 1 | 1 | 1 | | |
| 1 | 0 | 0 | 1 | | |
| 1 | 0 | 1 | 1 | | |
| 1 | 1 | 0 | 1 | | |
| 1 | 1 | 1 | 1 | | |
| | | | | | <div>논리 기호</div> <div> <div>A</div> <div>B</div> <div>C</div> <div>F</div> </div> |

OR 게이트

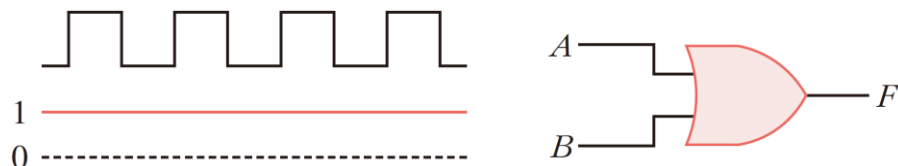


예제 4-5

2입력 OR 게이트의 한 입력 A 에 구형파를 인가하였다. 다른 입력인 B 에 0을 인가한 경우와 1을 인가한 경우 각각의 개략적인 출력 파형을 그려 보시오.

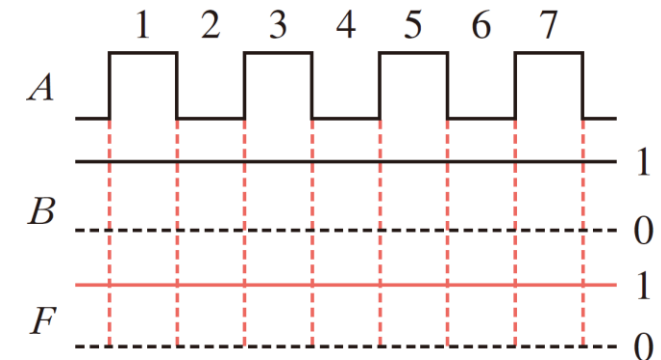
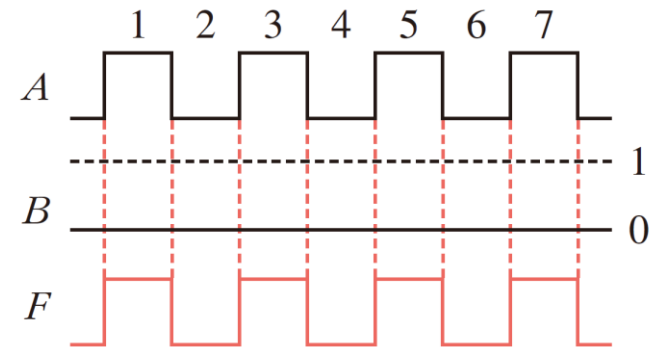


(a) 입력 B 에 0을 인가한 경우



(b) 입력 B 에 1을 인가한 경우

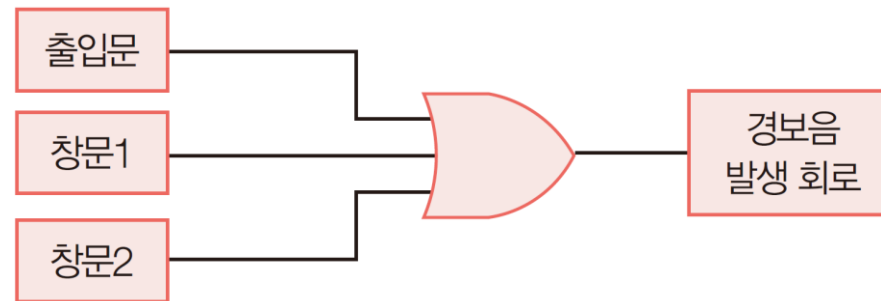
풀이



OR 게이트를 이용한 침입 탐지 시스템



- 일반 가정에서 출입문 1개와 창문 2개가 있다고 가정
- 출입문과 창문에 설치된 각 센서는 자기 스위치(magnetic switch)로서 문이 열려 있을 때 High를 출력하고, 닫혀있을 때에는 Low를 출력한다.

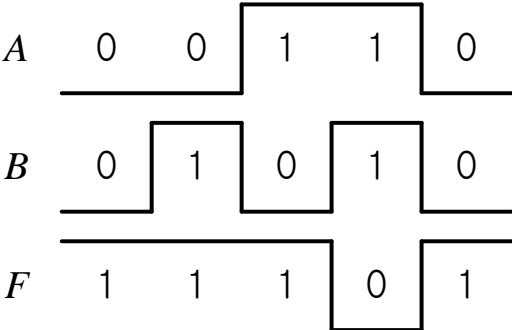
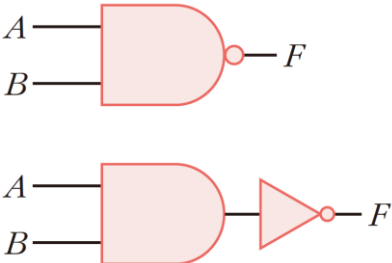


• 5. NAND 게이트

NAND 게이트의 기본 개념(2입력)



- 입력이 모두 1인 경우에만 출력은 0이 되고, 그렇지 않을 경우에는 출력은 1이 된다.
- 이 게이트는 AND 게이트와는 반대로 작동하는 게이트로서, NOT AND의 의미로 NAND 게이트라고 부른다.

| 진리표 | | | 동작 파형 | | 논리식 | | | | | | | | | | | | | | | | |
|--|---|---|-------|---|-----|---|---|---|---|---|---|---|---|---|---|---|---|---|--|--|--|
| <table><tr><th>A</th><th>B</th><th>F</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table> | | | A | B | F | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |  | | $F = \overline{AB} = \overline{A \cdot B}$ | |
| A | B | F | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | | | | | | | | | | | | | | | | | | | |
| <div>논리 기호</div>  | | | | | | | | | | | | | | | | | | | | | |

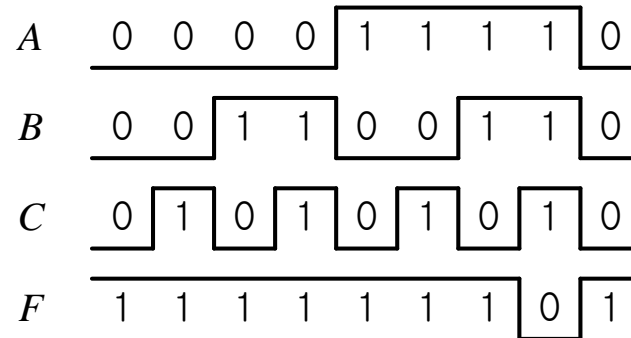
NAND 게이트의 기본 개념(3입력)



진리표

| A | B | C | F |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

동작 파형



논리식

$$F = \overline{ABC} = \overline{A \cdot B \cdot C}$$

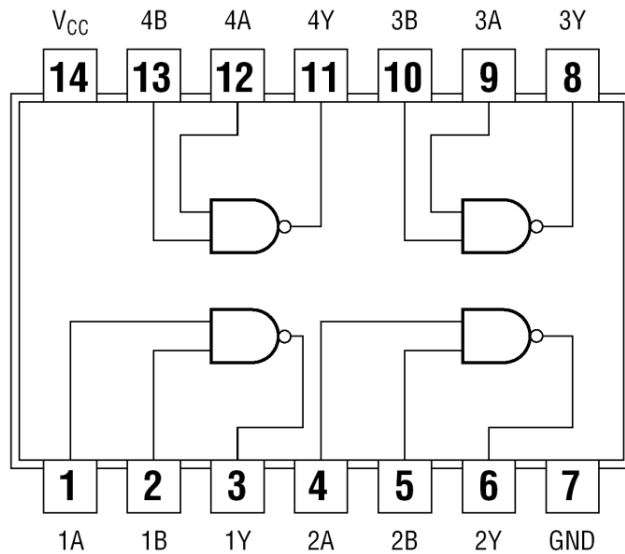
논리 기호



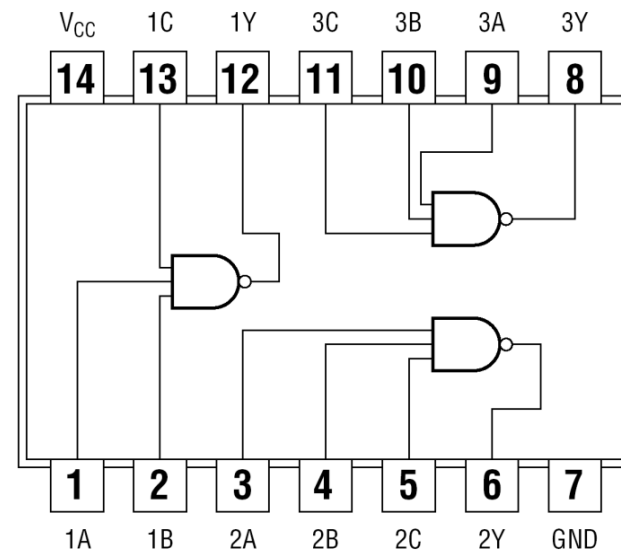
NAND 게이트의 IC



IC 7400 핀 배치도



IC 7410 핀 배치도

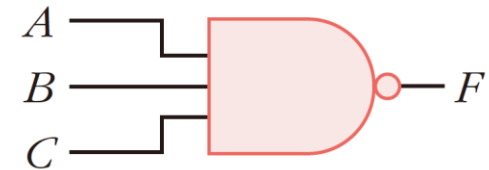
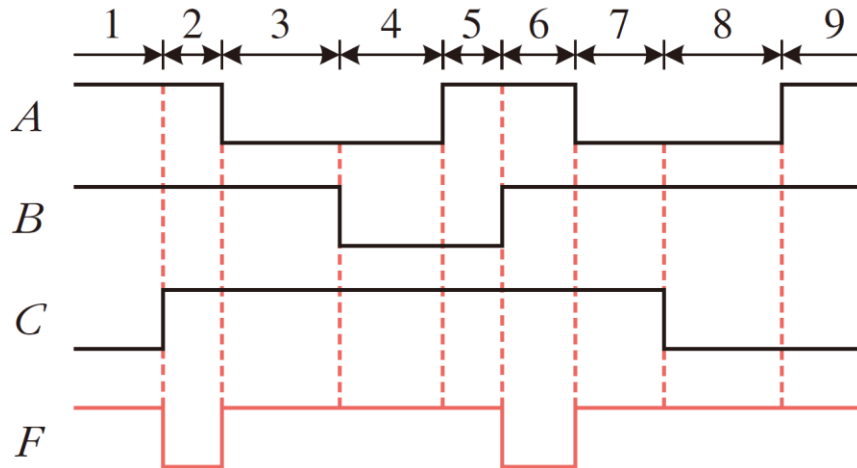


NAND 게이트



예제 4-6

3입력 NAND 게이트 입력에 그림과 같은 파형이 입력될 때 출력 F 의 파형을 그려 보시오.



풀이

출력 F 는 3개의 입력이 모두 1일 때만 0이 되고, 나머지 경우에는 1이 되므로 시간구간 2, 6에서는 출력이 0이 되고 시간구간 1, 3, 4, 5, 7, 8, 9에서는 1이 된다.

• 6. NOR 게이트

NOR 게이트의 기본 개념(2입력)



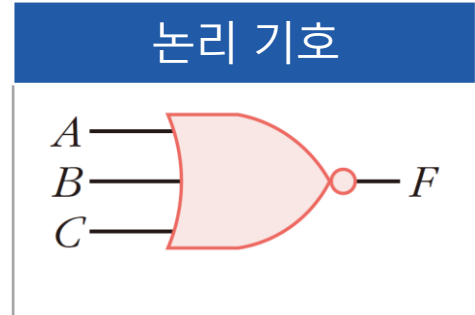
- 입력이 모두 0인 경우에만 출력은 1이 되고, 입력 중에 하나라도 1이 있는 경우는 출력은 0이 된다.
- 이 게이트는 OR 게이트와는 반대로 작동하는 게이트로, NOT OR의 의미로 NOR 게이트라고 부른다.

| 진리표 | 동작 파형 | 논리식 | | | | | | | | | | | | | | | |
|--|-------|------------------|---|---|---|---|---|---|---|---|---|---|---|---|---|--|------------------------|
| <table><tr><th>A</th><th>B</th><th>F</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table> | A | B | F | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | | $F = \overline{A + B}$ |
| A | B | F | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | | | | | | | | | | | | | | | |
| | | <div>논리 기호</div> | | | | | | | | | | | | | | | |

NOR 게이트의 기본 개념(3입력)



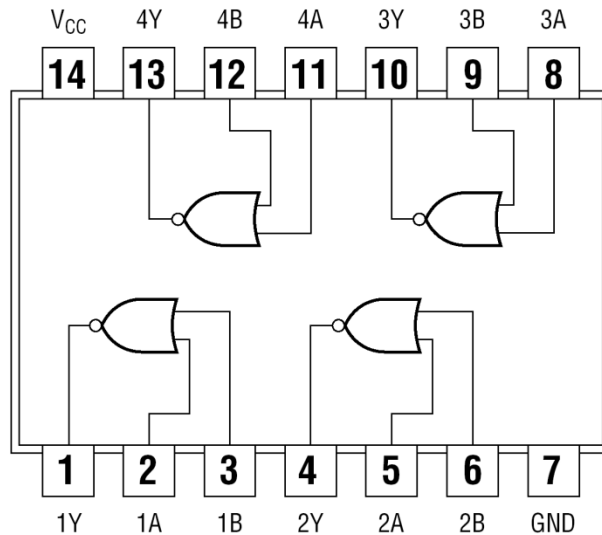
| 진리표 | | | | 동작 파형 | | 논리식 |
|----------|----------|----------|----------|----------|-------------------|----------------------------|
| <i>A</i> | <i>B</i> | <i>C</i> | <i>F</i> | <i>A</i> | 0 0 0 0 1 1 1 1 0 | $F = \overline{A + B + C}$ |
| 0 | 0 | 0 | 1 | <i>B</i> | 0 0 1 1 0 0 1 1 0 | |
| 0 | 0 | 1 | 0 | <i>C</i> | 0 1 0 1 0 1 0 1 0 | |
| 0 | 1 | 0 | 0 | <i>F</i> | 1 0 0 0 0 0 0 0 1 | |
| 0 | 1 | 1 | 0 | | | |
| 1 | 0 | 0 | 0 | | | |
| 1 | 0 | 1 | 0 | | | |
| 1 | 1 | 0 | 0 | | | |
| 1 | 1 | 1 | 0 | | | |



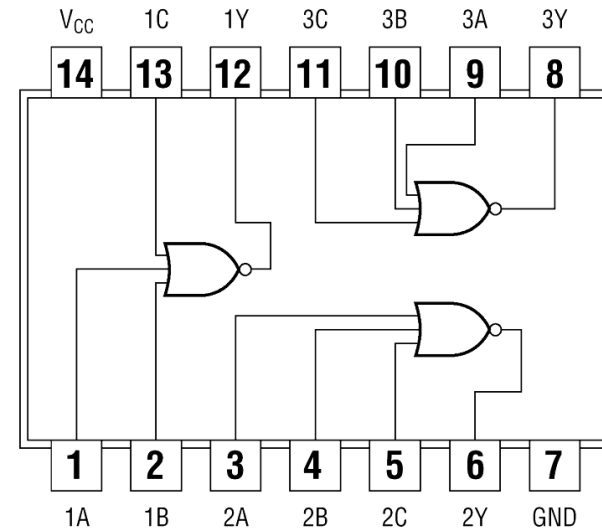
NOR 게이트 IC



IC 7402 핀 배치도



IC 7427 핀 배치도

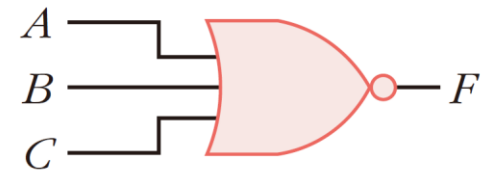
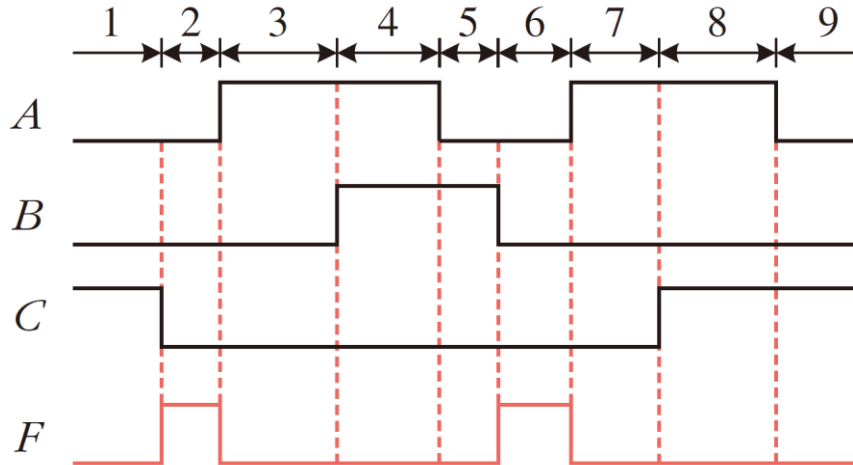


NOR 게이트



예제 4-7

3입력 NOR 게이트 입력에 그림과 같은 파형이 입력될 때 출력 F 의 파형을 그려 보시오.



풀이

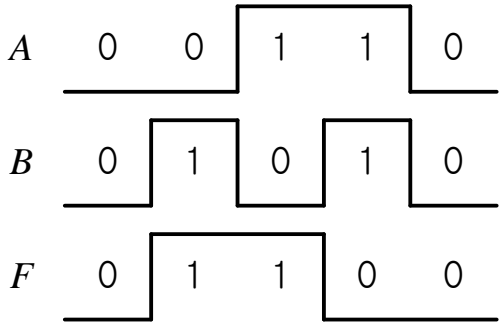
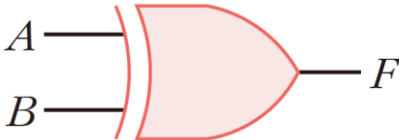
출력 F 는 3개의 입력이 모두 0일 때만 1이 되고, 나머지 경우에는 0이 되므로 시간구간 2, 6에서는 출력이 1이 되고 시간구간 1, 3, 4, 5, 7, 8, 9에서는 0이 된다.

• 7. XOR 게이트

XOR 게이트의 기본 개념(2입력)



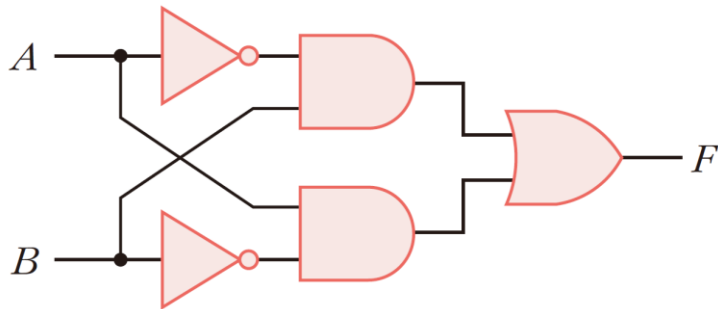
- 입력 중 홀수 개의 1이 입력된 경우에 출력은 1이 되고 그렇지 않은 경우에는 출력은 0이 된다.
- 2입력 XOR 게이트의 경우, 두 개의 입력 중 하나가 1이면 출력이 1이 되고, 두 개의 입력 모두가 0이거나 또는 두 개의 입력 모두가 1이라면 출력은 0이 된다.

| 진리표 | 동작 파형 | 논리식 | | | | | | | | | | | | | | | |
|--|-------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|--|
| <table><tr><th>A</th><th>B</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table> | A | B | F | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |  | $F = A \oplus B = \overline{A}B + A\overline{B}$ |
| A | B | F | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | | | | | | | | | | | | | | | |
| | | 논리 기호 | | | | | | | | | | | | | | | |
| | |  | | | | | | | | | | | | | | | |

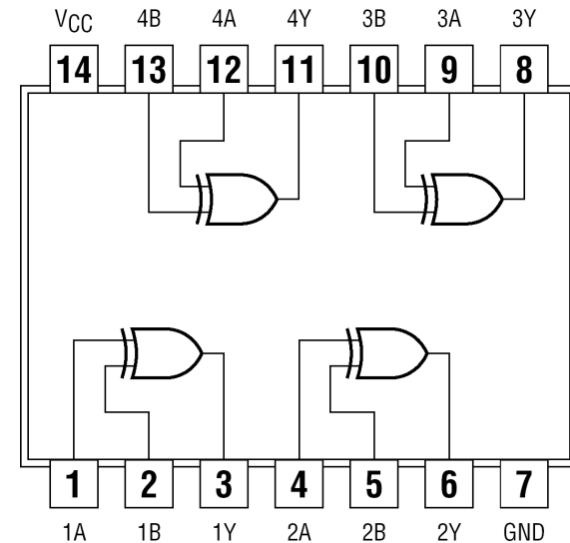
XOR 게이트의 기본 개념



AND-OR 게이트 표현



IC 7486 핀 배치도



XOR 게이트의 기본 개념(3입력)



| 진리표 | | | | 동작 파형 | 논리식 |
|----------|----------|----------|----------|---|---------------------------|
| <i>A</i> | <i>B</i> | <i>C</i> | <i>F</i> | <div> <div>A</div> <div>0 0 0 0 1 1 1 1 0</div> </div> <div> <div>B</div> <div>0 0 1 1 0 0 1 1 0</div> </div> <div> <div>C</div> <div>0 1 0 1 0 1 0 1 0</div> </div> <div> <div>F</div> <div>0 1 1 0 1 0 0 1 0</div> </div> | $F = A \oplus B \oplus C$ |
| | | | | | 논리 기호 |
| | | | | | |

XOR 게이트



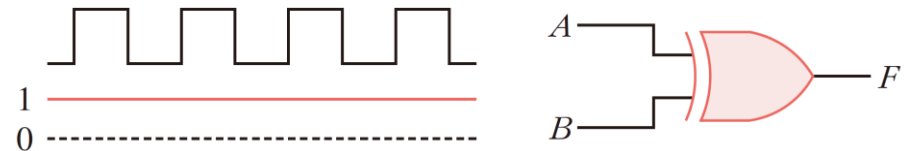
예제 4-8

2입력 XOR 게이트의 한 입력 A 에 구형파를 인가하였다. 다른 입력인 B 에 0을 인가한 경우와 1을 인가한 경우 각각의 개략적인 출력 파형을 그려 보시오.

(a) 입력 B 에 0을 인가한 경우



(b) 입력 B 에 1을 인가한 경우



풀이

(a) $AB = 00$ 이면 $F = 0$, $AB = 10$ 이면 $F = 1$, 그러므로 출력 F 는 입력 A 와 같은 파형 출력

(b) $AB = 01$ 이면 $F = 1$, $AB = 11$ 이면 $F = 0$, 그러므로 출력 F 는 입력 A 의 반전된 파형 출력

| | | | | | | | | | |
|-----|---|---|---|---|---|---|---|---|---|
| A | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| B | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| F | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |

(a) B 입력을 0으로 한 경우

| | | | | | | | | | |
|-----|---|---|---|---|---|---|---|---|---|
| A | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| B | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| F | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |

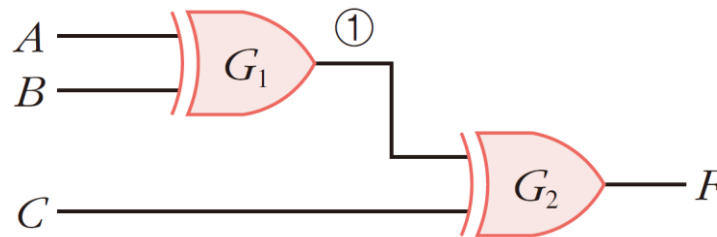
(b) B 입력을 1로 한 경우

XOR 게이트

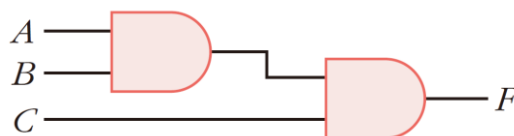


예제 4-9 2입력 XOR 게이트 2개를 사용하여 3입력 XOR 게이트를 구성하시오.

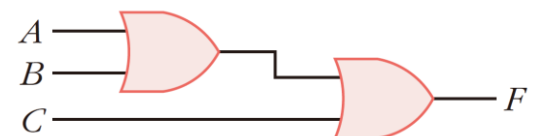
풀이



| 입력 | | | 출력 | |
|----|---|---|----|---|
| A | B | C | ① | F |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 |



3입력 AND



3입력 OR

• 8. XNOR 게이트

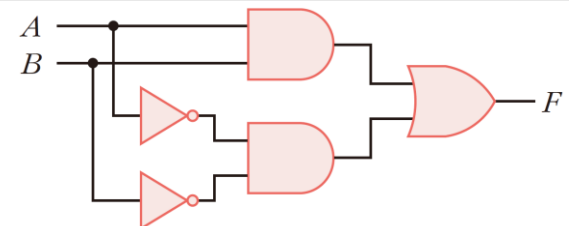
XNOR 게이트의 기본 개념(2입력)



- 입력 중 짝수 개의 1이 입력될 때 출력이 1이 되고, 그렇지 않은 경우에는 출력은 0이 된다.
- 출력값은 XOR 게이트에 NOT 게이트를 연결한 것이므로 XOR 게이트와 반대이다.
- 2입력 XNOR 게이트의 경우 두 개의 입력이 다를 때 출력이 0이 되고, 두 개의 입력이 같으면 출력은 1이 된다.

| 진리표 | | | 동작 파형 | 논리식 |
|-----|-----|-----|-------|---|
| A | B | F | | $F = \overline{\overline{A}B} + AB$ $= \overline{A \oplus B}$ $= A \odot B$ |
| 0 | 0 | 1 | | |
| 0 | 1 | 0 | | |
| 1 | 0 | 0 | | |
| 1 | 1 | 1 | | |

논리 기호



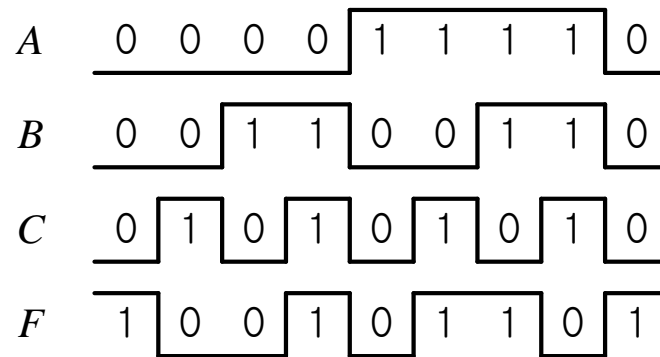
XNOR 게이트의 기본 개념(3입력)



진리표

| A | B | C | F |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

동작 파형

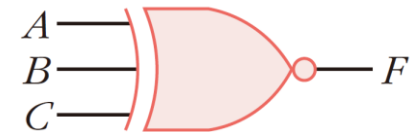


논리식

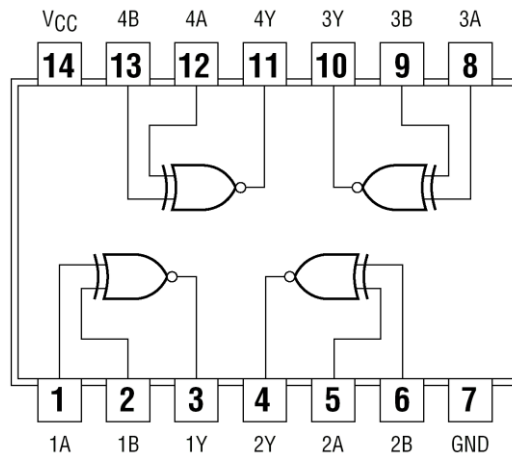
$$F = \overline{A \oplus B \oplus C}$$

$$= A \odot B \odot C$$

논리 기호



IC 74266 핀 배치도

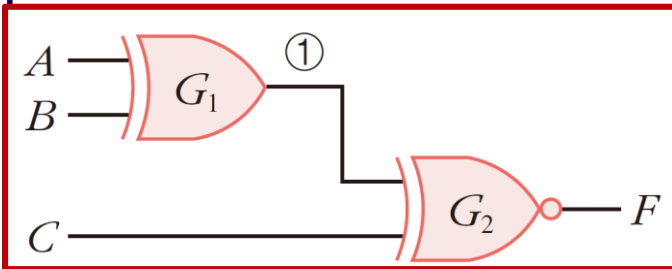


XNOR 게이트



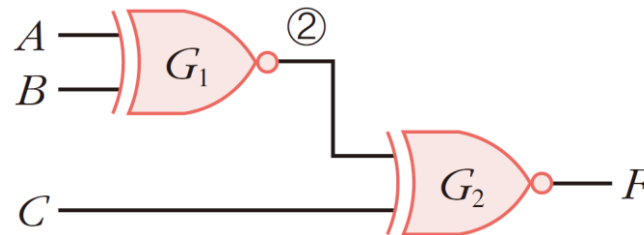
예제 4-10 2입력 게이트를 사용하여 3입력 XNOR 게이트를 구성하시오.

풀이



| 입력 | | | 출력 | |
|----|---|---|----|---|
| A | B | C | ① | F |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 |

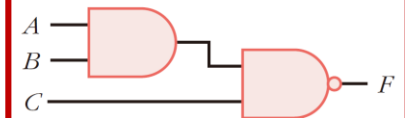
(a) 3입력 XNOR 게이트로 동작하는 경우



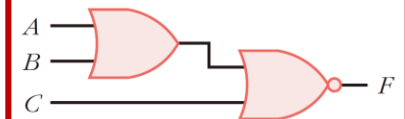
| 입력 | | | 출력 | |
|----|---|---|----|---|
| A | B | C | ② | F |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

(b) 3입력 XNOR 게이트로 동작하지 않는 경우

3입력 NAND



3입력 NOR



논리연산



- AND 연산

- 불필요한 비트나 문자를 제거할 때 사용(삭제되는 비트를 마스크라고 함)

- OR 연산

- 필요한 비트나 문자를 삽입할 때 사용

- XOR 연산

- 두 개의 입력을 비교하는 경우 또는 특정 비트의 값을 선택적으로 반전시킬 때 사용

—• 9. 정논리와 부논리

논리 개념



| 전압레벨 | 정논리 | 부논리 |
|------|--------|--------|
| +5V | High=1 | High=0 |
| 0V | Low=0 | Low=1 |

- 정논리 AND = 부논리 OR

| 전압레벨 | | | 정논리 AND | | | 부논리 OR | | |
|----------|----------|----------|----------|----------|----------|----------|----------|----------|
| <i>A</i> | <i>B</i> | <i>F</i> | <i>A</i> | <i>B</i> | <i>F</i> | <i>A</i> | <i>B</i> | <i>F</i> |
| <i>L</i> | <i>L</i> | <i>L</i> | 0 | 0 | 0 | 1 | 1 | 1 |
| <i>L</i> | <i>H</i> | <i>L</i> | 0 | 1 | 0 | 1 | 0 | 1 |
| <i>H</i> | <i>L</i> | <i>L</i> | 1 | 0 | 0 | 0 | 1 | 1 |
| <i>H</i> | <i>H</i> | <i>H</i> | 1 | 1 | 1 | 0 | 0 | 0 |

정논리 NAND = 부논리 NOR


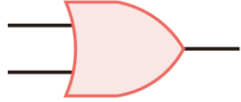
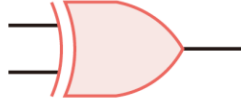
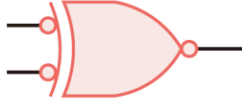


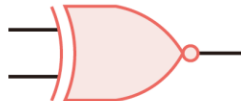



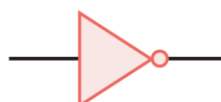
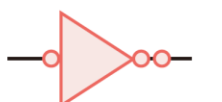




| 전압레벨 | | | 정논리 NAND | | | 부논리 NOR | | |
|----------|----------|----------|----------|----------|----------|----------|----------|----------|
| <i>A</i> | <i>B</i> | <i>F</i> | <i>A</i> | <i>B</i> | <i>F</i> | <i>A</i> | <i>B</i> | <i>F</i> |
| <i>L</i> | <i>L</i> | <i>H</i> | 0 | 0 | 1 | 1 | 1 | 0 |
| <i>L</i> | <i>H</i> | <i>H</i> | 0 | 1 | 1 | 1 | 0 | 0 |
| <i>H</i> | <i>L</i> | <i>H</i> | 1 | 0 | 1 | 0 | 1 | 0 |
| <i>H</i> | <i>H</i> | <i>L</i> | 1 | 1 | 0 | 0 | 0 | 1 |

- 표현 방법이 다를 뿐 실제로 정논리와 부논리는 논리적으로는 같다.

정논리와 부논리간의 게이트 대응



| 정논리 | ↔ | 부논리 | 정논리 | ↔ | 부논리 |
|--|---|---|---|---|---|
|  AND | ↔ |  OR |  XOR | ↔ |  XNOR |
|  OR | ↔ |  AND |  XNOR | ↔ |  XOR |
|  NAND | ↔ |  NOR |  NOT | ↔ |  NOT |
|  NOR | ↔ |  NAND | | | |

버블(bubble) : NOT 게이트를 간단하게 표현하는 동그라미 모양의 기호

—• 10. 게이트의 전기적 특성

게이트의 전기적 특성



- IC(집적회로)는 지난 60년간 기술적으로 다양하게 발전해옴
- SSI(small scale IC) : 하나의 칩에 게이트를 10개 가량 집적함
- MSI(medium scale IC) : 게이트를 100개 가량 집적함
- LSI(large scale IC) : 수천 개의 게이트로 구성
- VLSI(very large scale IC)와 ULSI(ultra large scale IC) : 수십만 혹은 수백만 게이트로 구성

게이트의 전기적 특성



- IC는 재료에 따라 그 특성이나 기능이 정해짐
- 특정 용도(전력 소모, 온도 등의 사용환경)에 따라 그룹으로 묶음
- TTL 계열은 NAND, ECL 계열은 NOR, CMOS는 inverter 게이트들에 사용되며 4가지 특성에 따라 평가됨

전파지연시간

- 신호가 입력되어서 출력될 때까지의 시간을 말하며, 게이트의 동작 속도이다.

전력소모

- 게이트가 동작할 때 소모되는 전력량

잡음 여유도

- 최대 허용된 잡음 마진

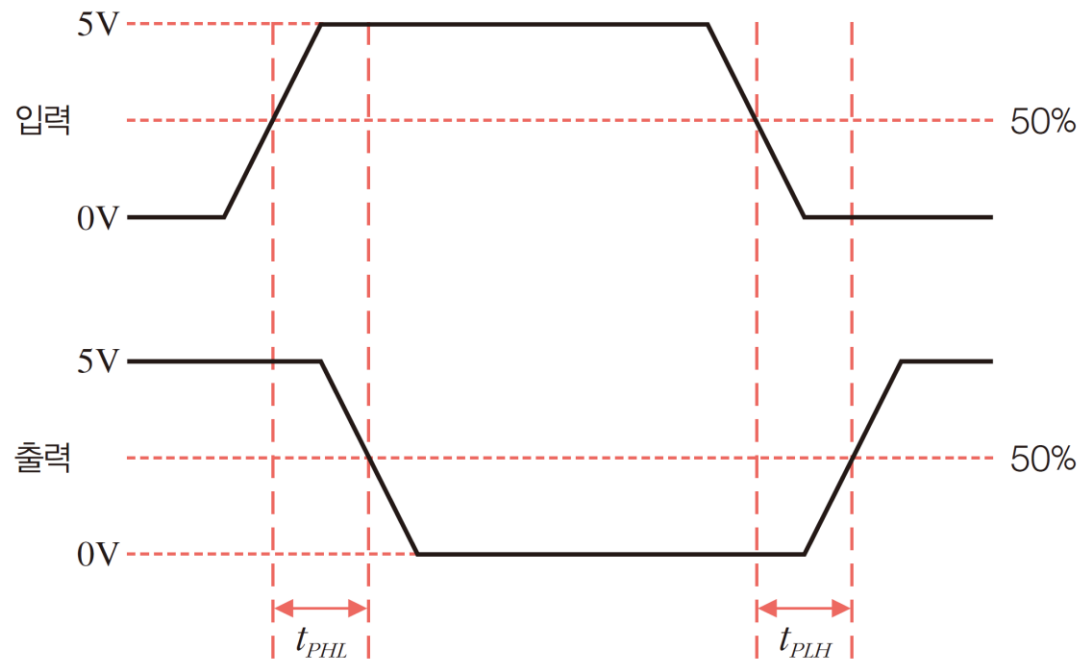
팬-아웃

- 하나의 게이트의 출력으로부터 다른 여러 개의 입력들로 공급되는 전류
- 정상적인 동작으로 하나의 출력이 최대 몇 개의 입력으로 연결되는가를 나타낸다.

전파지연시간(gate propagation delay time)



- 신호가 입력되어서 출력될 때까지의 시간을 말하며, 게이트의 동작 속도를 나타낸다.
- t_{PHL} 와 t_{PLH} 은 입력이 50%가 될때부터 출력이 50%가 될 때까지 측정
- 게이트마다 그리고 IC의 제조 방법에 따라 조금씩 차이가 있음



주요 디지털 IC 계열별 특성표



| | t_{PLH} (max) [ns] | t_{PHL} (max) [ns] | V_{OH} (min) [V] | V_{OL} (max) [V] | V_{IH} (min) [V] | V_{IL} (max) [V] | I_{OH} (max) [mA] | I_{OL} (max) [mA] | I_{IH} (max) [μA] | I_{IL} (max) [mA] |
|---------|----------------------------|----------------------------|--------------------------|--------------------------|--------------------------|--------------------------|---------------------------|---------------------------|---------------------------|---------------------------|
| 7400 | 22 | 15 | 2.4 | 0.4 | 2 | 0.8 | -0.4 | 16 | 40 | -1.6 |
| 74S00 | 4.5 | 5 | 2.7 | 0.5 | 2 | 0.8 | -1 | 20 | 50 | -2 |
| 74LS00 | 15 | 15 | 2.7 | 0.5 | 2 | 0.8 | -0.4 | 8 | 20 | -0.4 |
| 74ALS00 | 11 | 8 | 2.5 | 0.5 | 2 | 0.8 | -0.4 | 8 | 20 | -0.1 |
| 74F00 | 5 | 4.3 | 2.5 | 0.5 | 2 | 0.8 | -1 | 20 | 20 | -0.6 |
| 74HC00 | 23 | 23 | 3.84 | 0.33 | 3.15 | 1.35 | -4 | 4 | 1.0 | -0.1 |
| 74AC00 | 8 | 6.5 | 3.86 | 0.44 | 3.15 | 1.35 | -24 | 24 | 1.0 | -0.1 |
| 74ACT00 | 9 | 7 | 3.86 | 0.44 | 2 | 0.8 | -24 | 24 | 1.0 | -0.1 |

t_{PHL} : H 에서 L 로 변할 때의 전파지연시간

V_{OH} : 논리 레벨 H 일 때 출력전압

V_{IH} : 논리 레벨 H 일 때 입력전압

$I_{OH}, I_{OL}, I_{IH}, I_{IL}$: 위와 같을 때 전류

t_{PLH} : L 에서 H 로 변할 때의 전파지연시간

V_{OL} : 논리 레벨 L 일 때 출력전압

V_{IL} : 논리 레벨 L 일 때 입력전압

전파지연시간



예제 4-11

게이트 X 의 t_{PHL} 은 5ns 이며, t_{PLH} 는 4.5ns 이다. 게이트 Y 의 t_{PHL} 는 8ns 이며, t_{PLH} 는 7.5ns 이다. 각 게이트의 전파지연시간을 계산하고, 어느 게이트가 더 높은 주파수에서 동작하는지 설명하여라.

풀이

게이트 X 와 Y 의 전파지연시간을 계산하면 다음과 같다.

- 게이트 X 의 전파지연시간 : $5\text{ns} + 4.5\text{ns} = 9.5\text{ns}$
- 게이트 Y 의 전파지연시간 : $8\text{ns} + 7.5\text{ns} = 15.5\text{ns}$

동작 가능한 최대 주파수는 전파지연시간의 역수이므로 게이트 X 가 더 높은 주파수에서 동작함을 알 수 있다.

- 게이트 X 의 최대 동작 주파수 : $1 / 9.5\text{ns} = 105.26\text{MHz}$
- 게이트 Y 의 최대 동작 주파수 : $1 / 15.5\text{ns} = 64.52\text{MHz}$

전력소모(power dissipation)



- 게이트가 동작할 때 소모되는 전력

$$P_{CC} = V_{CC} \times I_{CC}$$

- 전력 소모(P_{CC})는 공급 전압(V_{CC})과 공급 전류(I_{CC})의 곱
- 공급 전압과 공급 전류는 각 제조사와 IC의 특성에 따라 다르며, 공급사에서 제공하는 데이터시트에 표시되어 있음
- 일반적으로 TTL IC에 공급되는 양의 전원은 V_{CC} , 음 전원은 GND, 공급되는 전류를 I_{CC} 라고 함

예제 4-12

어떤 논리 게이트가 +5V DC 전압에서 동작하고 평균 4mA의 전류가 흐른다면 전력소모는 얼마인가?

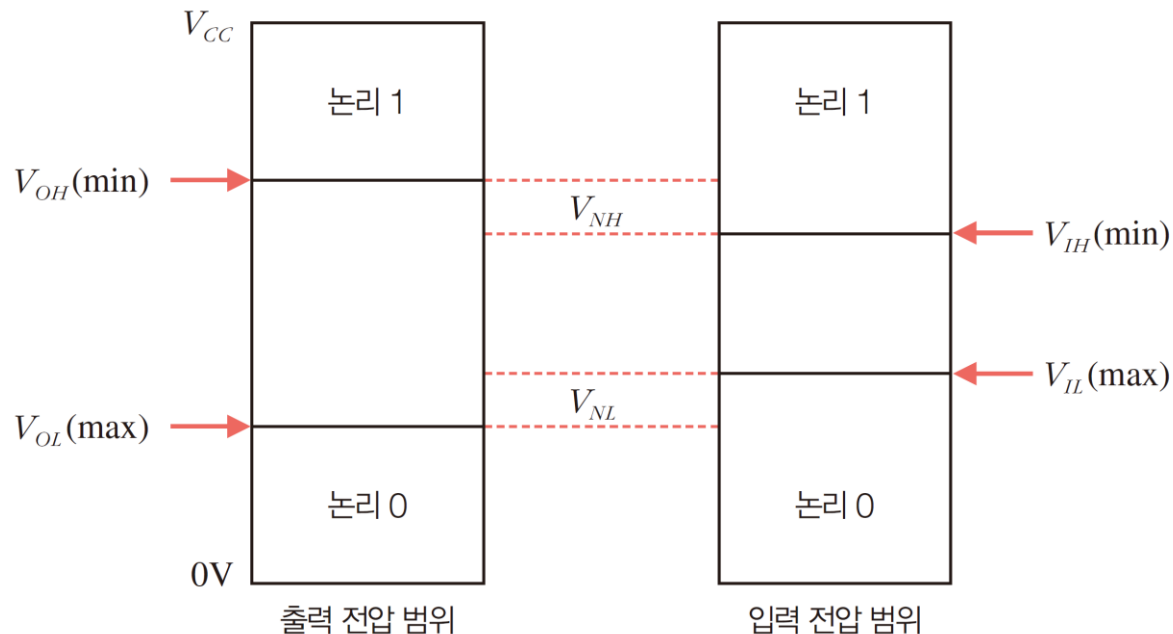
풀이

$$P = 5 \times 4 \times 10^{-3} \text{ W} = 20 \times 10^{-3} \text{ W} = 20 \text{ mW}$$

잡음 여유도(noise margin)

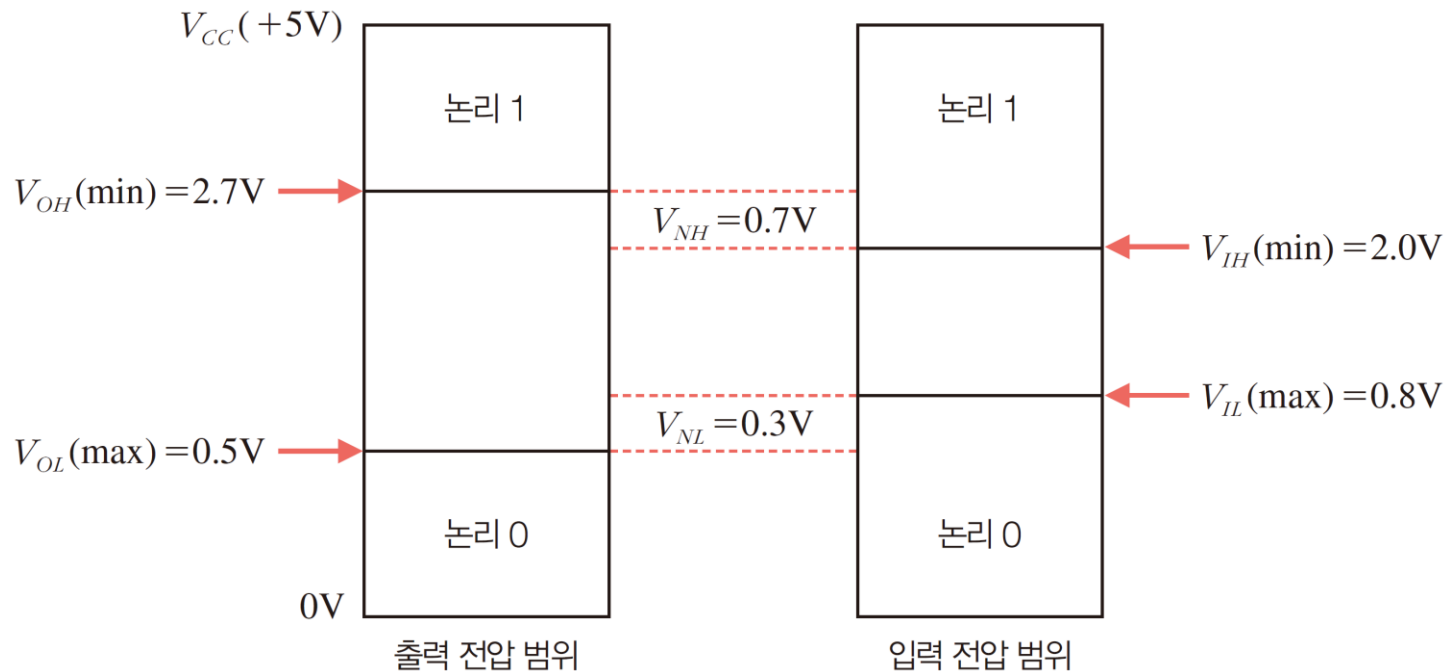


- 디지털 회로에서 데이터의 값에 변경을 주지 않는 범위 내에서 최대 허용된 Noise Margin을 의미
- 잡음 면역 : 입력 전압의 잡음을 견뎌낼 수 있는 회로의 능력
- 잡음 여유도 : 잡음 면역의 정도



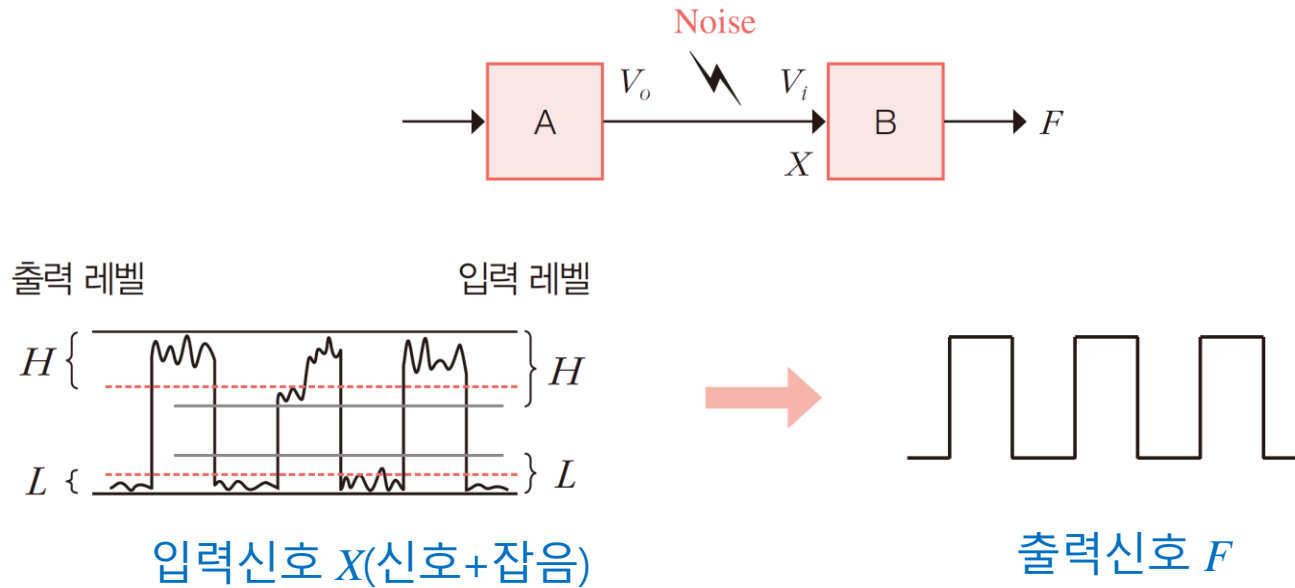
입출력 전압 범위

잡음 여유도(noise margin)



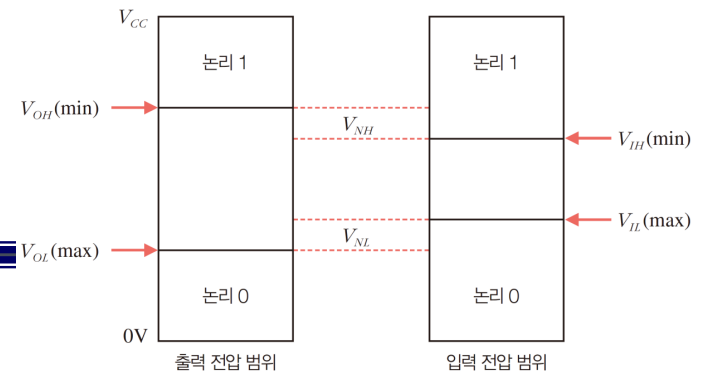
LS-TTL의 입출력 레벨

잡음 여유도(noise margin)



- 전기적인 잡음 : 원치 않은 전기적 불규칙성으로 인해 디지털 논리 레벨을 변화시키는 것

잡음 여유도(noise margin)



예제 4-13

주어진 파라미터를 이용하여 74HC 계열 IC의 잡음 여유도를 계산하여라.

| 파라미터 | 74LS |
|------------------------|-------|
| $V_{IH} \text{ (min)}$ | 3.15V |
| $V_{IL} \text{ (max)}$ | 1.35V |
| $V_{OH} \text{ (min)}$ | 3.84V |
| $V_{OL} \text{ (max)}$ | 0.33V |

- 풀이**
- Low level의 잡음 여유도 : $V_{NL} = V_{IL} \text{ (max)} - V_{OL} \text{ (max)} = 1.35\text{V} - 0.33\text{V} = 1.02\text{V}$
 - High level의 잡음 여유도 : $V_{NH} = V_{OH} \text{ (min)} - V_{IH} \text{ (min)} = 3.84\text{V} - 3.15\text{V} = 0.69\text{V}$

잡음 여유도(noise margin)



예제 4-14

다음 표에는 세 종류의 게이트에 대한 전압 파라미터가 표시되어 있다. 잡음이 많은 산업 환경에서 사용할 수 있는 최선의 게이트를 선택하시오.

| 게이트 종류 | V_{OH} (min) | V_{OL} (max) | V_{IH} (min) | V_{IL} (max) |
|--------|----------------|----------------|----------------|----------------|
| 게이트 A | 2.4V | 0.4V | 2.0V | 0.8V |
| 게이트 B | 3.5V | 0.2V | 2.5V | 0.6V |
| 게이트 C | 4.2V | 0.2V | 3.2V | 0.8V |

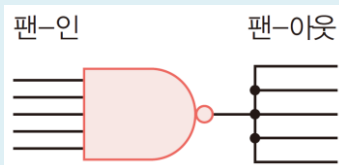
풀이

| | |
|-------|---|
| 게이트 A | <ul style="list-style-type: none"> Low 레벨의 잡음 여유도 : $V_{NL} = V_{IL}(\text{max}) - V_{OL}(\text{max}) = 0.8\text{V} - 0.4\text{V} = 0.4\text{V}$ High 레벨의 잡음 여유도 : $V_{NH} = V_{OH}(\text{min}) - V_{IH}(\text{min}) = 2.4\text{V} - 2.0\text{V} = 0.4\text{V}$ |
| 게이트 B | <ul style="list-style-type: none"> Low 레벨의 잡음 여유도 : $V_{NL} = V_{IL}(\text{max}) - V_{OL}(\text{max}) = 0.6\text{V} - 0.2\text{V} = 0.4\text{V}$ High 레벨의 잡음 여유도 : $V_{NH} = V_{OH}(\text{min}) - V_{IH}(\text{min}) = 3.5\text{V} - 2.5\text{V} = 1.0\text{V}$ |
| 게이트 C | <ul style="list-style-type: none"> Low 레벨의 잡음 여유도 : $V_{NL} = V_{IL}(\text{max}) - V_{OL}(\text{max}) = 0.8\text{V} - 0.2\text{V} = 0.6\text{V}$ High 레벨의 잡음 여유도 : $V_{NH} = V_{OH}(\text{min}) - V_{IH}(\text{min}) = 4.2\text{V} - 3.2\text{V} = 1.0\text{V}$ |

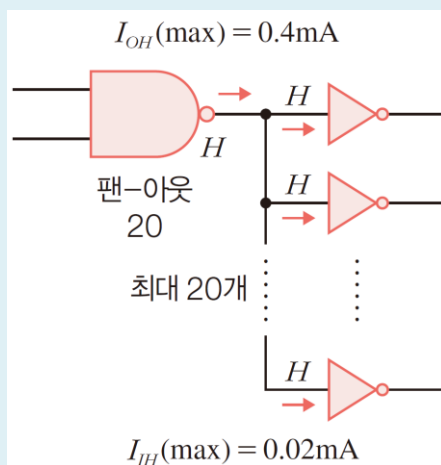
팬-인(fan-in)과 팬-아웃(fan-out)



- 팬-아웃은 1 개의 게이트에서 다른 게이트의 입력으로 연결 가능한 최대 출력단의 수를 의미
- 팬-인은 1 개의 게이트에 입력으로 접속할 수 있는 단수를 의미

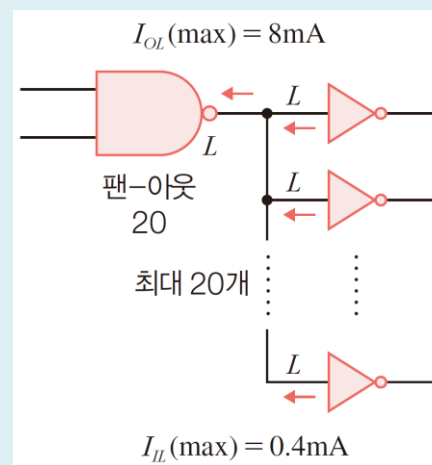


출력이 High 레벨일 때



$$\frac{I_{OH}(\max)}{I_{IH}(\max)} = \frac{0.4mA}{0.02mA} = 20$$

출력이 Low 레벨일 때



$$\frac{I_{OL}(\max)}{I_{IL}(\max)} = \frac{8mA}{0.4mA} = 20$$

팬-인(fan-in)과 팬-아웃(fan-out)



| | t_{PLH} (max) [ns] | t_{PHL} (max) [ns] | V_{OH} (min) [V] | V_{OL} (max) [V] | V_{IH} (min) [V] | V_{IL} (max) [V] | I_{OH} (max) [mA] | I_{OL} (max) [mA] | I_{IH} (max) [μA] | I_{IL} (max) [mA] |
|-------|----------------------------|----------------------------|--------------------------|--------------------------|--------------------------|--------------------------|---------------------------|---------------------------|---------------------------|---------------------------|
| 74F00 | 5 | 4.3 | 2.5 | 0.5 | 2 | 0.8 | -1 | 20 | 20 | -0.6 |

예제 4-15 [표 4-1]을 참조하여 74F00의 팬-아웃을 계산하시오.

풀이

- High level인 경우 : $\frac{I_{OH}(\max)}{I_{IH}(\max)} = \frac{1\text{mA}}{20\mu\text{A}} = \frac{1\text{mA}}{0.02\text{mA}} = 50\text{개}$
- Low level인 경우 : $\frac{I_{OL}(\max)}{I_{IL}(\max)} = \frac{20\text{mA}}{0.6\text{mA}} = 33\text{개}$

팬-아웃은 최악의 경우를 고려하여 33개다.

싱크 전류(sink current)와 소스 전류(source current)



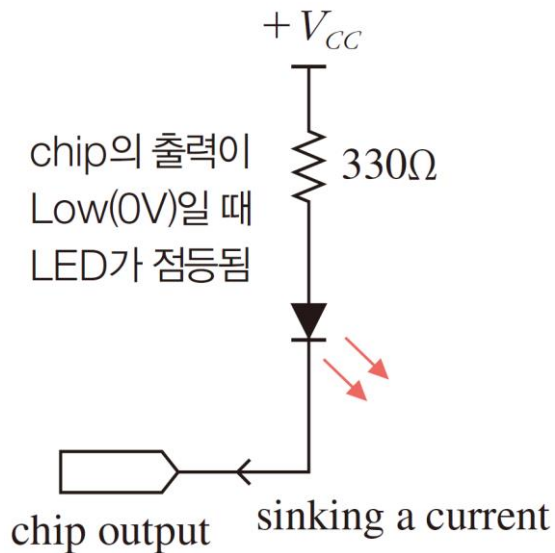
싱크 전류

출력 쪽으로 전류가 흘러 들어간다는 의미

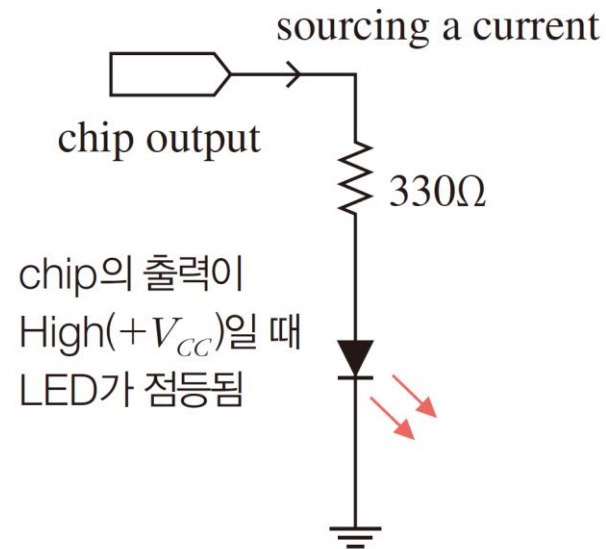
소스 전류

출력에서 바깥으로 전류가 흐른다는 의미

싱크 전류로 점등



소스 전류로 점등



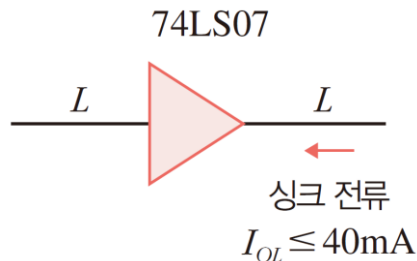
74시리즈 TTL의 경우에 많은 칩에서 싱크 전류는 16mA까지 가능하며, 소스 전류는 0.25mA 이하이다.

싱크 전류(sink current)와 소스 전류(source current)

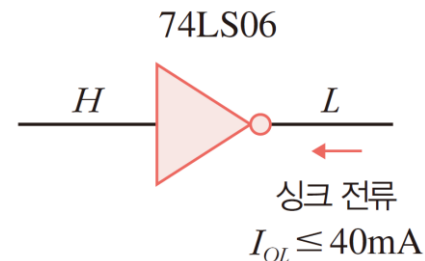


- 높은 팬-아웃 IC를 LSI 출력측에 접속하기 위한 소자로서 74LS06, 74LS07과 같은 버퍼를 사용한다.
- 이들은 게이트에 외부로부터 공급되는 싱크 전류를 40mA까지 허용하며, 게이트가 공급하는 소스 전류는 0.25mA다.

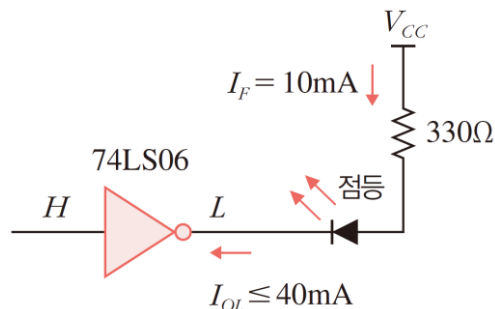
버퍼의 싱크 전류



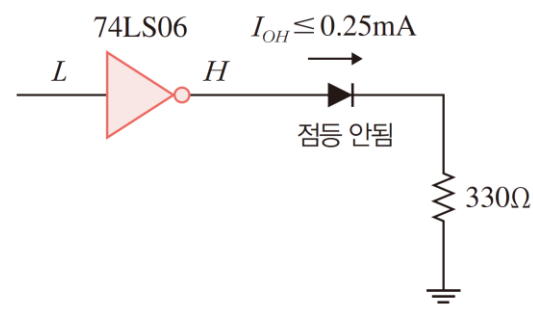
인버터의 싱크 전류



싱크 전류로 점등



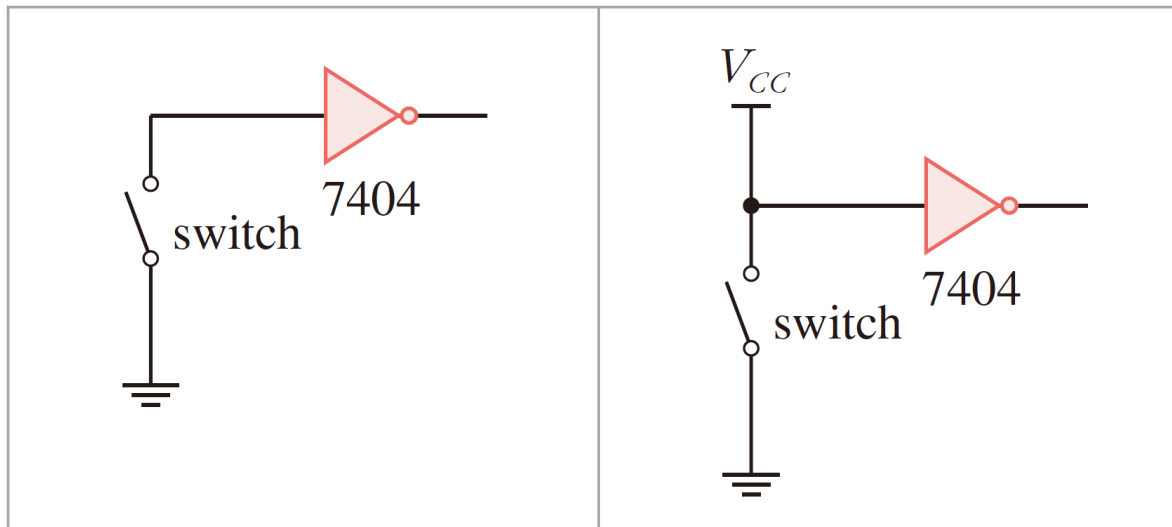
소스 전류로는 점등 안됨



풀-업 저항과 풀-다운 저항



- 입력레벨의 불확실성을 제거하여 정확한 신호를 얻기 위하여 사용하는 저항
- 풀-업 저항 : 전원 쪽으로 연결할 때 사용
- 풀-다운 저항 : 접지 쪽으로 연결할 때 사용
- 적절한 풀-업, 풀-다운 저항으로서는 $3 \sim 10K\Omega$ 을 사용



floating

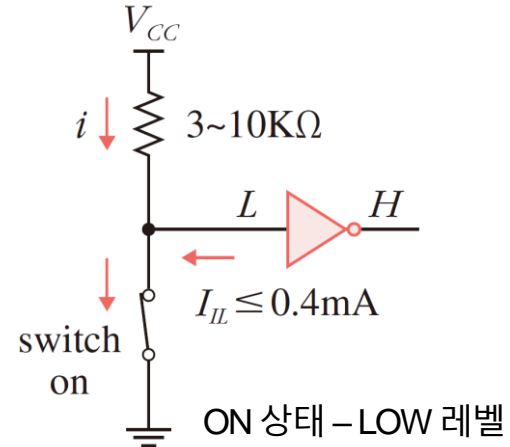
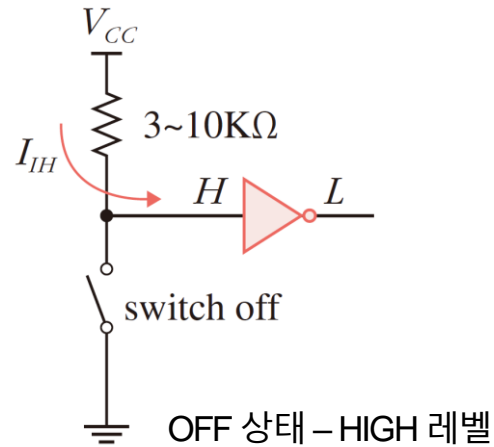
디지털 회로에서
High도 Low도
아닌 논리 레벨

풀-업 저항을 사용하지 않으면 불확실한 입력신호가 될 수 있다.

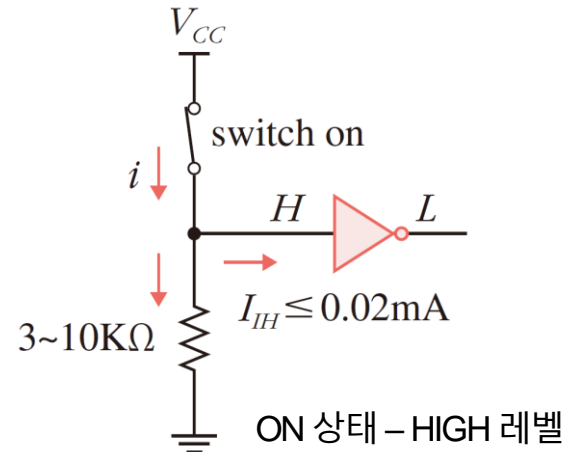
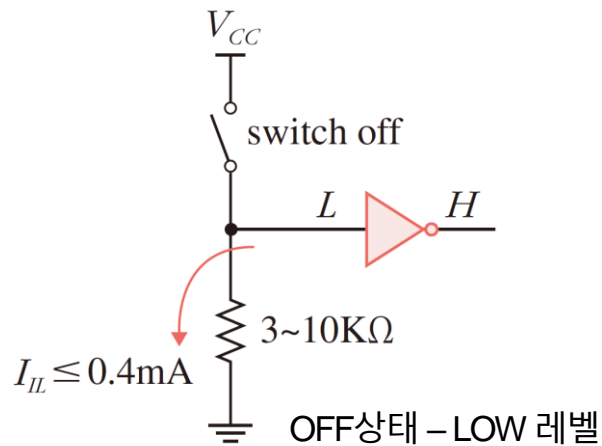
풀-업 저항과 풀-다운 저항



풀업저항



풀다운저항



IC 계열별 특징



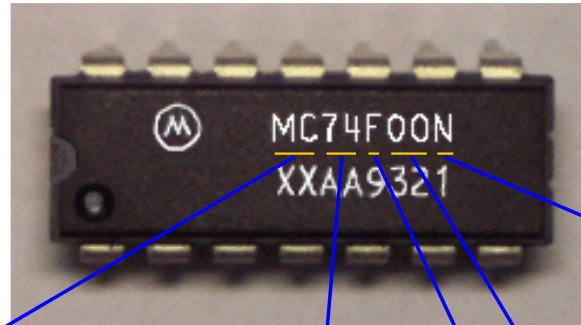
- 디지털 IC : TTL (Transistor–Transistor Logic),
CMOS (Complementary Metal Oxide Semiconductor)
- TTL : BJT와 Diode로 구성
- CMOS : NMOS와 PMOS FET로 구성
 - CMOS의 장점 : TTL에 비해 소비전력이 적고 사용전압 범위가 넓다
 - CMOS의 단점 : TTL에 비해서 속도가 떨어진다.
 - 고속의 CMOS IC가 개발되어 TTL과 비슷한 보급 성향을 보이고 있다.
- TTL 중에서는 74계열 외에 군용과 같이 열악한 환경에서도 동작할 수 있도록 개발된 54 계열이 있다.
 - 74 계열의 작동 온도 범위 : 0~70℃
 - 54 계열은 작동 온도 범위 : -55~125 ℃
- TTL은 LS(low power–schottky), F(fast) 타입이 CMOS는 4000B 계열, HC(high speed CMOS) 타입이 주로 사용된다.

TTL과 CMOS 특성비교



| 구분 | TTL | CMOS |
|---------------|---|---|
| 전원전압 | 4.75~5.25V | 종래형 : 3~8V, 고속형 : 2~6V |
| 논리레벨 전압(Low) | 0~0.8V | $1 \sim 1/3 V_{DD}$ |
| 논리레벨 전압(High) | 2.4~5.0V | $2/3 \sim V_{DD}$ |
| 팬-아웃 | 10개 | 50개 |
| 소비전력 | 10mW | 10 μ W |
| 최대 동작주파수 | LS형 : 45MHz, ALS형 : 100MHz | 종래형 : 2MHz, 고속형 : 45MHz |
| 형태 | 74LSxx, 74ALSxx, 74Fxx, 74ASxx | 40xxx, 14xxx, 74HCxxx |
| 잡음 여유도(V) | 2.4V | 3V |
| 장단점 | <ul style="list-style-type: none"> 전파지연시간이 짧다. 소비전력이 크다. 잡음 여유도가 작다. 온도에 따라 threshold 전압이 크게 변한다. | <ul style="list-style-type: none"> 소비전력이 작다. 낮은 전압에서 동작한다. 잡음 여유도가 크다. 구조가 간단하여 집적화가 쉽다. 전원 전압 범위가 넓다. 정전 파괴가 쉽다. |

TTL / CMOS Family 이름 규칙



제조회사

SN : Texas Instrument
MC : Motorola
DM : National Semiconductor
IM : Intersil
N : Signetics
MM : Monolithic Memories
P : Intel
H : Harries
F : Fairchild
AM : Advanced Micro Devices
CD : RCA
HD : Hitach
DN/MN : Mitsubishi
MB : Fujitsu
TC : Toshiba
HY : Hyundai
GD : GoldStar
K- : Samsung

시리즈명

74 : TTL
40 : CMOS

패키지 외형

N : Plastic DIP
J : Ceramic DIP
W : Flat Pack

기능에 따른 고유번호

회로타입

S : High Speed Schottky
L : Low Power
LS : Low Power Schottky
H : High Speeds
F : Fast
HC : High Speed CMOS(CMOS compatible)
HCT : High Speed CMOS TTL(LS TTL compatible)
AC : Advanced
AS : Advanced Schottky
ALS : Advanced Low Power Schottky

Q & A

