

组成原理实验常用问题

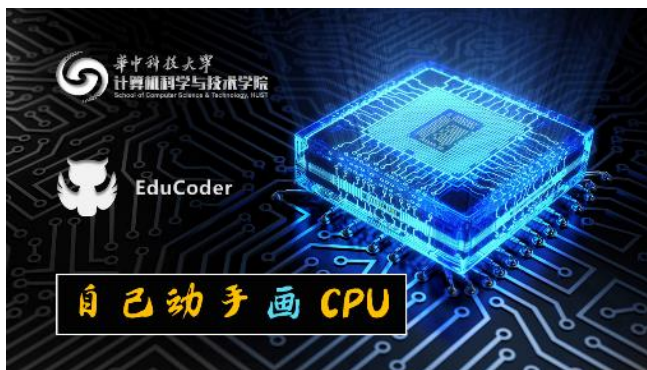
1、实验是否有配套教材？

有配套教材：谭志虎，《计算机组成原理实践教程》，清华大学出版社，2018。



2、实验是否有配套视频讲解？

本实验所有实验内容均配置有视频讲解，并在中国大学慕课开设有专门的课程《计算机硬件系统设计》，<https://www.icourse163.org/course/HUST-1205809816>, 该课程每学期滚动开设, 不关闭历史课程, 可以随时访问所有内容。



3、实验是否需要硬件平台？

本实验体系基于 logisim 虚拟仿真平台开设, 可以不依赖任何实验平台开展虚拟仿真实验, 后续我们还会开发插件将电路图一键转 Verilog 代码, 构建虚实一体的实验框架。

4、实验是否可以自动评测？

本实验体系大多数实验均可离线自动测试，检查简单，为进一步提升是纯洁效率，减轻教师课堂管理负担，目前所有实验均移植到 www.educoder.net 在线实训平台，可以提供实验的自动评测，老师可以方便的创建自己的专属课堂，开展在线实验，实验自动检查，成绩一键导出。

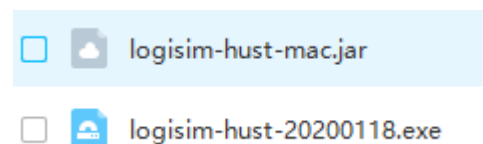
5、实验框架电路和软件在哪下载？

本实验所有最新的配套实验资料，软件资源，课件全部在中国大学慕课《计算机硬件系统设计》课程资料下载区给出的百度网盘链接下载，相关资料随时更新，下载链接如下。如链接失效，访问慕课查看最新分享链接。

<https://pan.baidu.com/s/13cFXZ5x8auptqzRsRbSpkw>

6、实验需要装哪些软件？

推荐使用意大利版华科改良版，Educoder 平台后台测试采用该版本，请放弃使用早期的 logisim 2.7 版本，如下图所示。



Windows 平台使用 EXE 文件，MAC 或 Linux 平台使用 JAR 文件，注意 MAC 平台下电路缩放采用 CTRL/ALT+两指缩放。

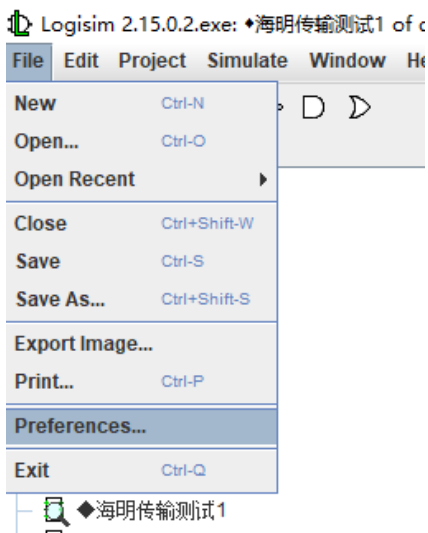
运行 logisim 需要安装 10.0 以上的 java 运行环境，否则无法支持高分辨率屏幕，以下版本任选一个安装即可，也可到官网下载最新的运行环境。

<https://www.oracle.com/java/technologies/javase-downloads.html>

- ☐ 建议安装10.0以上版本
- ☐ jdk-13.0.1_windows-x64_bin.exe
- ☐ jdk-11.0.5_windows-x64_bin.exe
- ☐ readme.txt
- ☐ jre-10.0.2_windows-x64.exe
- ☐ jdk-13_linux-x64_bin.rpm

7、Logisim 如何设置成中文界面？

点击菜单 File→Preference→International→CN



8、Logisim 有哪些必须知道的技巧？

- **一定要记住的快捷键：** 数字键改变引脚数目，ALT+数字改变位宽，方向键改变组件朝向，CTRL+1，CTRL+2 切换与戳工具与编辑模式。Ctrl+a 全选 CTRL+d 创建副本，ctrl+c 复制 ctrl+v 粘贴，ctrl+z 撤销。Ctrl+T 时钟单步，Ctrl+K 时钟连续，Ctrl+R 电路复位 CTRL+E 开关自动仿真，CTRL+I 信号单步传递，苹果下所有 ctrl 快捷键换成 Command 按键。滚轮/右键双击：自动缩放电路。滚轮/苹果下 ctrl+双指：缩放电路。
- **戳工具/手指图标，快捷操作：滚轮单击。** 点击组件可以直接组件的值，如引脚的值、寄存器的值，计数器的值，还可以修改存储器地址和内容，戳工具点击线缆可以直接查看线缆的值，并用紫色高亮显示连通线路。

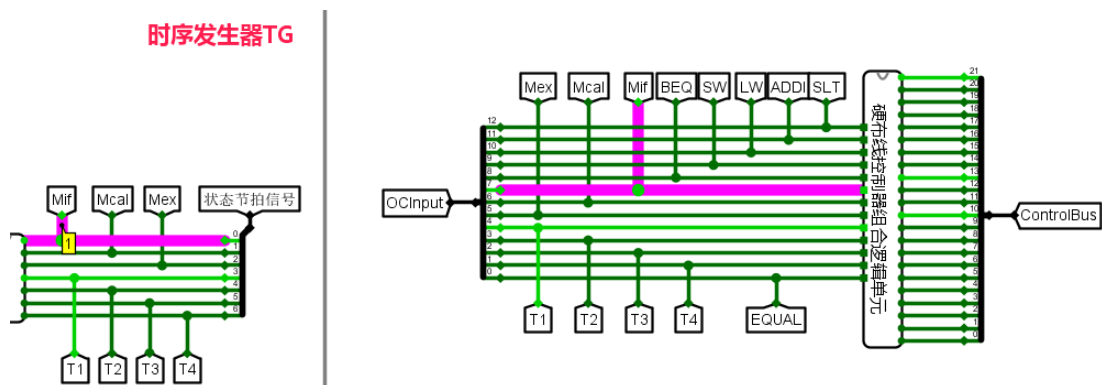
9、两个 logisim 电路之间能否互相复制电路？

可以，但需要注意的是 logisim 没有利用操作系统的剪贴板，所以不能任意复制，以下几种方法可以实现复制功能：

- 1、首先用打开一个 circ 电路，然后利用 logisim 文件菜单的 open 选项打开另外一个电路，两个电路之间就可以互相复制。
- 2、将另外一个电路以加载 logisim 库的形式加载到本电路中，也可以进行电路复制。
- 3、直接编辑 circ 文件，该文件是 xml 文件，所有子电路都是以这样的标记出现，`<circuit name="test"></circuit>`，找到对应的子电路，直接复制成段的文本即可，这种方式还可以连电路外观一起复制。

10、 如何查找电路中所有的同名标签？

利用戳工具点击标签连接的线路，所有联通在一起的线路都会显示出来，对应的标签都连接在一起，如下图所示，可以很方便的找到同名的标签，该功能非常实用，在调试时应注意经常使用。



11、 电路为什么大面积蓝线，如何解决？

电路出现蓝线一般是没有连接具体的值，成为高阻态或悬浮态，但有时候 Logisim 会莫名其妙的呈现大面积蓝线，这主要是其内部仿真算法紊乱的原因，这个时候可以有几个方法尝试修复：

- 1：尝试一下 Ctrl+ R 总复位所有电路
- 2：关闭启用自动仿真，再重新启用自动仿真，一般可以解决
- 3：Logisim 重启大法，一定可以解决。



12、 电路为什么会出现红线，如何解决？

电路出现红线有两种情况：第一种是逻辑部件的输入悬空，为蓝线，所以输出为错误状态，此时线是正常情况，将输入连接上具体信号即可消失。第二种就是短路故障，通常有两种情况，一种是应该是输出引脚的位置选用了输入引脚，二者外观太相似；另外就是因为不小心的连接错误造成的，而且往往在电路初始状态下并不会出现红线，动态运行中才会出现红线。造成这种动态红线的原因是因为初始状态下短路位置连接的多个数据来源的值是相同的，所以没有信号冲突，动态运行时可能出现短接的两个部件的数据是不同的，就造成了信号冲突，显示红色，如果连接探针，会显示 E 字样，在 Educoder 平台上测试如果出现 E 信号，如下图所示，一定是短路，找到短路位置就可以解决这个问题？

测试集 1					代码执行时长: 1.6秒 消耗内存88.47MB				
- 预期输出 -					- 实际输出 -				
1	Cnt	GB2312	Hamming		1	Cnt	GB2312	Hamming	
2	00	bbaa	373a52		2	00	bbaa	373a52	
3	01	d6d0	3aed88		3	01	d6d0	EaEdEE	Error!
4	02	bfc6	177cb9		4	02	bfc6	177cb9	
5	03	bcbc	374b68		5	03	bcbc	174b60	Error!
6	04	b4f3	36cf95		6	04	b4f3	E0EfEE	Error!
7	05	d1a7	3a9ab4		7	05	d1a7	EaEaEE	Error!
8	06	cac7	19acb5		8	06	cac7	E9EcEE	Error!
9	07	b9fa	171fda		9	07	b9fa	E7EfEE	Error!
10	08	bcd2	174d11		10	08	bcd2	E7EdEE	Error!
11	09	bdcc	375c61		11	09	bdcc	375c61	
12	0a	d3fd	3abf0e		12	0a	d3fd	EaEfEE	Error!
13	0b	b2bf	36ab76		13	0b	b2bf	E0EbEE	Error!
14	0c	d6b1	3aeb8e		14	0c	d6b1	EaEbEE	Error!

13、 如何快速找到短路的位置？

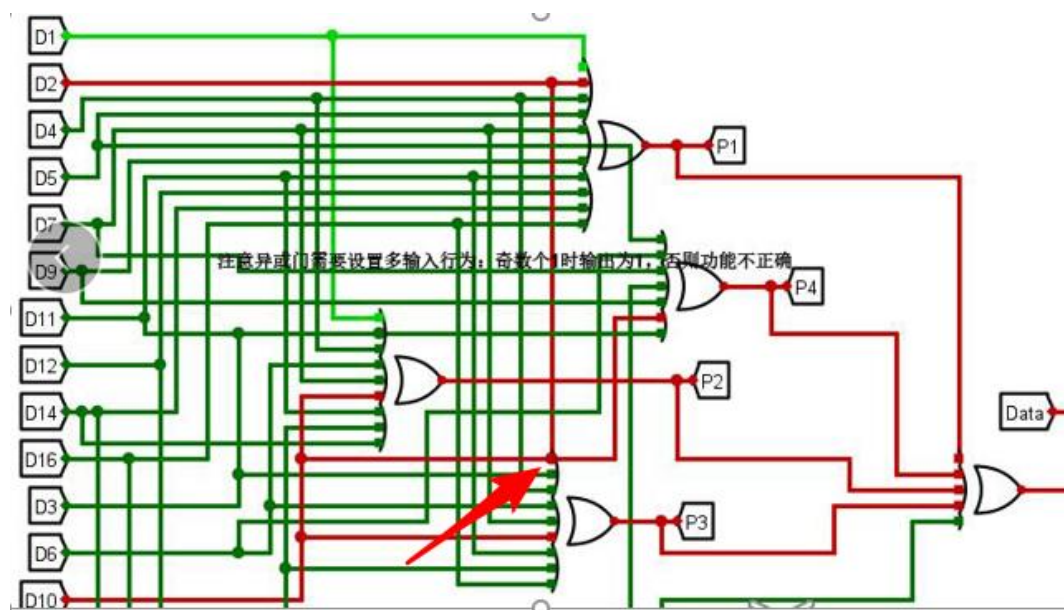
首先应该能复现短路故障，如果是在 Educoder 平台测试出现 E 值，只需要将错误测试用例的输入利用戳工具加载在当前电路输入引脚上就可以复现短路的红线故障。

一种比较容易犯的错误就是将输出引脚弄成了输入引脚，在老版本 logisim 中输入引脚输出引脚形状差不太多，容易犯这样的错误，首先需要排除是否存在这个情况，这是新手容易犯的错误。

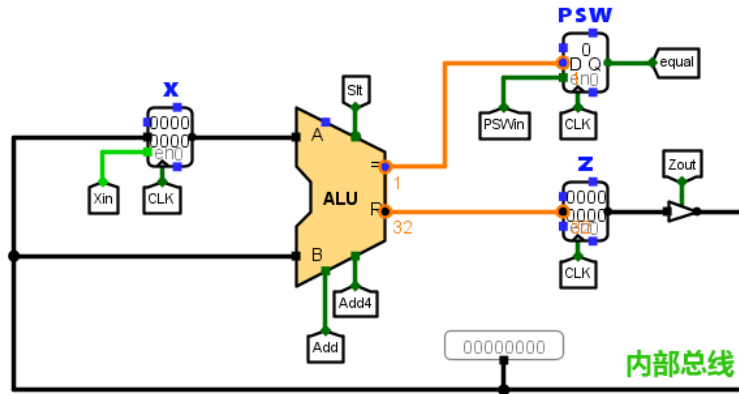
出现短路时，红线沿线都可能是短路的位置，所有短路位置都有多余的连接线，在 Logisim 中会形成圆形的交叉点，仔细搜寻红色路径中是否有不当连接的圆点，尤其是挨得比较近的圆点或子电路封装边沿的圆点更要引起警惕，删掉电路封装，你可能就会发现潜藏在下面的短路线路。

将这种方法叫做“揭盖子，找虫子”。

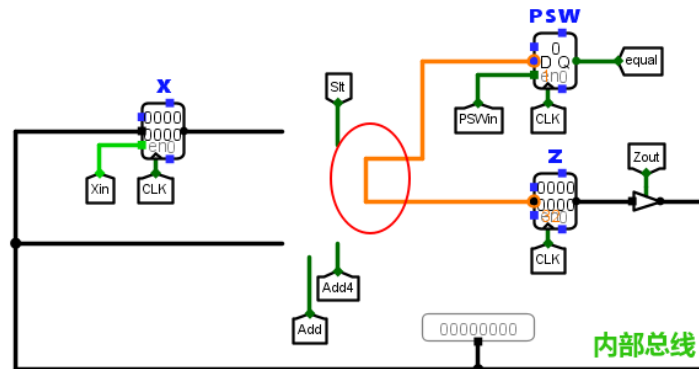
如下图，中下方的异或门最上面的引脚的红色圆点有一个很不明显的短路，所以建议不要将线缆穿过组件进行连接。



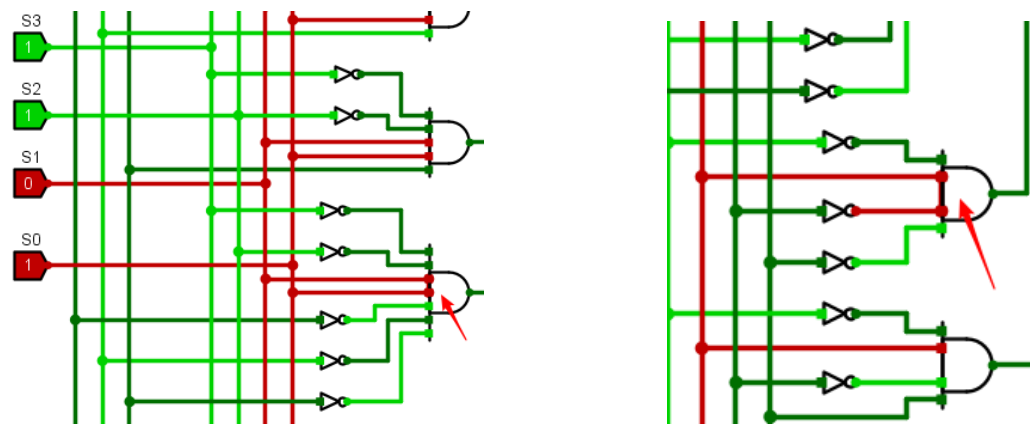
下图中出现了了位宽不匹配，但线缆两端都是对的，而实际上是 ALU 的=标记与 R 短接了。



删掉 ALU 封装，就可以发现短接线路了



下面这幅两图也是一样，逻辑与门输入引脚有两个异常的红点

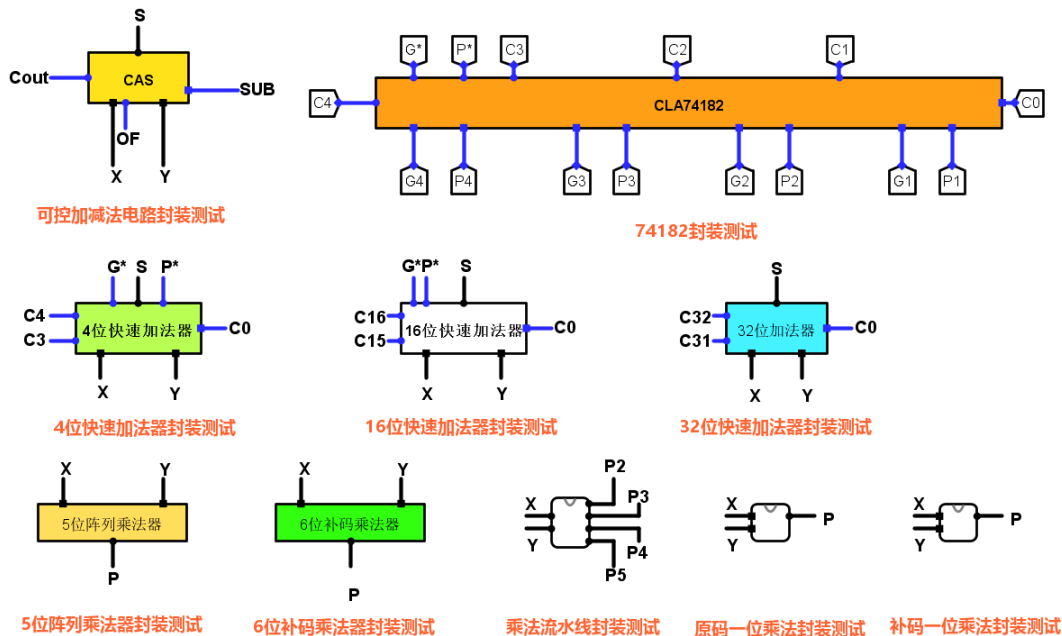


要排除这样的故障，只要再两个圆点之间重新画一次线就可以去掉原来的短路线缆了。

14、 为什么电路中总提示不然增删改引脚？

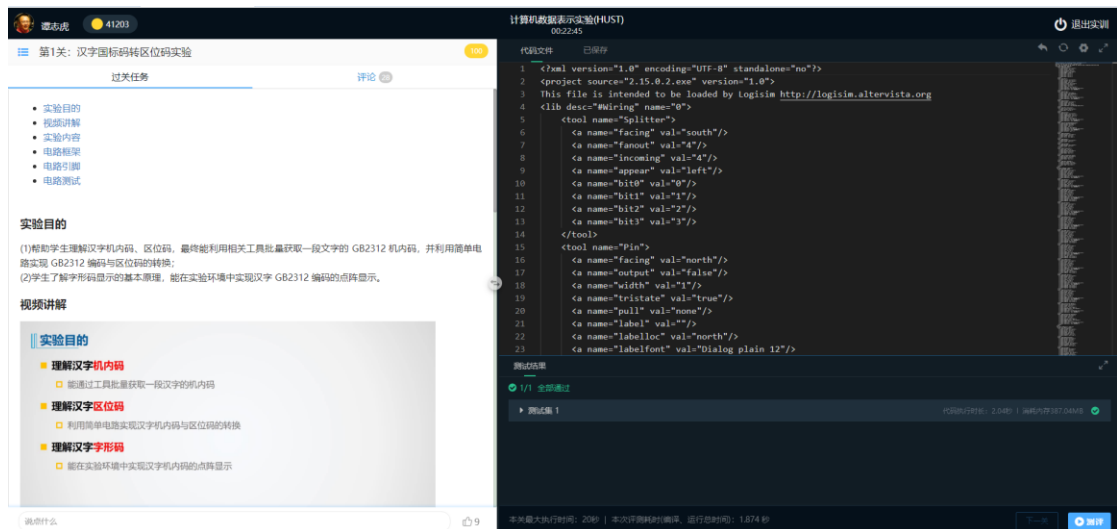
每个电路都有一个默认的子电路外观，包括封装形状和输入输出引脚，如下图所示，引脚在封装中出现的位置和在电路中的位置和朝向有很大的关系，所以移动引脚，改变朝向，增加引脚，删除引脚都可能破坏约定的封装，而测试系统是针对事先规定好的封装进行测试的，如果增删改引脚，那么封装就有被破坏的风

险，直接导致测试系统无法正常工作，最常见的就是 educoder 平台提示输出为 XXXX，出现这种问题一定要通过电路框架中的子电路外观测试子电路检查一下你的待测电路的封装是否被破坏。



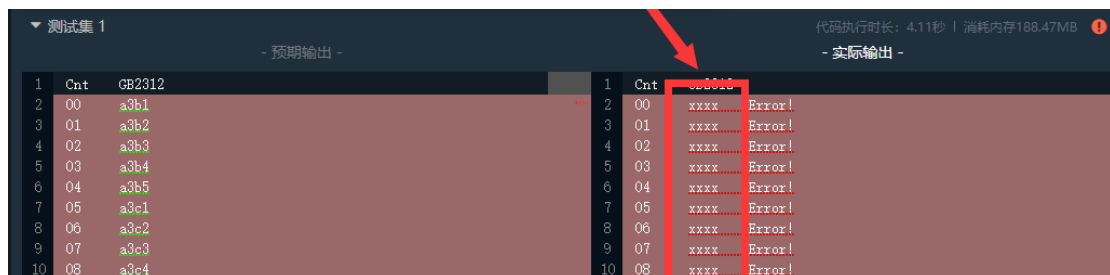
15、实验如何在 Educoder 平台上评测通关？

实验电路 circ 文件是一个 xml 文本文件，只需要将对应的 circ 用文本编辑器，记事本、ultraedit、sublime、vscode 等拷贝粘贴到下图右上角平台代码区域即可，注意一定用纯文本的方式复制粘贴。完成代码粘贴后即可进行测评，测评通过换提示通关，否则会右下角测试用例部分显示红色，点击可以展开，查看实际电路测试情况，左侧为标准期望，右侧为实际输出，不相同的行会用棕色标记出来，找出不同的列，将错误测试用例通过戳工具点击加载在待测电路的输入引脚上，检查自己的逻辑为什么和标准期望不一样，直至发现问题。



16、Educoder 平台实际输出输出 XXXX 是什么原因？

如果你本地测试是 ok 的，上传 Educoder 平台出现输出为悬浮态 X，表示你电路的封装引脚可能因为增删改引脚发生了变化，系统测试时对应的输出引脚没有连接正确，所以需要仔细检查待测电路的封装，目前所有框架文件均提供了待测电路的封装测试子电路，仔细检查引脚是否和连线错位。



17、为什么提示找不到 GB2312ROM.CIRC 或 CS3410.jar 以及其他文件？



注意实验文件 data.circ 与 GB2312ROM.circ 应该放在同一个目录下，前者调用了 GB2312ROM.circ 电路，有可能大家做实验的时候没有放在一起，然后找不到这个文件的时候大家指向了另外一个目录的 GB2312ROM.circ，这样对应文件的路径就带到电路文件中去了，上传平台时测试这个路径的文件肯定是不存在

的，所以就无法加载这个电路。

解决这个问题可以采用以下两种方法：

(1)本地修改，直接将本地的 data.circ, GB2312ROM.circ 剪切移动到一个新目录中，注意一定是剪切，要保证再次打开 data.circ 的时候找不到原来的 GB2312ROM.circ，当提示找不到该文件的时候就点击同目录的 GB2312ROM.circ，然后存盘退出就 ok，再次提交测试。

(2)直接 EduCoder 平台修改，直接在代码框搜索该文件路径

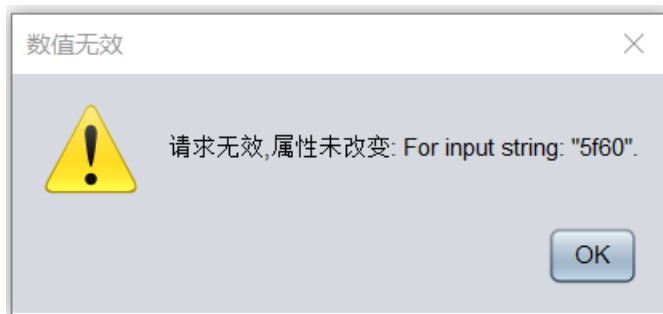
```
<lib desc="file#C:\Users\邓威的computer\Desktop\计算机原理实验\3.数据表示实验\GB2312ROM.circ" name="7">
```

去掉绝对路径，改成如下形式即可

```
<lib desc="file#GB2312ROM.circ" name="7">
```

远程改了以后，再将代码文本复制到本地，修改本地文件，当然直接在本地编辑修改也是可以的。

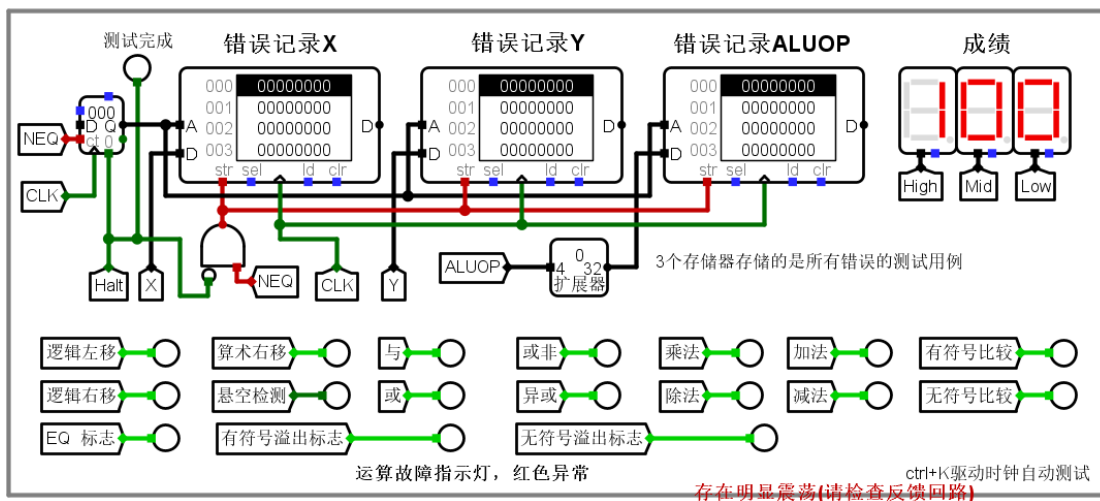
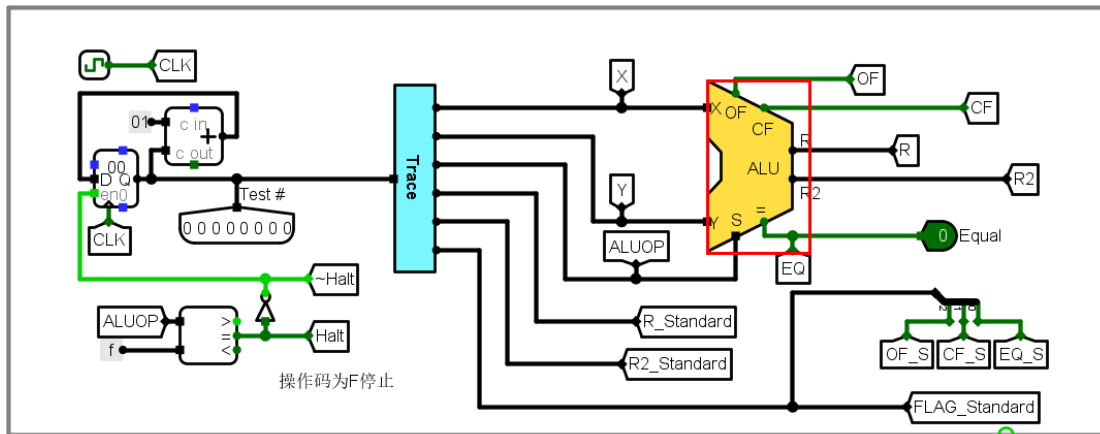
18、 常量为什么不能输入十六进制数？



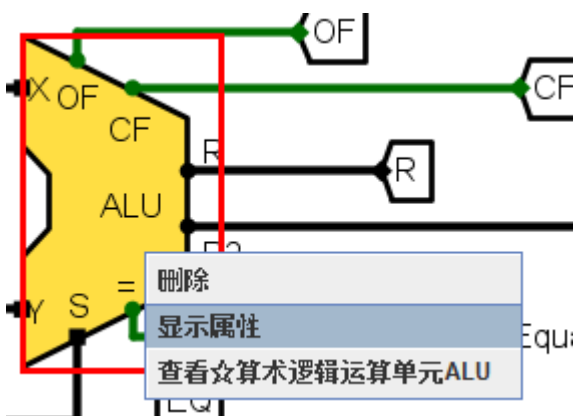
需要注意，常量默认输入十进制，如果要输入十六进制，需要增加 0x 开头。

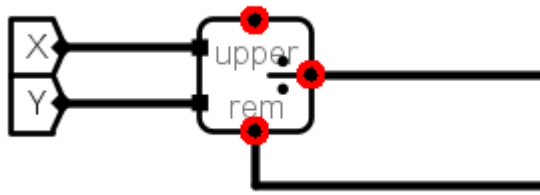
19、 电路提示发生震荡什么原因？

电路出现震荡多半是由于不恰当的回路造成的，造成震荡只能重启 logisim，需要想办法消除回路，发生震荡的位置会提示红色圆圈，可以查看电路，尝试删掉一些回路，重启 logisim 看能否消除这个震荡。

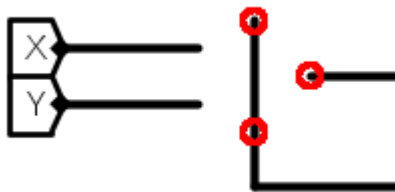


此图提示存在明显震荡，这个电路是测试电路，不可能出问题，只能是子电路的问题，其中 ALU 电路用红色圈起来，表示震荡来自于子电路，右键点击 ALU 子电路，系统提示“查看 XXX 电路”，选择查看，就可以看到 ALU 子电路内部震荡情况。





检查电路发现没有特殊回路，逐一断掉一些震荡点连线，发现最后还剩三个震荡点，问题出在这个除法器，仔细检查，发现触发器上下两个引脚下面有一条短路的线缆，删掉除法器如图所示：



原来是引脚短路引起的不当回路，删掉后震荡消除。

也可以尝试关闭系统自动仿真，然后利用信号单步传递的方式逐步检查电路，直到发现回路。

